

【11】證書號數：I938982

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：	H10D84/80 (2025.01)	H10D62/10 (2025.01)
	H10D64/20 (2025.01)	H10D84/01 (2026.01)
	H10P54/00 (2026.01)	H10P50/00 (2026.01)
	B82B1/00 (2006.01)	

發明

全 11 頁

【54】名稱：半導體裝置及其形成方法

【21】申請案號：114116472

【22】申請日：中華民國 114 (2025) 年 05 月 01 日

【11】公開編號：202621301

【43】公開日期：中華民國 115 (2026) 年 05 月 16 日

【30】優先權：2024/11/01

美國

18/934,634

【72】發明人：簡埲旻 (TW) CHIEN, KAI-MIN；李旻珈 (TW) LEE, MIN-CHIA；馬義翔 (TW) MA, I-HSIANG；劉國慶 (TW) LIU, KUO-CHIN；殷立煒 (TW) YIN, LI-WEI；林益安 (TW) LIN, YIH-ANN；陳嘉仁 (TW) CHEN, RYAN CHIA-JEN

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR

MANUFACTURING COMPANY, LTD.

新竹市新竹科學工業園區力行六路八號

【74】代理人：秦建譜；許志銘

【56】參考文獻：

US 11810961B2

US 11855140B2

US 12068386B2

US 2021/0202756A1

US 2022/0209023A1

US 2024/0014279A1

US 2024/0105794A1

審查人員：鄭賀名

【57】申請專利範圍

1. 一種半導體裝置，包含：

複數個奈米結構通道，排列在垂直於該半導體裝置的一半導體基板的一方向上，

一閘極結構，環繞該些奈米結構通道；

一第一源極/汲極區域，與該閘極結構的一第一側相鄰；及

一第二源極/汲極區域，與該閘極結構的一第二側相鄰，該第二側與該第一側相對，其中該些奈米結構通道的鄰近該閘極結構的各該奈米結構通道包含沿該第一源極/汲極區域及該第二源極/汲極區域之間的一方向的一弧形表面，且該些奈米結構通道的各該奈米結構通道包含一中心部分的一第一截面厚度及與該第一源極/汲極區域及該第二源極/汲極區域相鄰的多個外部部分的一第二截面厚度，其中該第一截面厚度小於該第二截面厚度。

2. 如請求項 1 所述的半導體裝置，進一步包含：

複數個第一內間隔物，鄰近該第一源極/汲極區域；及

複數個第二內間隔物，鄰近該第二源極/汲極區域，其中該弧形表面位於該些第一內間隔物中的一第一內間隔物與該些第二內間隔物中的一第二內間隔物之間，該第二內間隔物與該第一內間隔物相對。

3. 如請求項 2 所述的半導體裝置，其中該弧形表面包含與該第一內間隔物接觸的一第一邊緣及與該第二內間隔物接觸的一第二邊緣。

4. 一種半導體裝置，包含：

(2)

複數個奈米結構通道，排列在近似垂直於該半導體裝置的一半導體基板的一方向上，
一閘極結構，環繞該些奈米結構通道；

一第一源極/汲極區域，與該閘極結構的一第一側相鄰；及

一第二源極/汲極區域，與該閘極結構的一第二側相鄰，該第二側與該第一側相對，

其中該閘極結構的鄰近該些奈米結構通道的各該奈米結構通道的各部分的側面包含沿該第一源極/汲極區域與該第二源極/汲極區域之間的一方向的一弧形表面，且該些奈米結構通道的各該奈米結構通道包含一中心部分的一第一截面厚度及與該第一源極/汲極區域及該第二源極/汲極區域相鄰的多個外部部分的一第二截面厚度，其中該第一截面厚度小於該第二截面厚度。

5. 如請求項 4 所述的半導體裝置，進一步包含：

複數個第一內間隔物，位於該閘極結構的各部分與該第一源極/汲極區域之間；及

複數個第二內間隔物，位於該閘極結構的各部分與該第二源極/汲極區域之間，

其中該弧形表面位於該些第一內間隔物中的一第一內間隔物與該些第二內間隔物中的一第二內間隔物之間，該第二內間隔物與該第一內間隔物相對。

6. 如請求項 4 所述的半導體裝置，其中：

該閘極結構的各部分包含一閘極介電層及位於該閘極介電層上的一金屬層；且該閘極介電層包含該弧形表面。

7. 如請求項 4 所述的半導體裝置，其中該弧形表面包含一凸形輪廓。

8. 一種半導體裝置的形成方法，包含以下步驟：

形成複數個奈米結構半導體層及複數個奈米結構犧牲層，使得該些奈米結構半導體層及該些奈米結構犧牲層以交替方式排列在近似垂直於一半導體裝置的一半導體基板的一方向上；

執行一第一蝕刻操作以蝕刻該些奈米結構半導體層及該些奈米結構犧牲層，以界定複數個奈米結構通道，該些奈米結構通道排列在近似垂直於該半導體基板的該方向上，其中該些奈米結構通道及該些奈米結構犧牲層以交替方式排列在近似垂直於該半導體基板的該方向上；

執行一第二蝕刻操作以蝕刻該些奈米結構犧牲層的多個末端；

形成複數個內間隔物，該些內間隔物與該些奈米結構犧牲層的該些蝕刻末端相鄰；及

執行一第三蝕刻操作以自該半導體裝置移除該些奈米結構犧牲層，

其中該第三蝕刻操作導致該些奈米結構通道的各該奈米結構通道的表面具有一彎曲凹面形狀，該彎曲凹面形狀在該些內間隔物中的一第一內間隔物與該些內間隔物中的一第二內間隔物之間延伸，該第二內間隔物與該第一內間隔物相對。

9. 如請求項 8 所述的方法，其中執行該第三蝕刻操作之步驟包含以下步驟：

使用一氟基蝕刻劑執行該第三蝕刻操作，

其中該氟基蝕刻劑在該第三蝕刻操作期間自該些奈米結構通道中移除材料。

10. 如請求項 8 所述的方法，其中執行該第三蝕刻操作之步驟包含以下步驟：

使用一氫氟酸蝕刻劑執行該第三蝕刻操作，

其中該氫氟酸蝕刻劑在該第三蝕刻操作期間自該些奈米結構犧牲層中移除材料。

圖式簡單說明

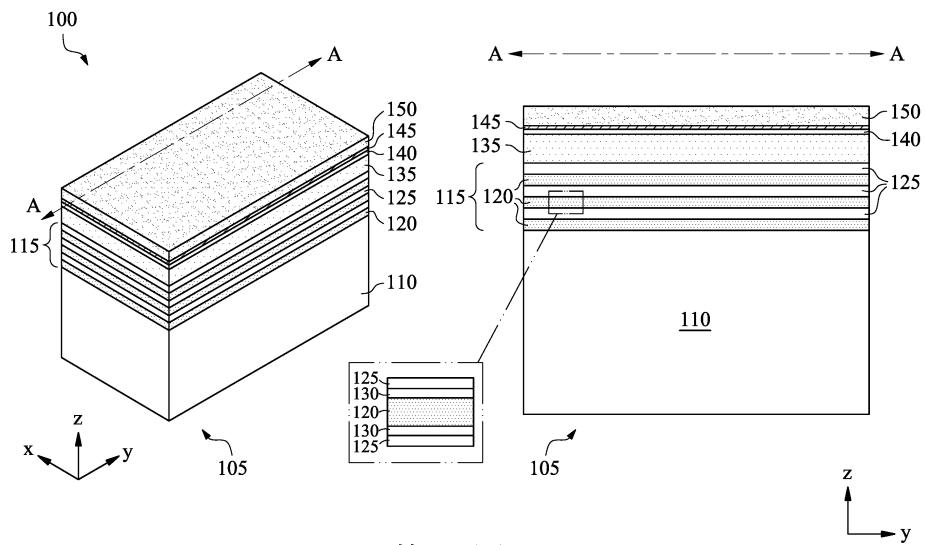
結合附圖，根據以下詳細描述可以最好地理解本揭露的各態樣。注意，根據行業中的標準實務，各種特徵未按比例繪製。實際上，為了討論清楚起見，各種特徵的尺寸可任意增加或減小。

第 1A 圖至第 1C 圖為本文所述的鰭界定製程的例示性實施的示意圖。

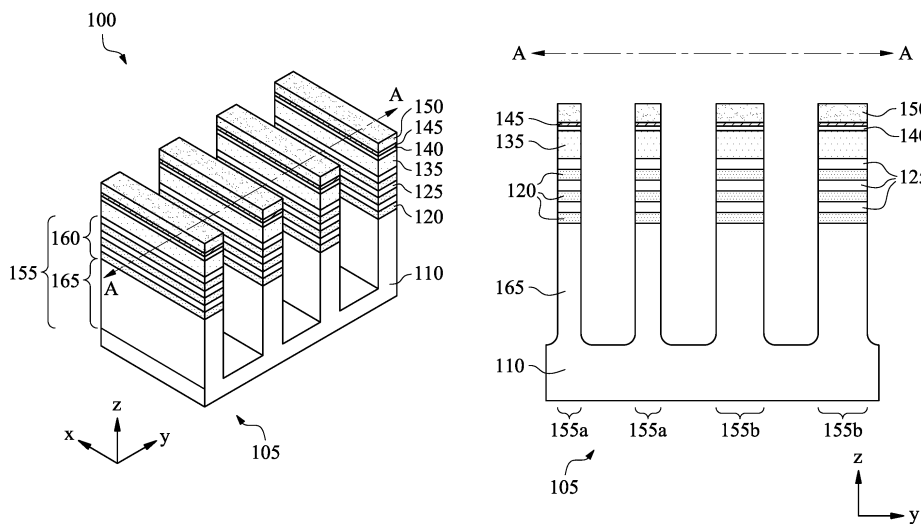
第 2 圖為本文所述的例示性虛設閘極結構形成製程的示意圖。

(3)

第 3 圖為本文所述的源極/汲極凹槽形成製程的例示性實施的示意圖。
第 4A 圖及第 4B 圖為本文所述的內間隔物形成製程的例示性實施的示意圖。
第 5 圖為本文所述的源極/汲極區域形成製程的例示性實施的示意圖。
第 6 圖為本文所述的層間介電層形成製程的例示性實施的示意圖。
第 7A 圖至第 7C 圖為本文所述的奈米片釋放製程的例示性實施的示意圖。
第 8A 圖及第 8B 圖為本文所述的閘極形成製程的例示性實施的示意圖。
第 9 圖為本文所述的半導體裝置的實施例的示意圖。
第 10 圖為與形成本文所述的半導體結構相關的例示性製程的流程圖。

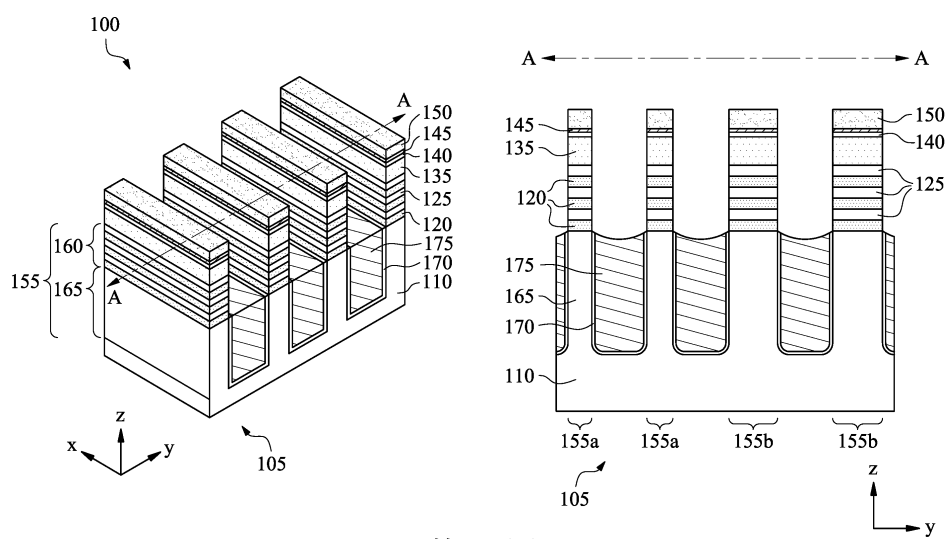


第 1A 圖

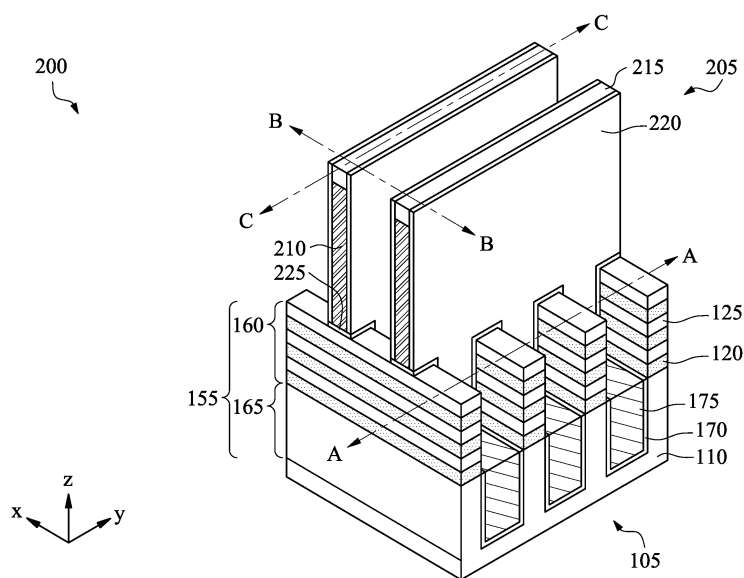


第 1B 圖

(4)

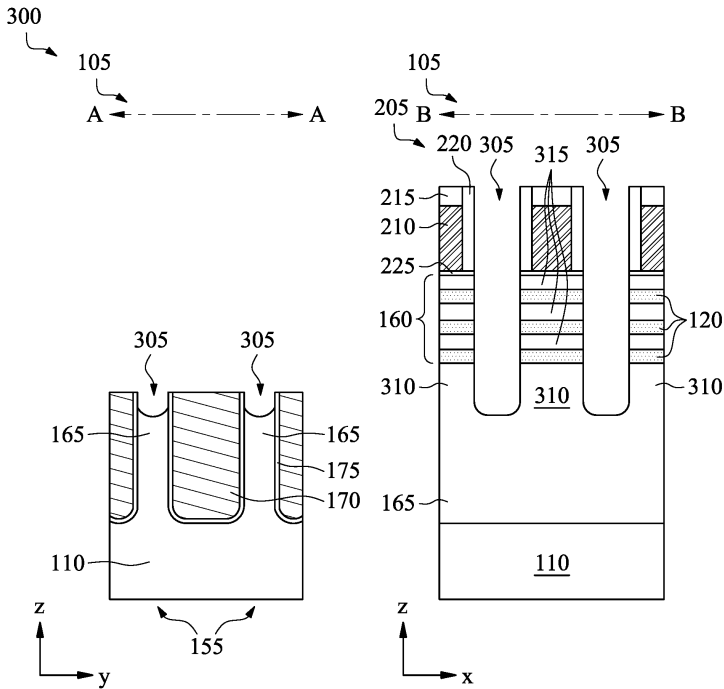


第 1C 圖

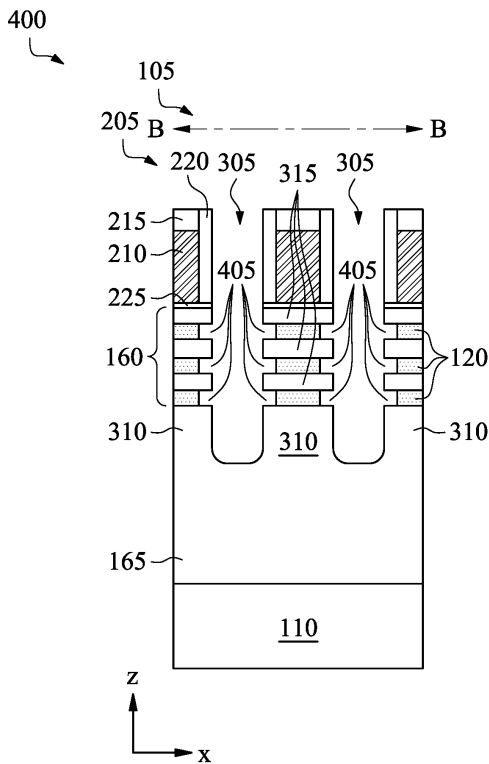


第 2 圖

(5)

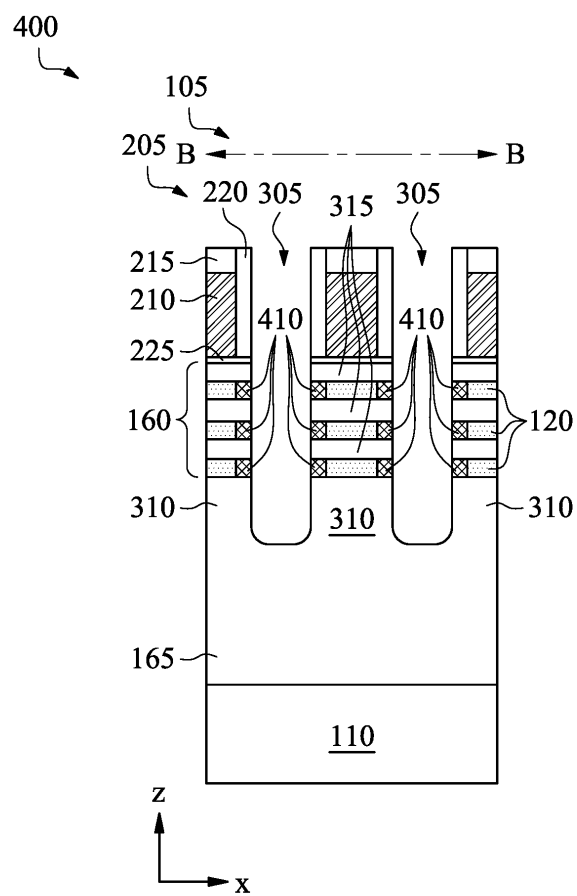


第 3 圖



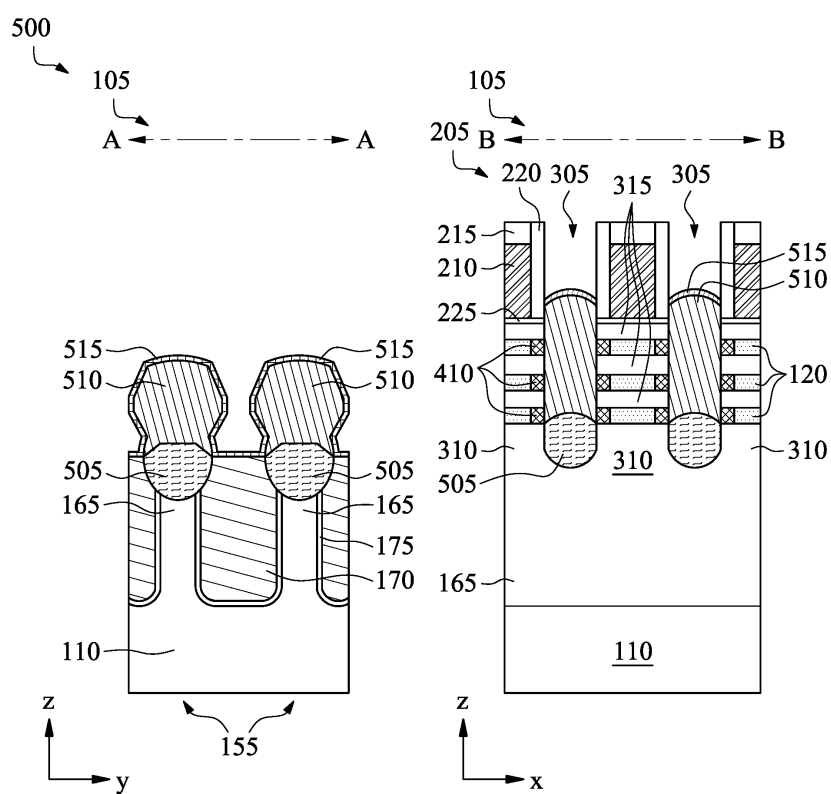
第 4A 圖

(6)

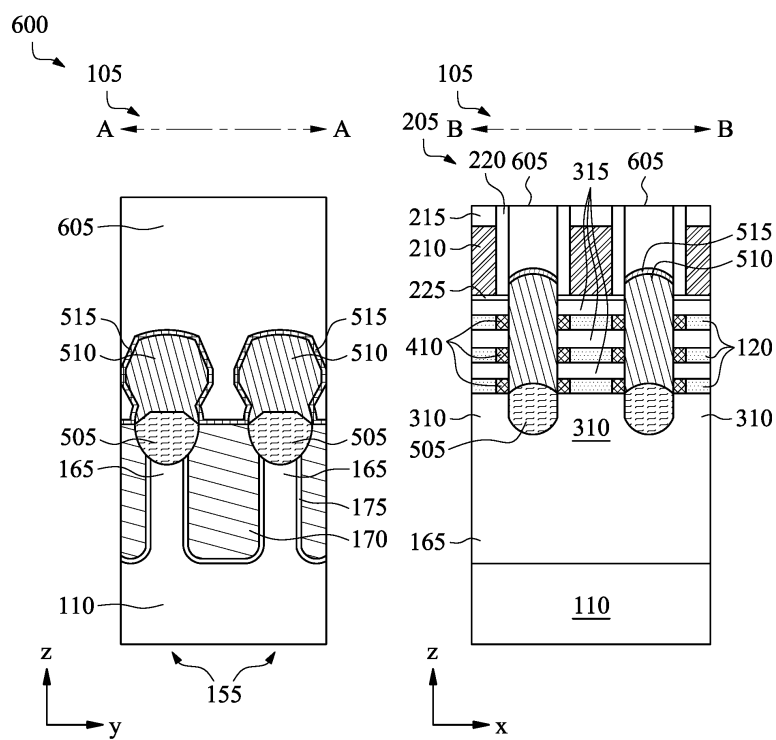


第4B圖

(7)

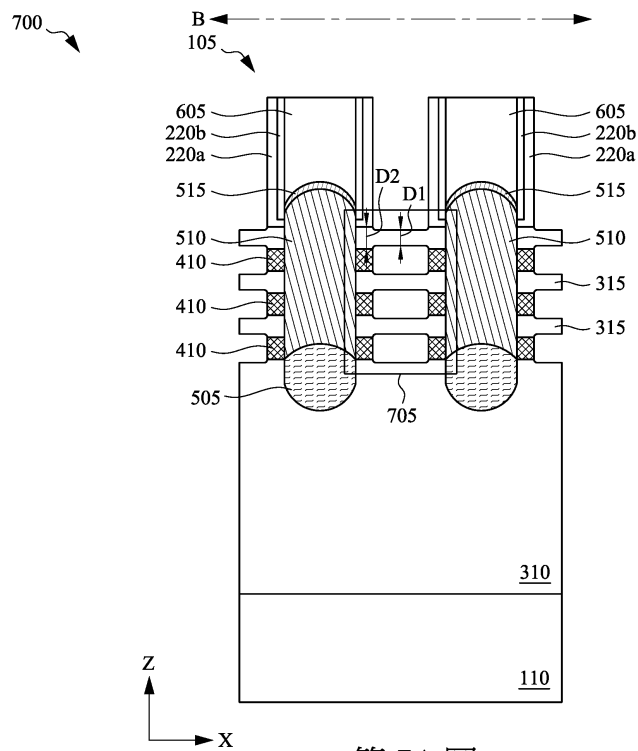


第 5 圖

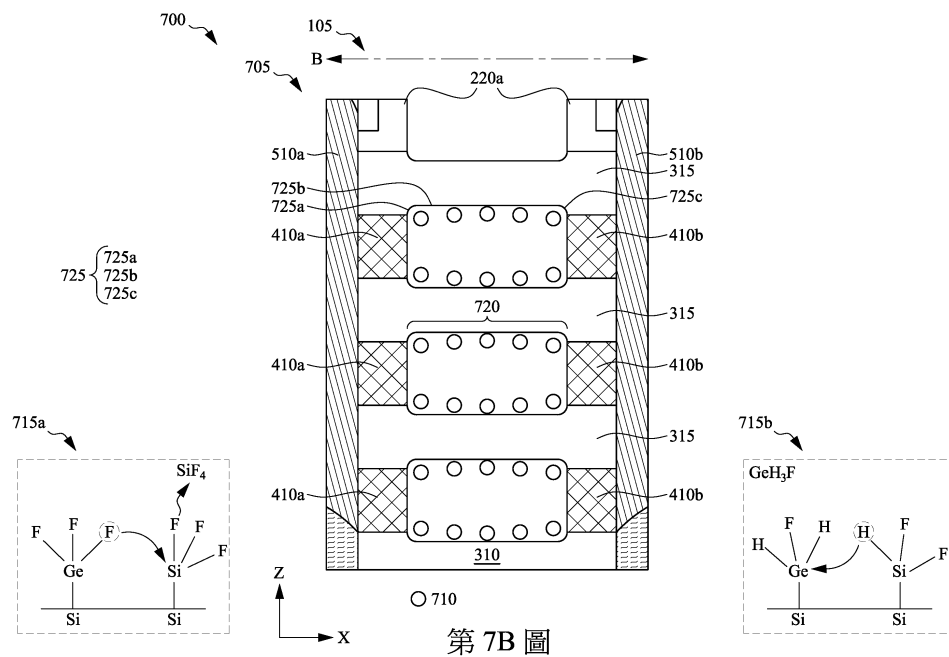


第 6 圖

(8)

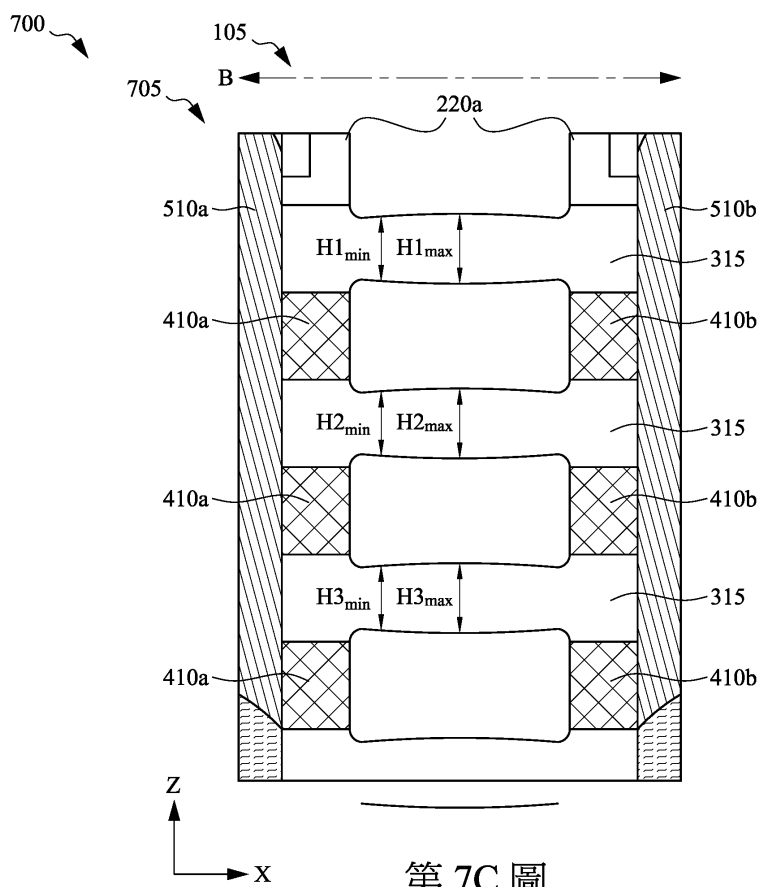


第7A圖

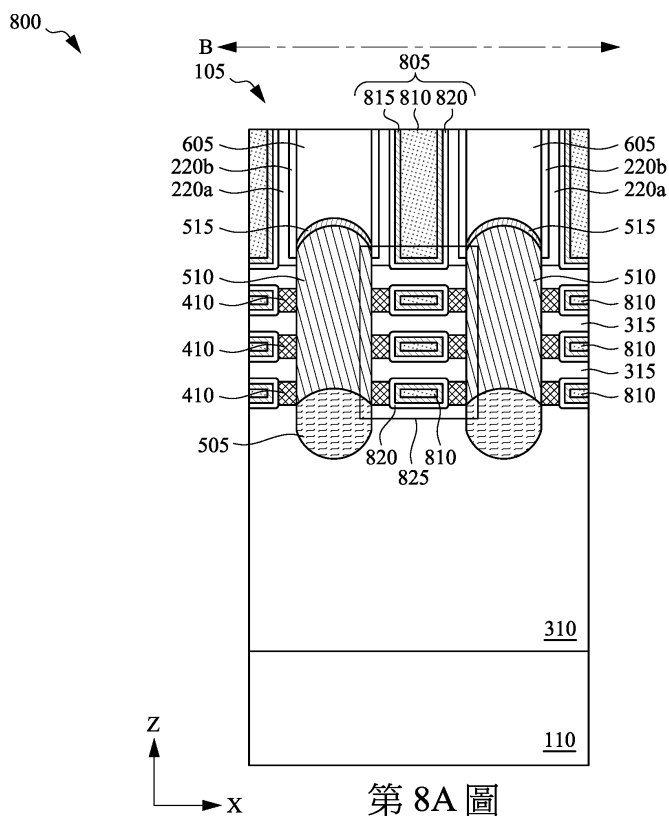


第7B圖

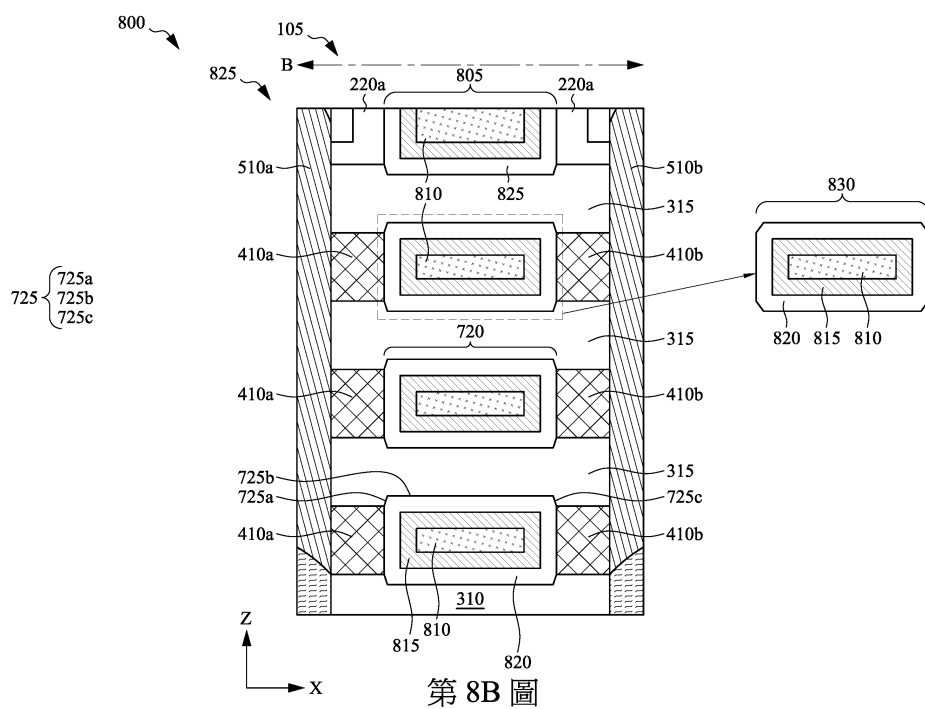
(9)



(10)



第 8A 圖



第 8B 圖

(11)

