

【11】證書號數：I938991

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10W20/43 (2026.01) H10W20/20 (2026.01)
H10W70/60 (2026.01) H10W20/00 (2026.01)

發明

全 24 頁

【54】名稱：半導體裝置及其形成方法

【21】申請案號：114116887

【22】申請日：中華民國 114 (2025) 年 05 月 06 日

【11】公開編號：202635148

【43】公開日期：中華民國 115 (2026) 年 08 月 16 日

【30】優先權：2025/02/04

美國

19/045,146

【72】發明人：余科京 (TW) YU, KEJING

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD.

新竹市新竹科學工業園區力行六路八號

【74】代理人：秦建譜；許志銘

【56】參考文獻：

TW 202013646A

TW 202315029A

審查人員：郭俊彥

【57】申請專利範圍

1. 一種半導體裝置，包括：

一第一晶片，其中該第一晶片包括：

位於該第一晶片的一第一側的複數個光電感測器；以及

位於該第一晶片的一第二側且電耦合至該些光電感測器的一第一互連結構；

一第二晶片，與該第一晶片鍵合，其中該第二晶片包括：

位於該第二晶片的一第一側且電耦合至該第一互連結構的一第二互連結構；

耦合至該第二互連結構的複數個主動電晶體；

與該些主動電晶體電耦合的複數虛設電晶體；以及

從該第二晶片的一第二側電耦合到該些虛設電晶體的一矽通孔；以及

一第三晶片，與該第二晶片鍵合，其中該第三晶片包括：

一影像處理器；以及

連接該影像處理器和該矽通孔的一第三互連結構。

2. 如請求項 1 所述之裝置，其中該矽通孔與該些虛設電晶體的一閘極結構接觸。

3. 如請求項 1 所述之裝置，其中該矽通孔與該些虛設電晶體的一源極/汲極區接觸。

4. 如請求項 1 所述之裝置，其中該矽通孔與該第二晶片的該第二側上的一鍵合接合墊接觸，其中該鍵合接合墊與該第三晶片上的另一個鍵合接合墊鍵合。

5. 一種半導體裝置，包括：

複數個主動電晶體，位於一基板一第一側上；

複數個虛設電晶體，位於該基板該第一側上且電耦合至該些主動電晶體；

一互連結構，位於該些主動電晶體上；

一導電墊，位於該基板的一第二側上；

一矽通孔，與該些虛設電晶體和該導電墊電耦合，其中該矽通孔與該些虛設電晶體的複數個閘極結構接觸，其中該矽通孔的一寬度與該些閘極結構的每一者的一寬度之一比率在約 10 至約 15,000 之間；

一第一晶片，與該基板的該第一側上的該基板鍵合，其中該第一晶片上的一電子元件電耦合至該互連結構；以及

一第二晶片，與該基板的該第二側上的該基板鍵合，其中該第二晶片上的一處理裝置電耦合至該矽通孔。

6. 如請求項 5 所述之裝置，其中該矽通孔與該些虛設電晶體的複數個源極/汲極區接觸，其中該矽通孔的該寬度與該些源極/汲極區的每一者的一寬度之一比率在約 10 至約 10,000 之間。
7. 如請求項 5 所述之裝置，其中該矽通孔包含鎢、鋁、銅或鈦。
8. 一種形成半導體裝置的方法，包括：
 在一基板的一第一側上形成複數個主動電晶體和複數個虛設電晶體；
 在該基板上形成複數個埋入式接觸以連接該些主動電晶體和該些虛設電晶體；
 在該些主動電晶體上形成一第一互連結構；
 從該基板的一第二側形成一開口以暴露該些虛設電晶體；
 在該開口中沉積一導電材料以形成一矽通孔；
 提供包括一第二互連結構的一第一晶片；
 透過在該第一互連結構和該第二互連結構之間形成一第一接觸來將該基板與該第一晶片鍵合；
 提供包括一第三互連結構的一第二晶片；以及
 透過在 TSV 和該第三互連結構之間形成一第二接觸來將該基板與該第二晶片鍵合。
9. 如請求項 8 所述之方法，其中形成該些虛設電晶體包括形成該些虛設電晶體的一閘極結構陣列。
10. 如請求項 8 所述之方法，其中形成該些虛設電晶體包括形成該些虛設電晶體的一源極/汲極區陣列。

圖式簡單說明

當搭配附圖閱讀時，可從以下詳細描述中最好地理解本揭露的各態樣。值得注意的是，根據業界標準慣例，各種部件並未按比例繪製。事實上，為了討論的清楚起見，各種部件的尺寸可任意增加或減少。

圖 1 是根據一些實施例的具有矽通孔的堆疊裝置的橫截面圖。

圖 2A、圖 2B、圖 2C、圖 2D、圖 2E、圖 2F、圖 2G、圖 2H 和圖 2I 是根據一些實施例的包括矽通孔和虛設 MOS 結構的結構的橫截面圖。

圖 3A、圖 3B、圖 3C、圖 3D 和圖 3E 是根據一些實施例的包括矽通孔和虛設 MOS 結構的結構的平面圖。

圖 4 是根據一些實施例的形成半導體裝置的方法的流程圖。

圖 5、圖 6、圖 7、圖 8、圖 9 和圖 10 是根據一些實施例在半導體裝置製造過程中的中間結構的橫截面圖。

現在將參考附圖來描述說明性實施例。在附圖中，相同的參考標號通常表示相同、功能相似和/或結構相似的元件。

(3)

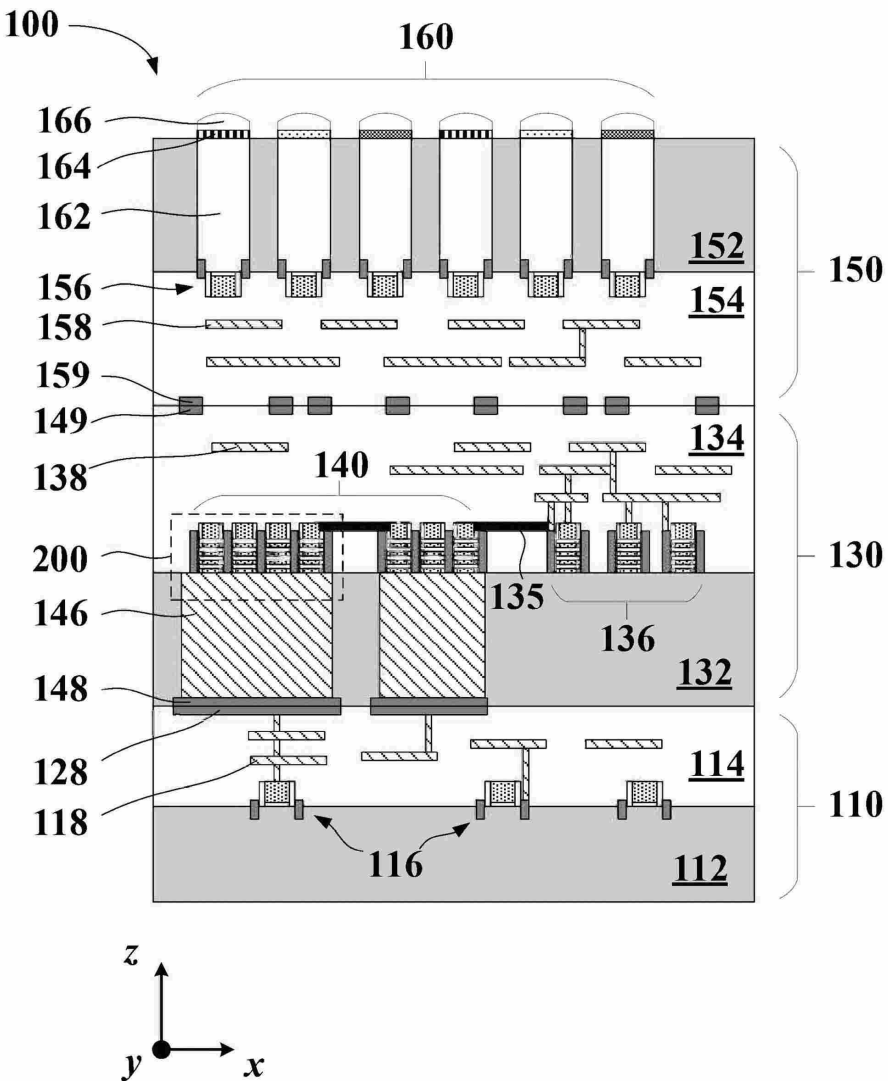


圖 1

(4)

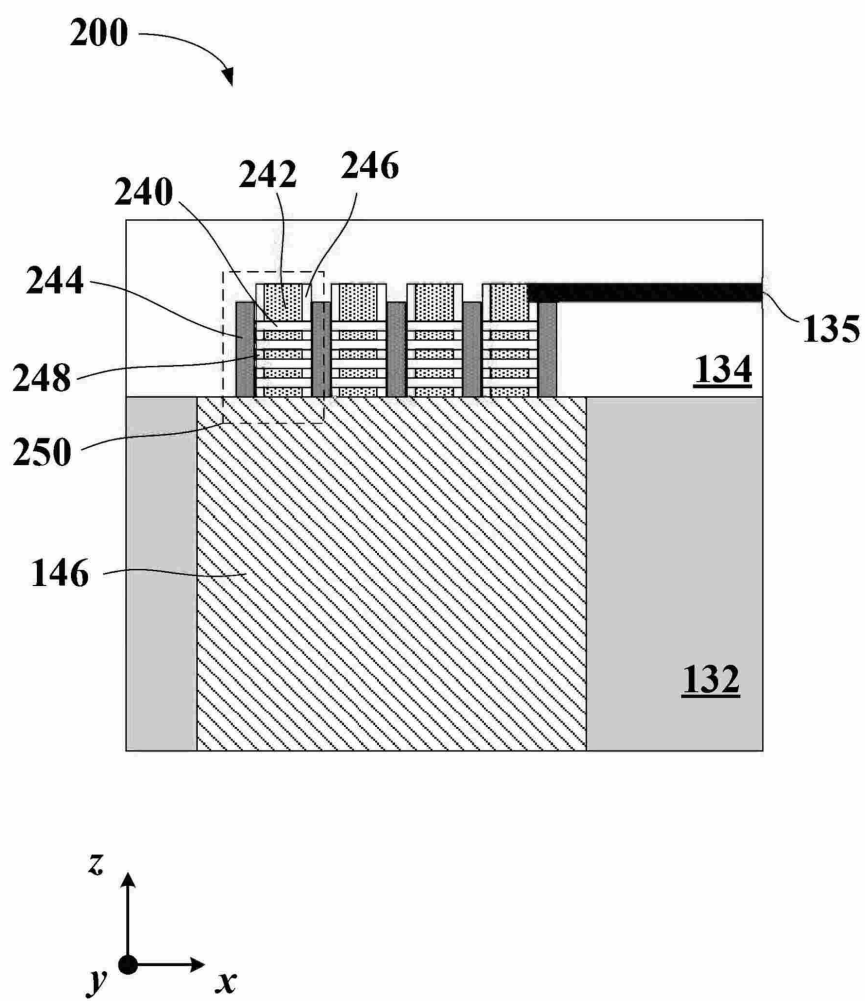


圖 2A

(5)

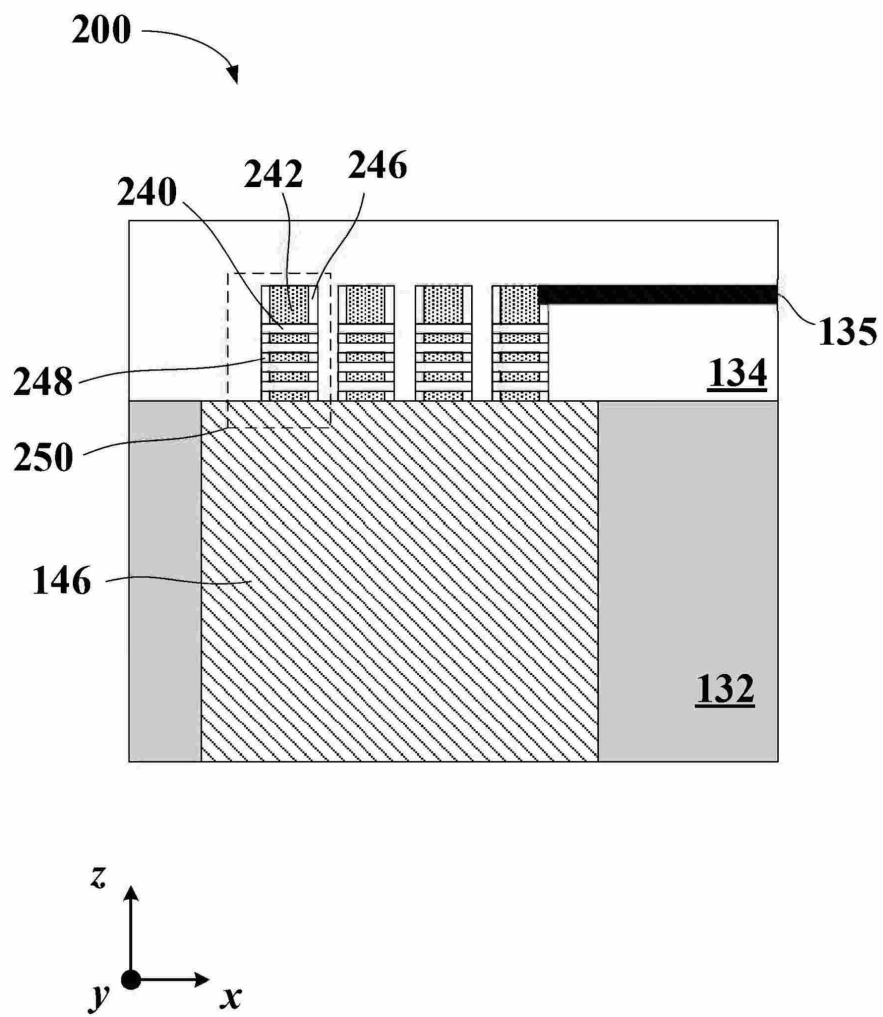


圖 2B

(6)

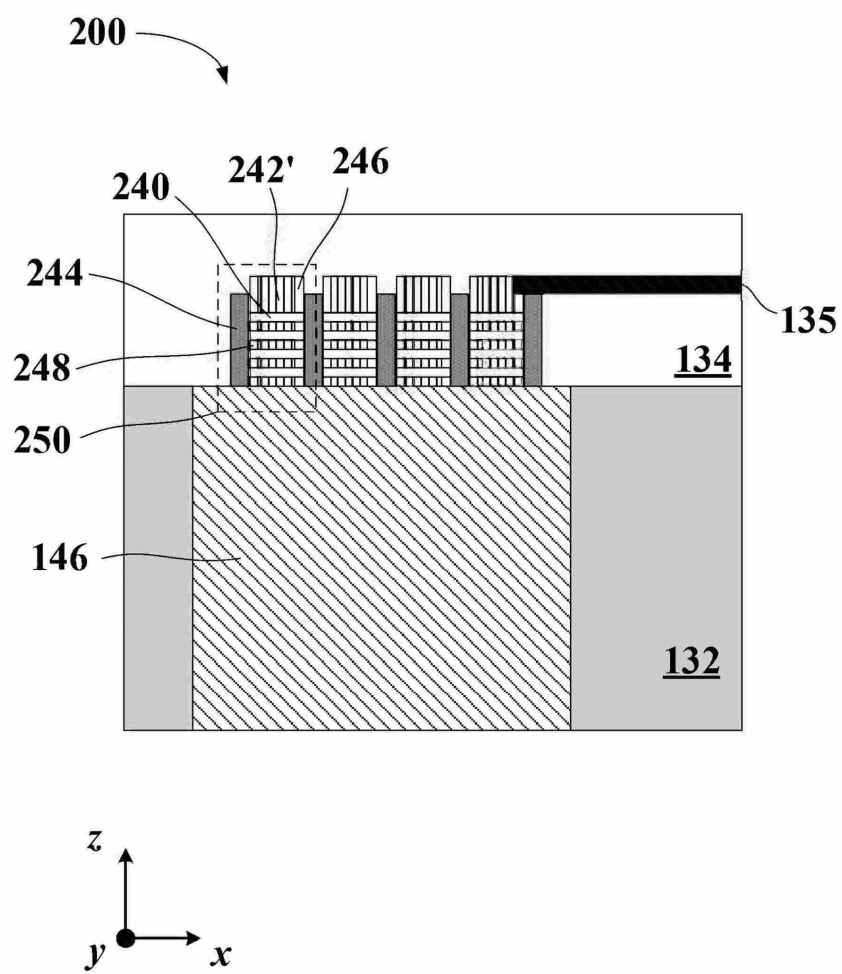


圖 2C

(7)

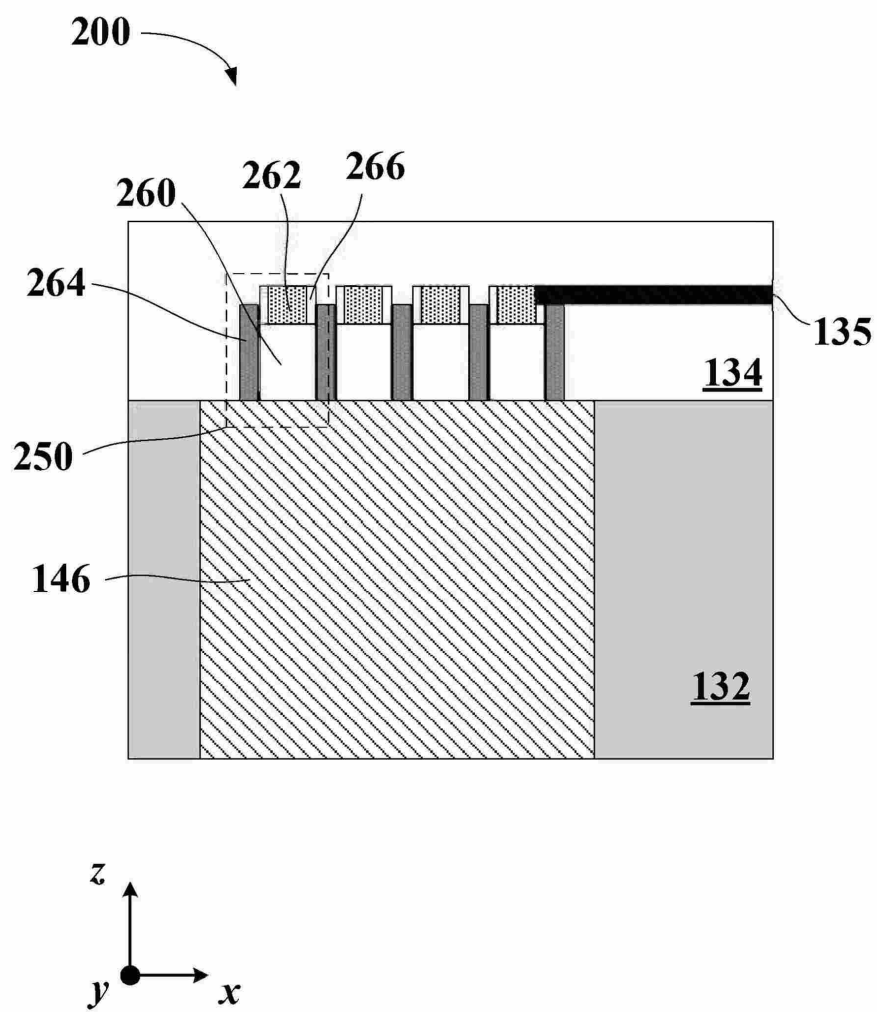


圖 2D

(8)

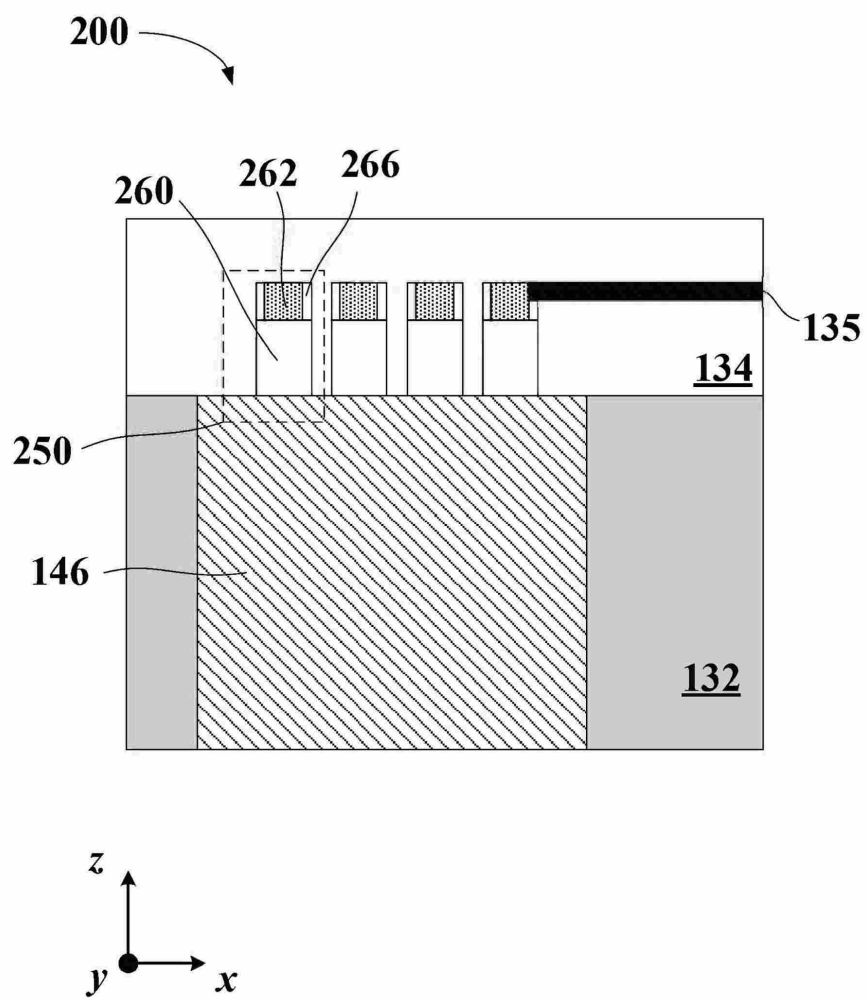


圖 2E

(9)

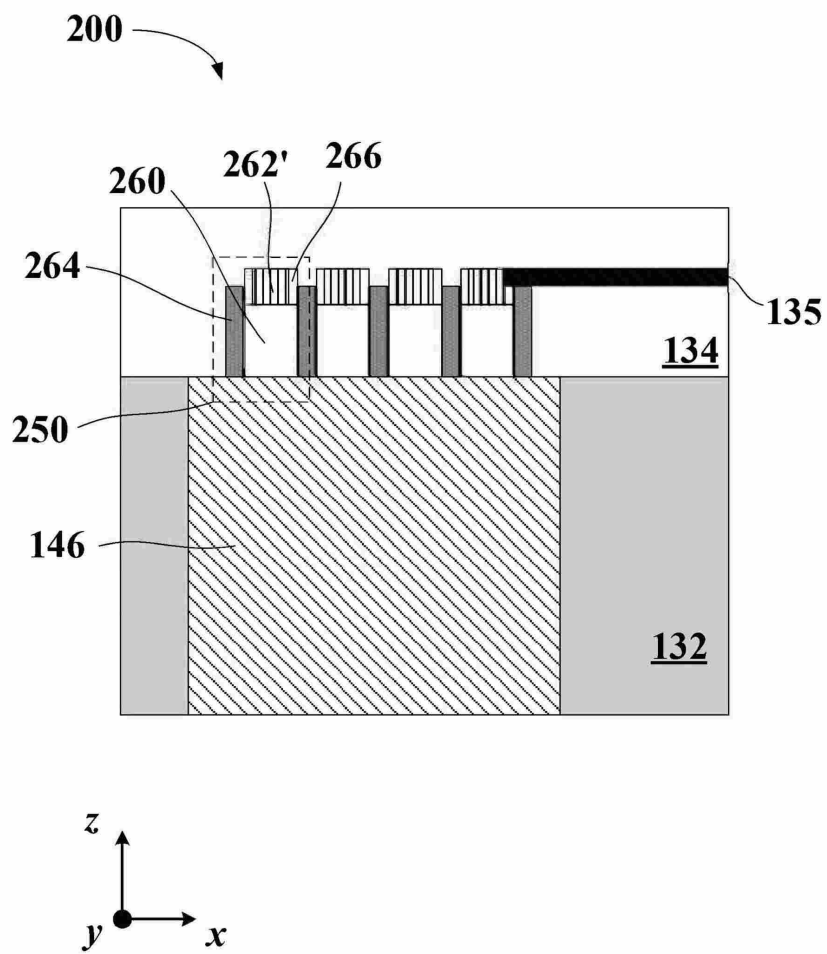


圖 2F

(10)

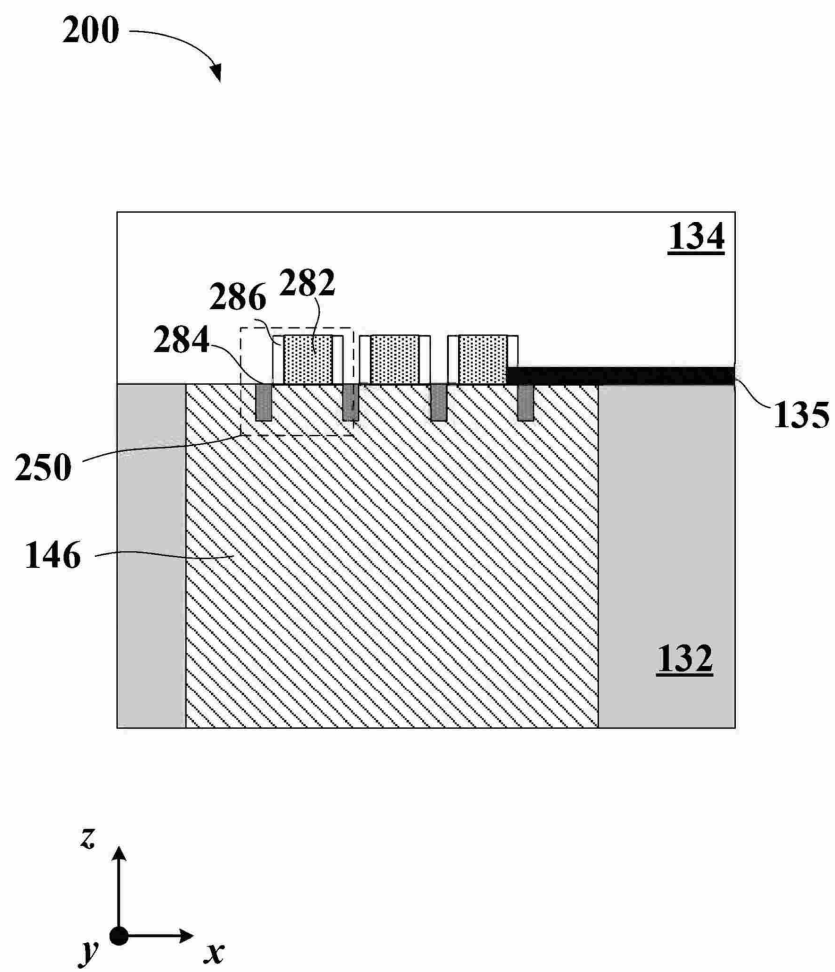


圖 2G

(11)

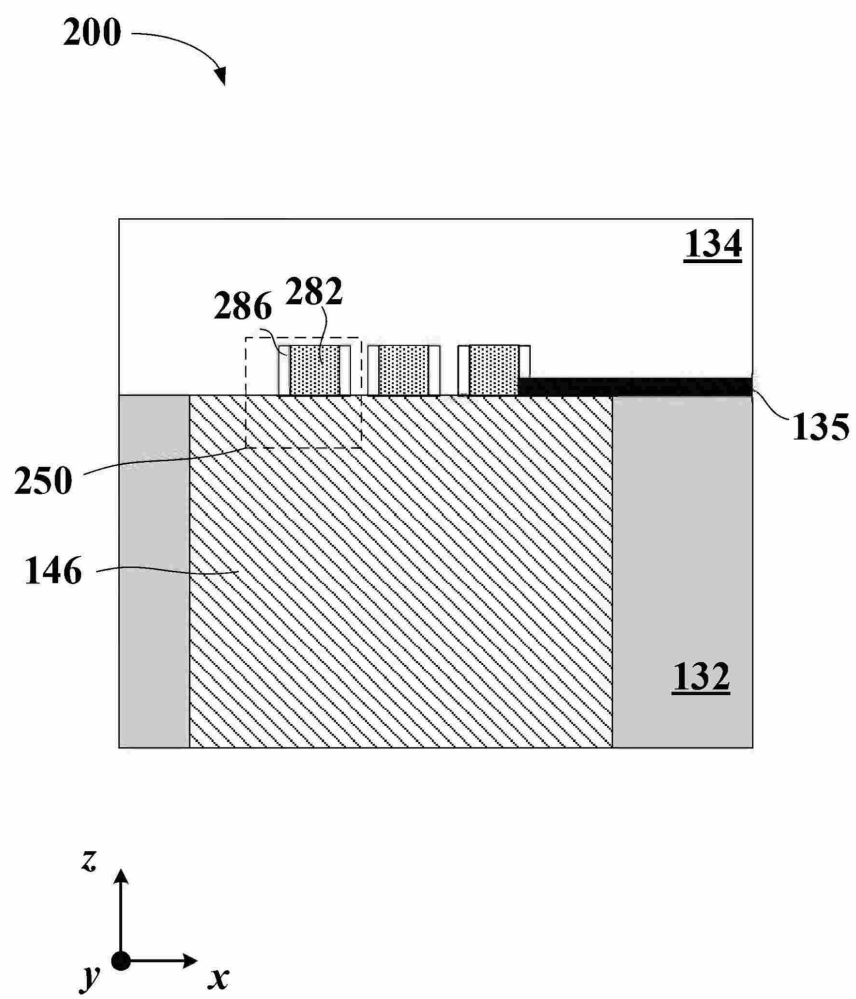


圖 2H

(12)

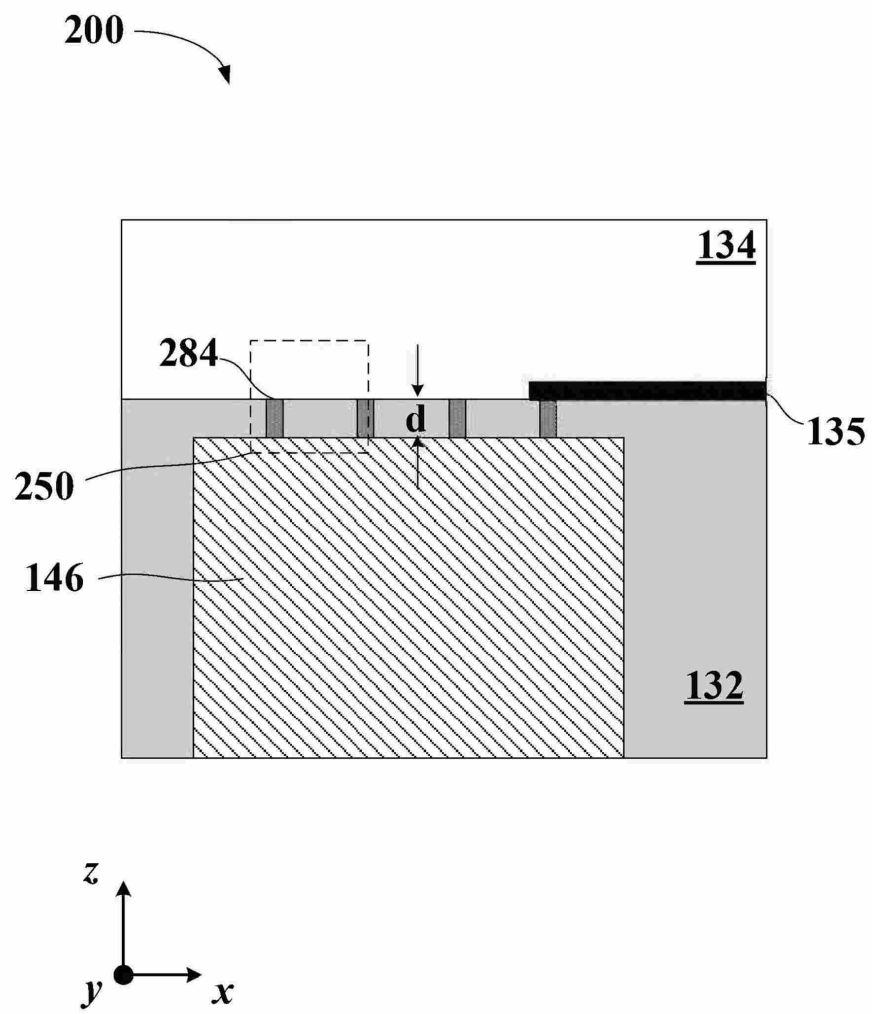


圖 2I

(13)

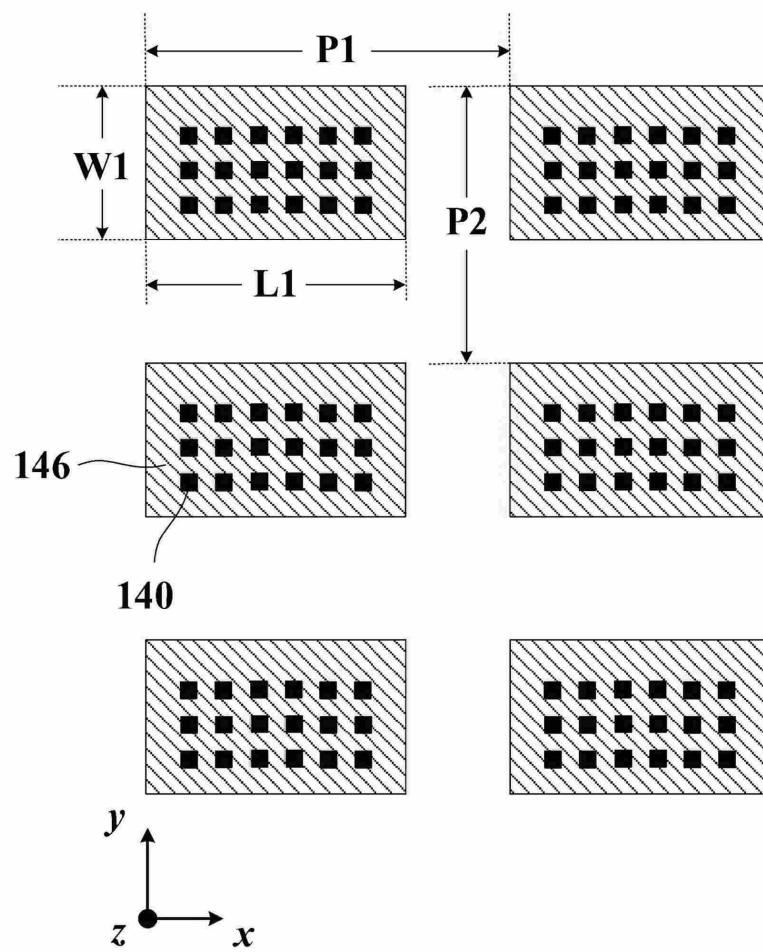


圖 3A

(14)

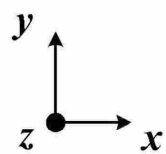
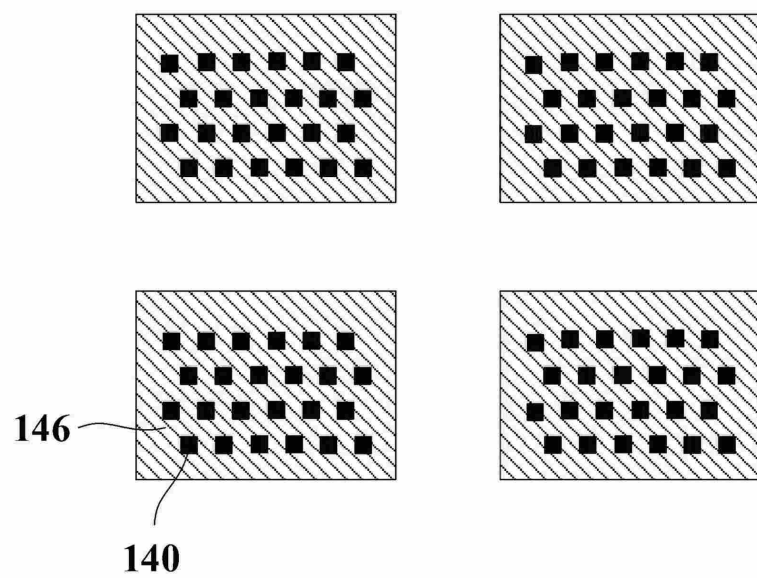


圖 3B

(15)

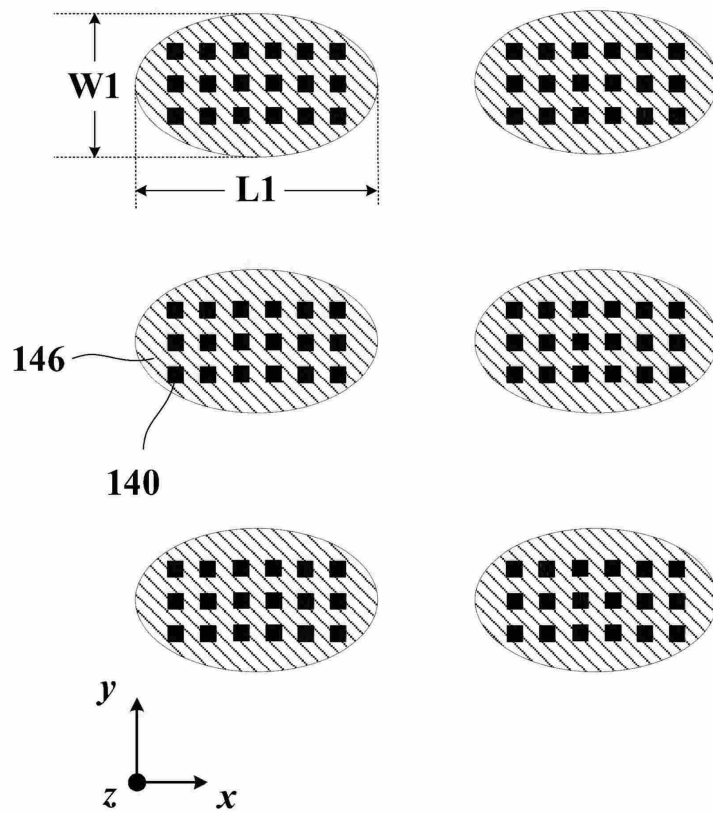


圖 3C

(16)

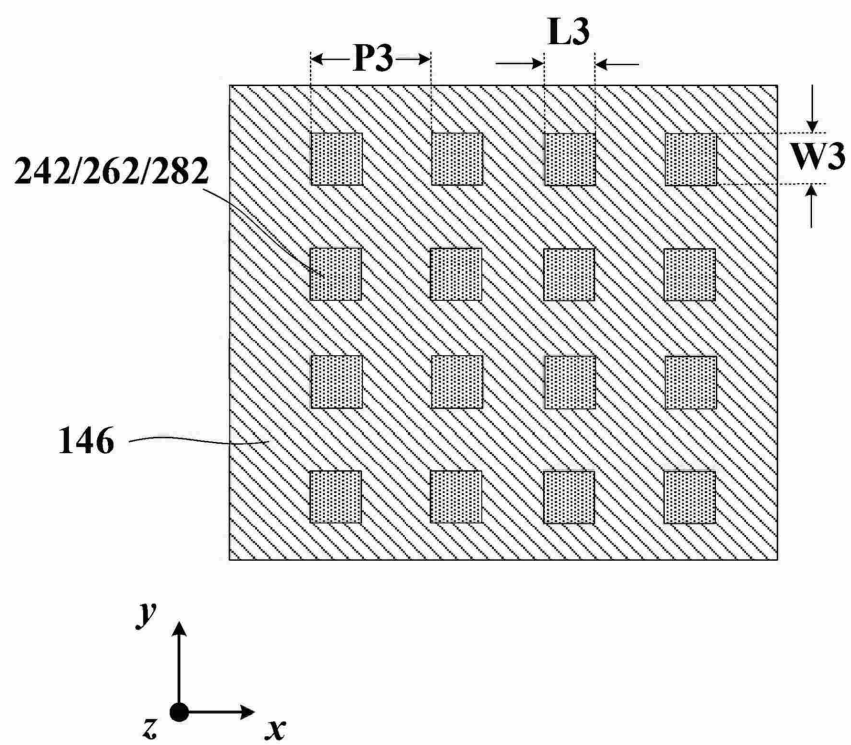


圖 3D

(17)

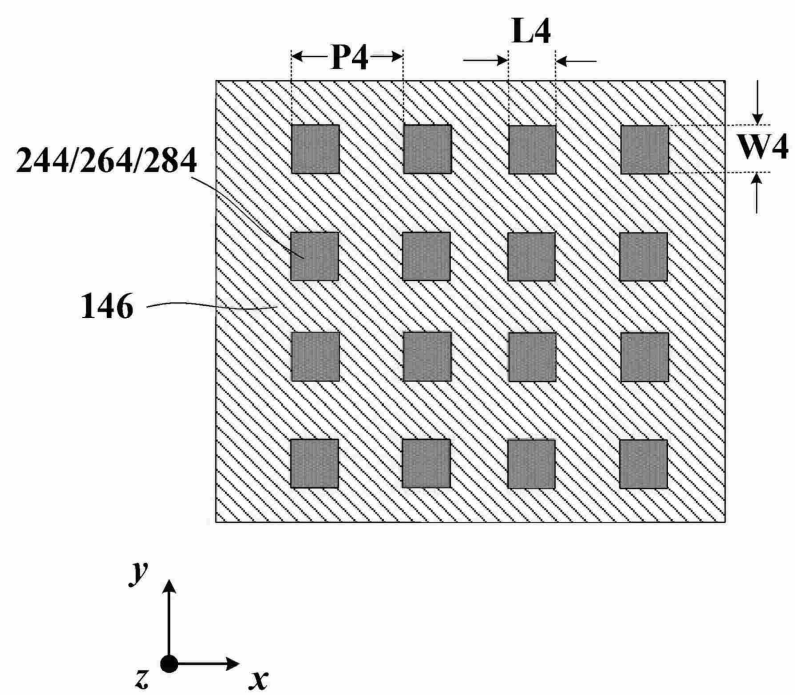


圖 3E

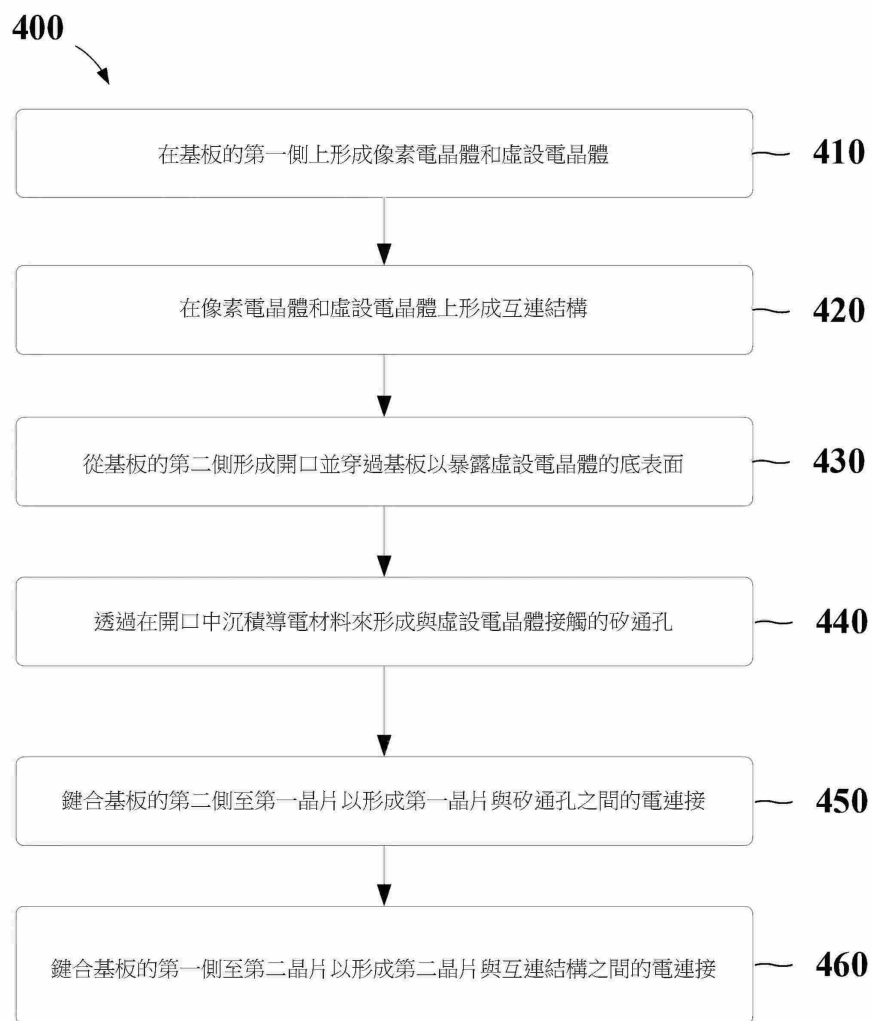


圖 4

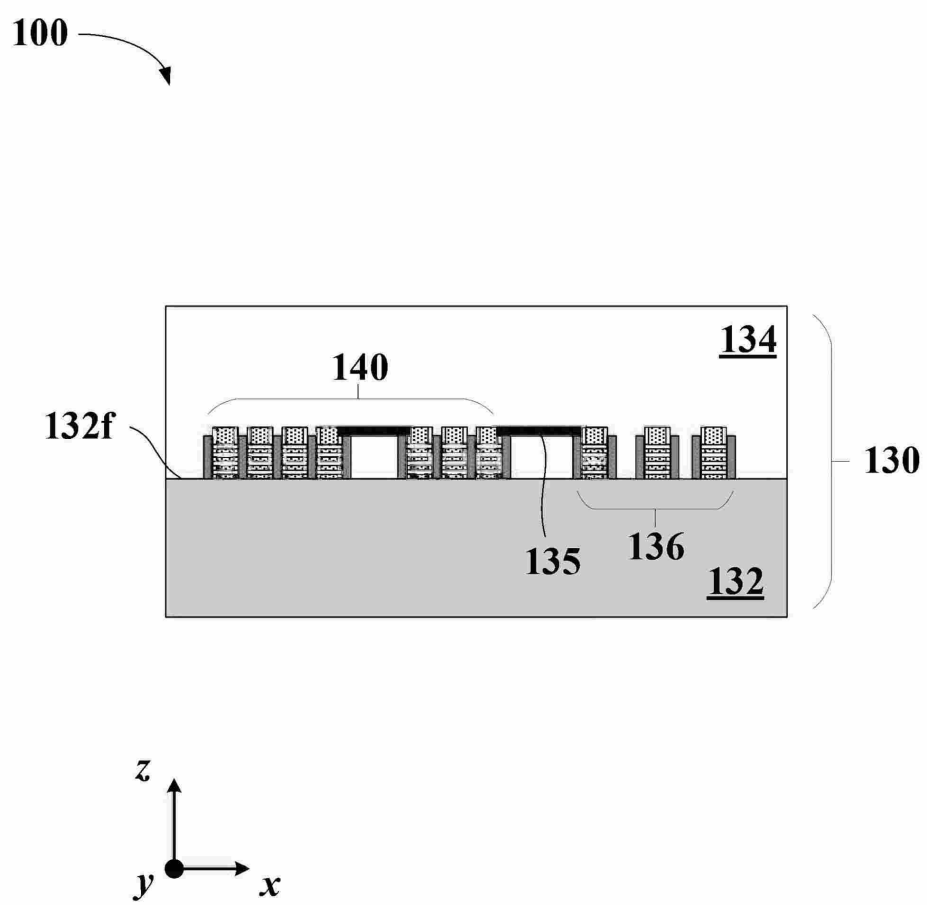


圖 5

(20)

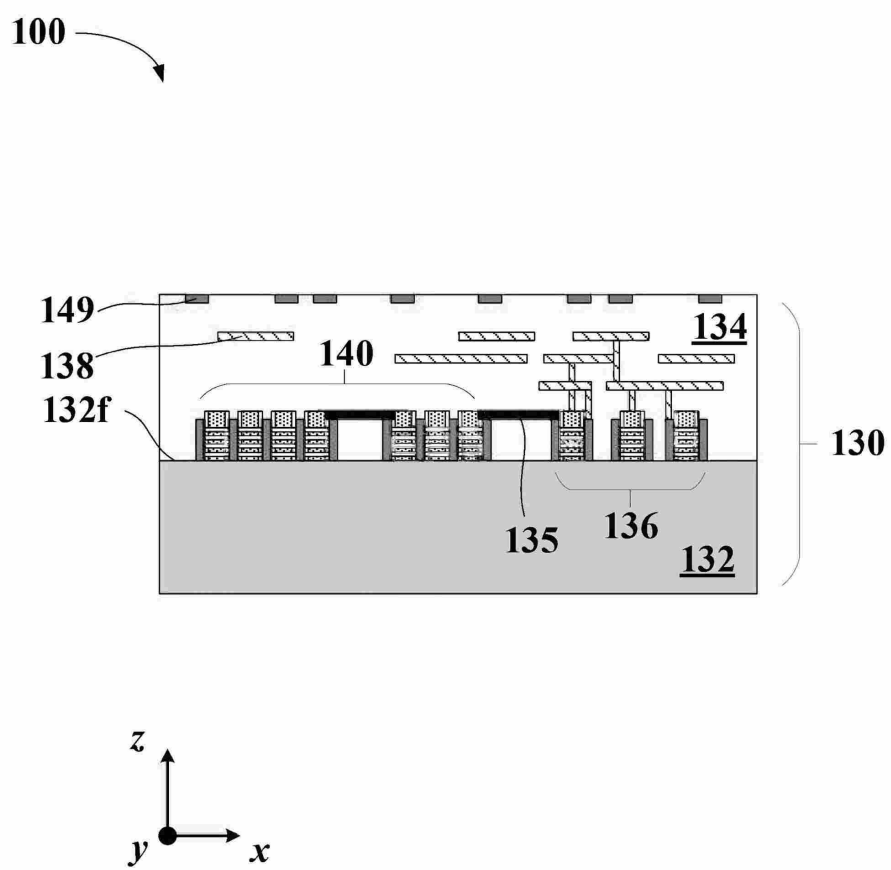


圖 6

(21)

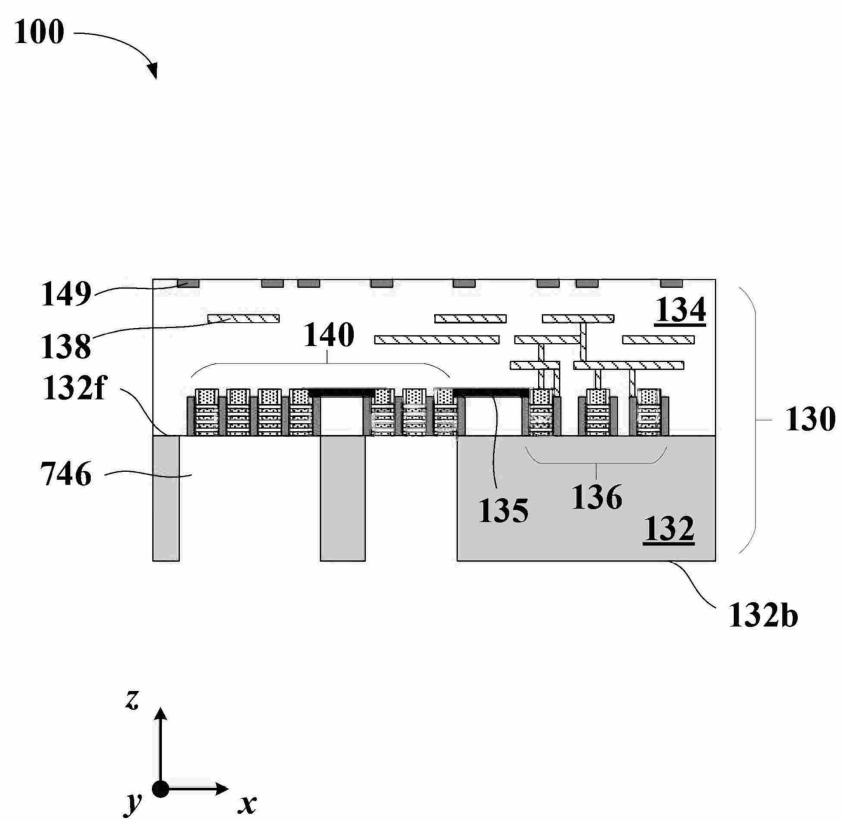


圖 7

(22)

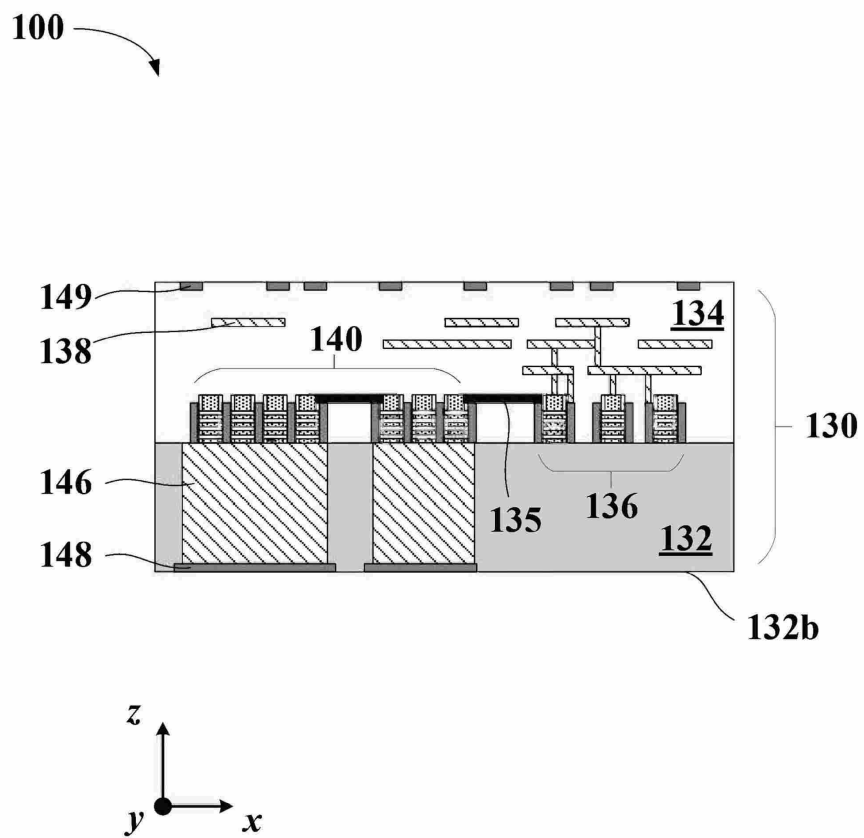


圖 8

(23)

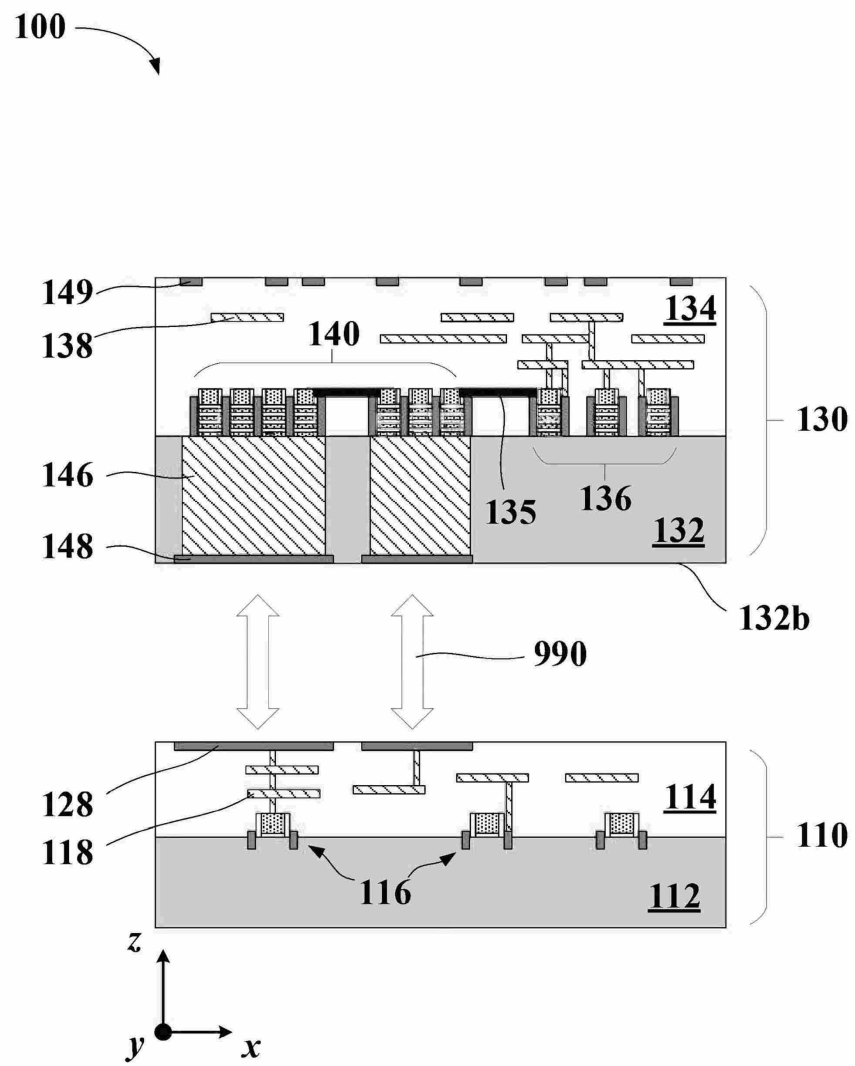


圖 9

(24)

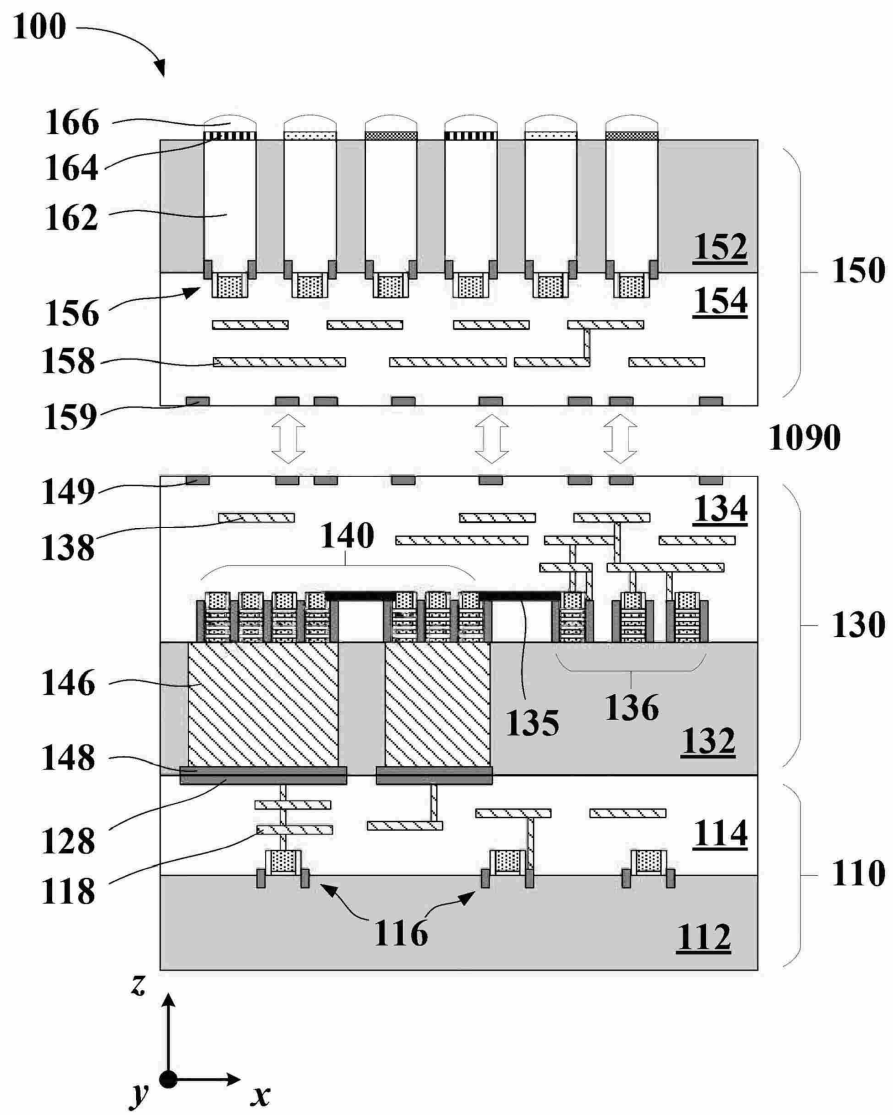


圖 10