

【11】證書號數：I939006

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：H10W72/00 (2026.01) H10P76/00 (2026.01)

發明

全 8 頁

【54】名稱：半導體結構及其形成方法

【21】申請案號：114118097

【22】申請日：中華民國 114 (2025) 年 05 月 14 日

【72】發明人：孫家禎 (TW) SUN, CHIA-CHEN

【71】申請人：聯華電子股份有限公司 UNITED MICROELECTRONICS CORP.
新竹科學工業園區力行二路三號

【74】代理人：祁明輝；林素華；涂綺玲

【56】參考文獻：

TW 202243161A

CN 117615645A

US 2022/0310810A1

US 2024/0186177A1

審查人員：郭德豐

【57】申請專利範圍

1. 一種半導體結構，包含：
一導電線；以及
一通孔結構，在該導電線上且包含一第一通孔部、一第二通孔部與一連接部，該連接部連接於該第一通孔部與該第二通孔部之間，
其中該連接部的一深度小於該第一通孔部的一深度與該第二通孔部的一深度，該第一通孔部、該連接部與該第二通孔部沿著一第一方向排列，該導電線在一第二方向上的一寬度等於或實質等於該第一通孔部在該第二方向上的一寬度、或該第二通孔部在該第二方向上的一寬度，該第二方向垂直於該第一方向。
2. 如請求項 1 所述之半導體結構，其中該導電線在該第一方向上的一長度等於或實質等於該第一通孔部在該第一方向上的一長度的 3.8 倍至 4.8 倍、或該第二通孔部在該第一方向上的一長度的 3.8 倍至 4.8 倍。
3. 如請求項 2 所述之半導體結構，其中該導電線在該第一方向上的該長度等於該第一通孔部在該第一方向上的該長度的 3.8 倍至 4.8 倍 $\pm$ 5 奈米、或該第二通孔部在該第一方向上的該長度的 3.8 倍至 4.8 倍 $\pm$ 5 奈米。
4. 如請求項 2 所述之半導體結構，其中該第一通孔部的該長度等於或實質等於該第二通孔部的該長度。
5. 如請求項 4 所述之半導體結構，其中該第一通孔部的該寬度等於或實質等於該第二通孔部的該寬度。
6. 如請求項 1 所述之半導體結構，其中該連接部的一長度等於或實質等於該第一通孔部的一長度的 1.8 倍至 2.8 倍、或該第二通孔部的一長度的 1.8 倍至 2.8 倍。
7. 如請求項 1 所述之半導體結構，其中該連接部背對該導電線的一表面實質平坦。
8. 如請求項 1 所述之半導體結構，其中該第一通孔部的該深度等於或實質等於該第二通孔部的該深度。
9. 一種用以形成半導體結構之方法，包含：
提供包含複數個第一圖案的一第一布局圖案；
提供包含複數個第二圖案的一第二布局圖案；

重疊該第一布局圖案與該第二布局圖案以決定是否有至少二第一圖案重疊於該複數個第二圖案中的一第二圖案；

檢查該第二布局圖案以決定該第二圖案的一長度是否等於或實質等於該至少二第一圖案中的一第一圖案的一長度的 3.8 倍至 4.8 倍；以及

修改該第一布局圖案以在該至少二第一圖案之間增加至少一連接圖案。

10. 如請求項 9 所述之方法，更包含：
決定該第二圖案的一寬度是否等於或實質等於該至少二第一圖案的一寬度。
11. 如請求項 9 所述之方法，更包含：
在修改該第一布局圖案之後進行一光學接近修正(optical proximity correction; OPC)方法。
12. 如請求項 11 所述之方法，更包含：
提供一基板與在該基板上的一第一光阻層；
將修改後的該第一布局圖案轉移至該第一光阻層；
通過該第一光阻層進行一蝕刻處理與一沉積處理以在該基板中形成複數個通孔部與至少一連接部，其中該複數個通孔部對應於該複數個第一圖案，該至少一連接部對應於該至少一連接圖案。
13. 如請求項 12 所述之方法，更包含：
在該基板上提供一介電層與在該介電層上的一第二光阻層；
將該第二布局圖案轉移至該第二光阻層；
通過該第二光阻層進行另一蝕刻處理與另一沉積處理以在該介電層中形成複數條導電線，其中該複數條導電線對應於該複數個第二圖案。
14. 如請求項 12 所述之方法，其中該至少一連接部的一深度小於該複數個通孔部的一深度。
15. 如請求項 9 所述之方法，其中該至少一連接圖案連接於該至少二第一圖案之間。
16. 如請求項 9 所述之方法，其中該至少一連接圖案與該至少二第一圖案沿著一第一方向排列，該第二圖案的該長度在該第一方向上。
17. 如請求項 9 所述之方法，更包含：
提供一基板與在該基板上的一第一光阻層；
將修改後的該第一布局圖案轉移至該第一光阻層；
通過該第一光阻層進行一蝕刻處理與一沉積處理以在該基板中形成複數個通孔部與至少一連接部，其中該複數個通孔部對應於該複數個第一圖案，該至少一連接部對應於該至少一連接圖案，該至少一連接部連接於該複數個通孔部中的二通孔部之間。

圖式簡單說明

第 1 圖係為根據本發明之一些實施例之用以形成半導體結構之方法；

第 2 圖係繪示根據本發明之一些實施例之重疊的布局圖案；

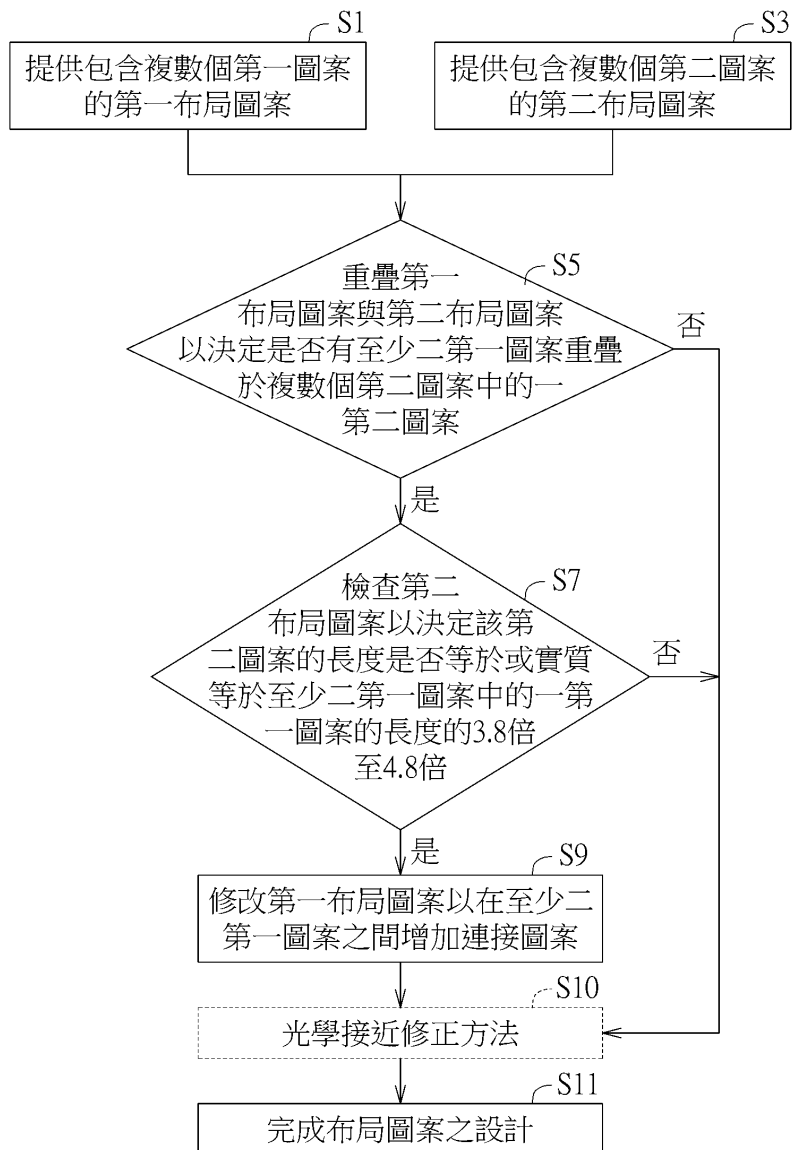
第 3 圖係繪示根據本發明之一些實施例之重疊的布局圖案；

第 4 圖係繪示根據本發明之一些實施例之半導體結構的示意剖面圖；

第 5 圖係繪示根據本發明之一些實施例之重疊的布局圖案；及

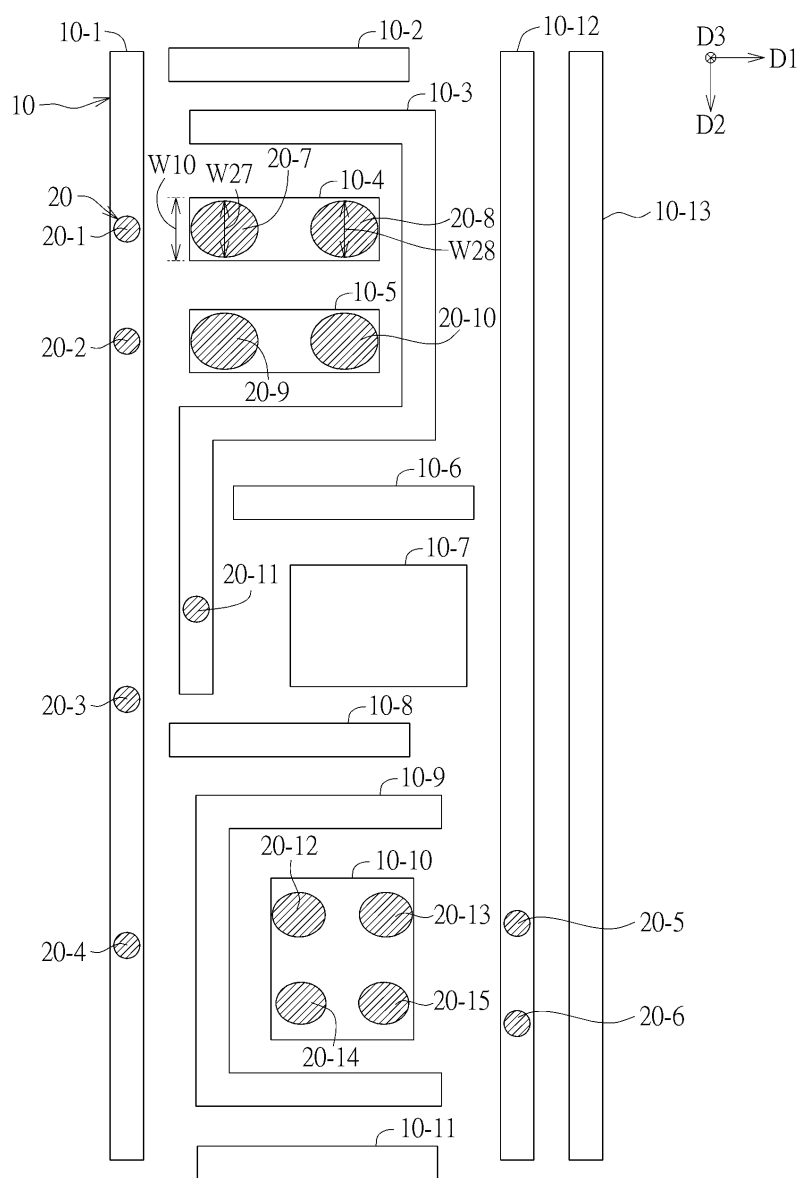
第 6 圖係繪示根據本發明之一些實施例之重疊的布局圖案。

(3)



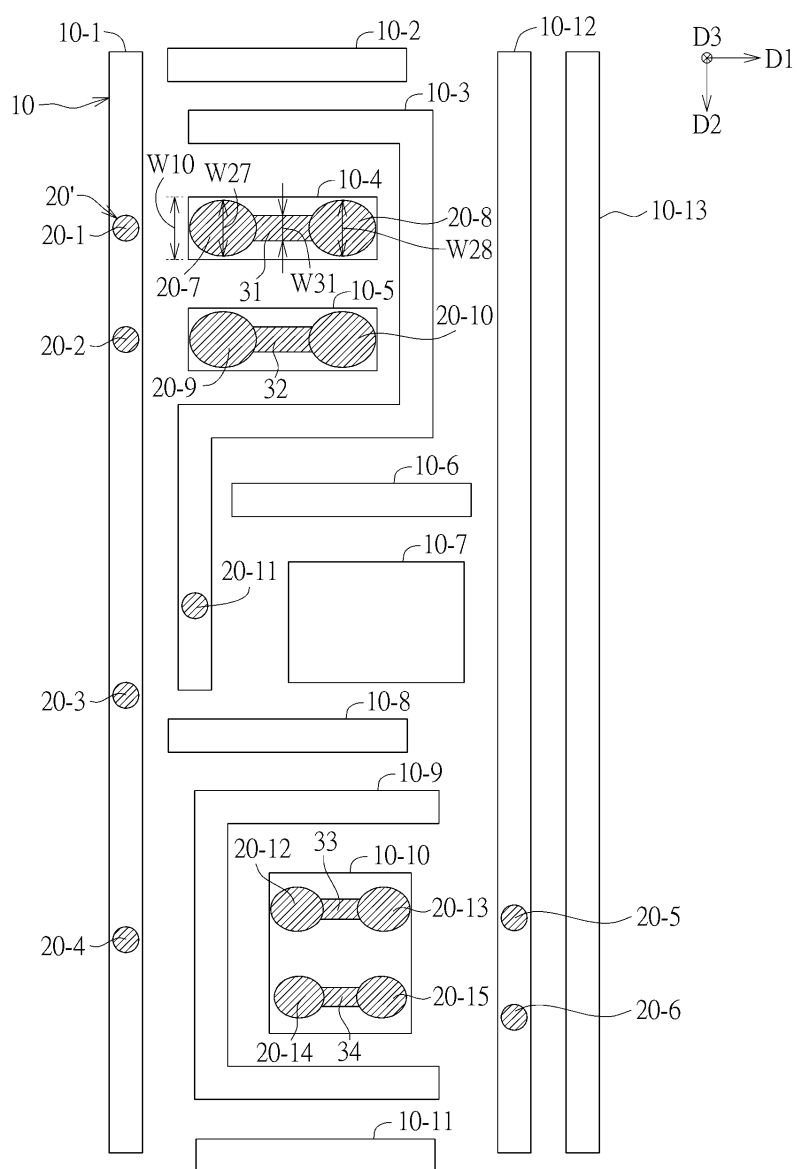
第 1 圖

(4)



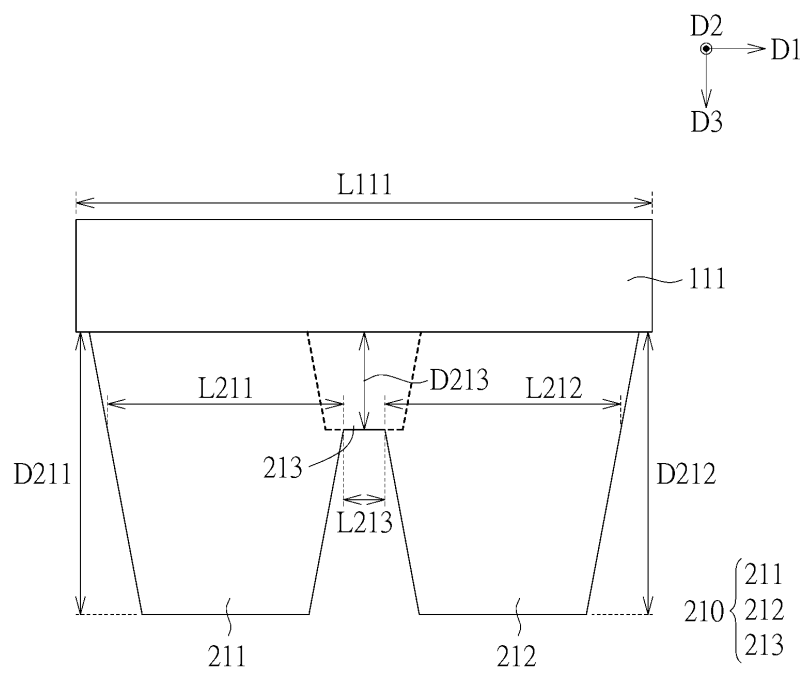
第 2 圖

(5)



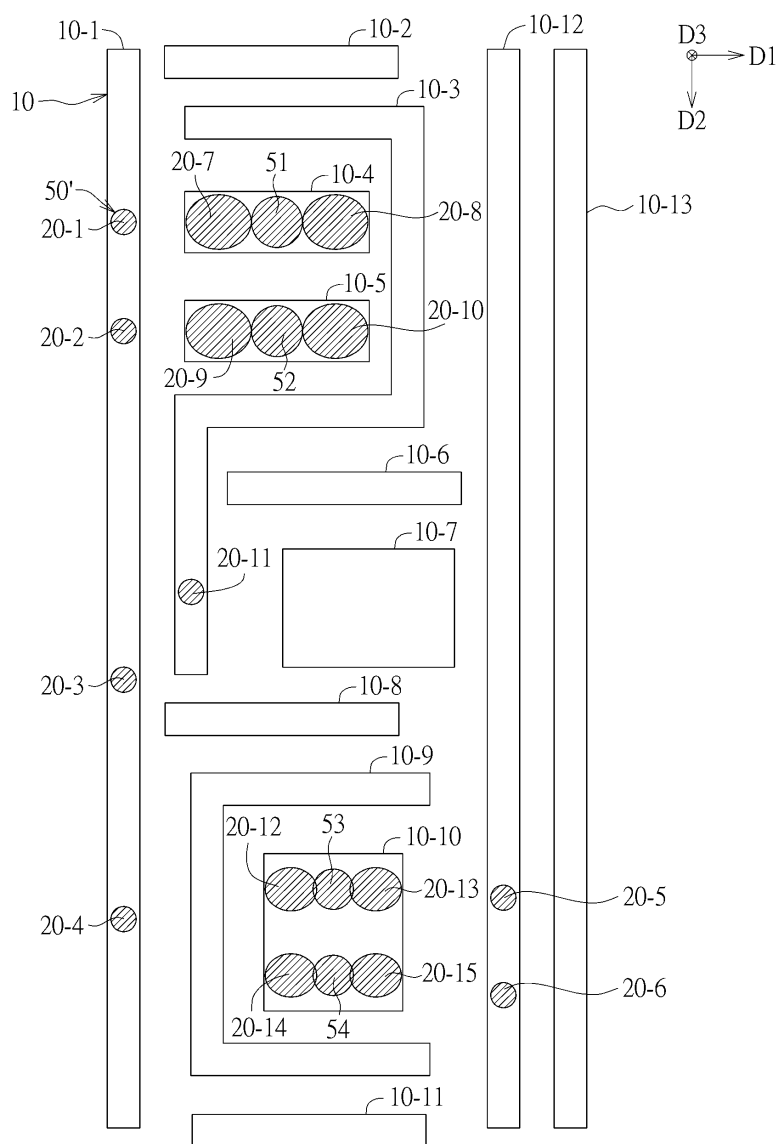
第 3 圖

(6)



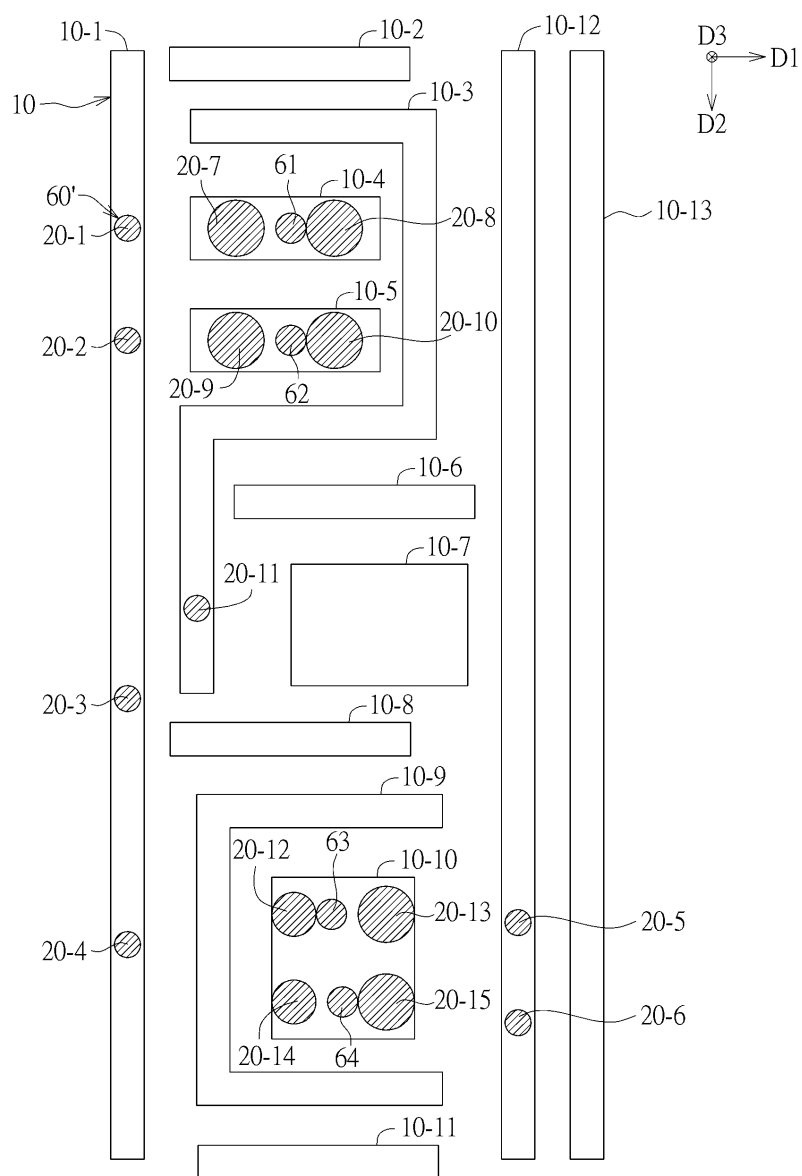
第 4 圖

(7)



第 5 圖

(8)



第 6 圖