

【11】證書號數：I939017

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10W20/40 (2026.01) H10W90/00 (2026.01)
H10P74/00 (2026.01)

發明

全 8 頁

【54】名稱：積體電路及其測試方法

【21】申請案號：114118758

【22】申請日：中華民國 114 (2025) 年 05 月 20 日

【11】公開編號：202616506

【43】公開日期：中華民國 115 (2026) 年 04 月 16 日

【30】優先權：2024/10/04

美國

63/703,354

2025/02/14

美國

19/054,173

【72】發明人：張盟昇 (TW) CHANG, MENG-SHENG

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR

MANUFACTURING COMPANY, LTD.

新竹市新竹科學工業園區力行六路八號

【74】代理人：秦建譜；許志銘

【56】參考文獻：

TW 202407882A

審查人員：詹惟雯

【57】申請專利範圍

1. 一種積體電路，包含：

設置於一單一半導體基板上的複數個半導體裸晶片，其中該些半導體裸晶片中的每一者包含複數個操作模組，及

分別耦接至該些操作模組的複數個電源開關；

一電源網路，其相對於該些半導體裸晶片設置且用以提供一電源電壓至該些半導體裸晶片中的每一者；及

一電源控制電路，其設置於該半導體基板上；

其中該電源控制電路用以進行以下操作：

接收一第一信號，該第一信號指示該些半導體裸晶片中之至少一者的一或多個操作模組已損壞；且

基於該第一信號而發送一第二信號至分別耦接至該些操作模組中的一者或多者的該些對應電源開關，以便使該電源電壓斷開連接而不提供至該些操作模組中的一者或多者。

2. 如請求項 1 所述之積體電路，其中該些操作模組中的每一者包括以下各者中的一者：一自然語言處理模組、一電腦視覺模組、一語音辨識模組、一推薦系統模組、一預測性分析模組、一自主導航模組、一異常偵測模組、一情緒偵測模組、一生成性模型模組、一知識圖形模組、一光學字符辨識模組、一資料清洗模組、一動態定價模組、一姿態估計模組，或一時間系列分析模組。

3. 如請求項 1 所述之積體電路，其中該第一信號包括一第一數目(N_1)個第一資料位元，且該第二信號包括一第二數目(N_2)個第二資料位元。4. 如請求項 3 所述之積體電路，其中 N_2 等於 2^{N_1} 。

5. 如請求項 3 所述之積體電路，其中該電源控制電路包含：

(2)

複數個第一反相器，該些第一反相器中的每一者用以邏輯反相該些第一資料位元的一對應一者以提供一第一數目個第三資料位元；

複數個 NAND 閘，該些 NAND 閘中的每一者用以輸入對應的該第一數目個第三資料位元以提供一第二數目個第四資料位元；及

複數個第二反相器，該些第二反相器中的每一者用以邏輯反相該第二數目個第四資料位元的一對應一者以提供該些第二資料位元中的一對應一者。

6. 如請求項 1 所述之積體電路，其中該些電源開關中的每一者包括：
 - 一第一反相器，其用以接收該第二信號的一第一資料位元且邏輯反相該第一資料位元以提供一第二資料位元；
 - 一第二反相器，其用以接收該第二資料位元且邏輯反相該第二資料位元以提供一第三資料位元；
 - 及一 p 型電晶體，該 p 型電晶體具有耦接至該電源網路的一源極端、用以接收該第三資料位元的一閘極端及耦接至該對應操作模組的一汲極端。
7. 如請求項 1 所述之積體電路，其中該些電源開關中的每一者包括：
 - 一第一反相器，其用以接收該第二信號的一第一資料位元且邏輯反相該第一資料位元以提供一第二資料位元；
 - 一第二反相器，其用以接收該第二資料位元且邏輯反相該第二資料位元以提供一第三資料位元；
 - 一第一 p 型電晶體，該第一 p 型電晶體具有耦接至該電源網路的一源極端、用以接收該第三資料位元的一閘極端及一汲極端；及
 - 一第二 p 型電晶體，該第二 p 型電晶體具有耦接至該第一 p 型電晶體之該汲極端的一源極端、用以接收該電源電壓之一半的一閘極端及耦接至該對應操作模組的一汲極端。
8. 如請求項 1 所述之積體電路，其中該些電源開關中的每一者包括：
 - 一第一反相器，其用以接收該第二信號的一第一資料位元且邏輯反相該第一資料位元以提供一第二資料位元；
 - 一第二反相器，其用以接收該第二資料位元且邏輯反相該第二資料位元以提供一第三資料位元；
 - 一第三反相器，其用以接收該第三資料位元且邏輯反相該第三資料位元以提供一第四資料位元；
 - 一第四反相器，其用以接收該第四資料位元且邏輯反相該第四資料位元以提供一第五資料位元；
 - 一第一 p 型電晶體，該第一 p 型電晶體具有耦接至該電源網路的一源極端、用以接收該第五資料位元的一閘極端及耦接至該對應操作模組的一汲極端；及
 - 一第二 p 型電晶體，該第二 p 型電晶體具有耦接至該電源網路的一源極端、用以接收該第三資料位元的一閘極端及耦接至該對應操作模組的一汲極端。
9. 一種積體電路，包含：
 - 配置於一單一半導體基板上的複數個半導體裸晶片，該些半導體裸晶片中的每一者包含複數個操作模組，及分別耦接至該些操作模組的複數個電源開關；
 - 其中該些電源開關中的至少一者用以基於指示該對應操作模組已損壞的一第一信號而使經由一電源網路攜載的一電壓自該對應操作模組選擇性解耦。
10. 一種用於測試一積體電路的方法，包含以下步驟：
 - 向一半導體基板提供設置於該半導體基板上面的複數個半導體裸晶片，其中該些半導體裸晶片中的每一者包含複數個操作模組，及分別耦接至該些操作模組的複數個電源開關；
 - 將一電源電壓遞送至該些半導體裸晶片中的每一者的該些操作模組中的每一者；

(3)

識別該些操作模組中已未能滿足至少一個要求的一或多者；
接收指示該些損壞之操作模組中的一者或多者之一第一信號；及
發送一第二信號至分別耦接至該些操作模組中的一者或多者的該些對應電源開關，以便
使該電源電壓斷開連接而不提供至該些操作模組中的一者或多者。

圖式簡單說明

本揭露一實施例之態樣在與隨附圖式一起研讀時自以下詳細描述內容來最佳地理解。請注意，根據行業標準慣例，各種特徵未按比例繪製。實際上，各種特徵之尺寸可為了論述清楚經任意地增大或減小。

第 1 圖圖示根據一些實施例的積體電路之實例示意圖。

第 2 圖圖示根據一些實施例的第 1 圖之積體電路之電源控制電路之實例示意圖。

第 3 圖圖示根據一些實施例的積體電路之實例示意圖及在操作積體電路時各種信號的實例波形。

第 4 圖圖示根據一些實施例的第 1 圖之積體電路之電源開關的實例示意圖。

第 5 圖圖示根據一些實施例的第 1 圖之積體電路之電源開關的實例示意圖。

第 6 圖圖示根據一些實施例的第 1 圖之積體電路之電源開關的實例示意圖。

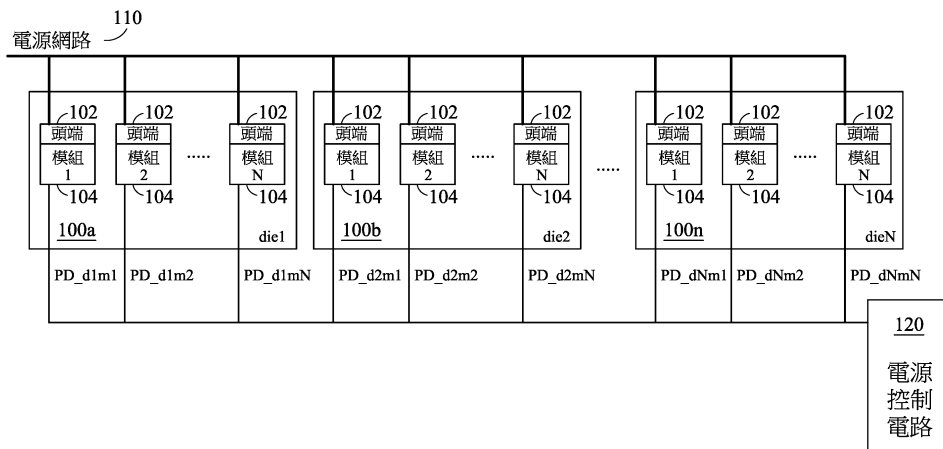
第 7 圖圖示根據一些實施例的第 6 圖之電源開關之位準移位器的實例示意圖。

第 8 圖圖示根據一些實施例的第 1 圖之積體電路之電源開關的實例示意圖。

第 9 圖圖示根據一些實施例的各種信號在操作第 8 圖之電源開關同時的實例波形。

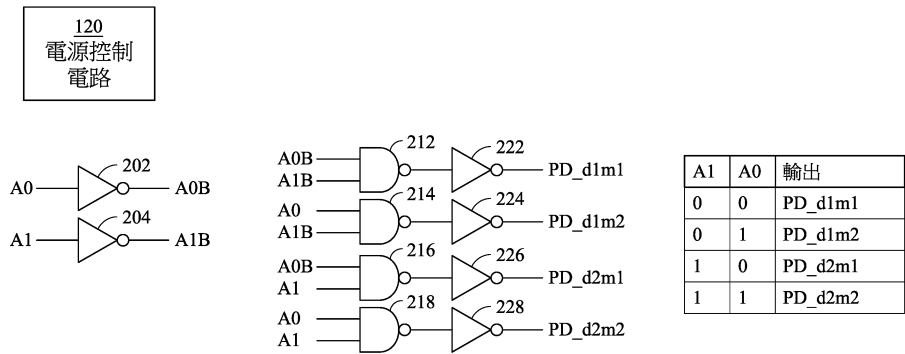
第 10 圖圖示根據一些實施例的用於測試積體電路之實例流程圖。

100

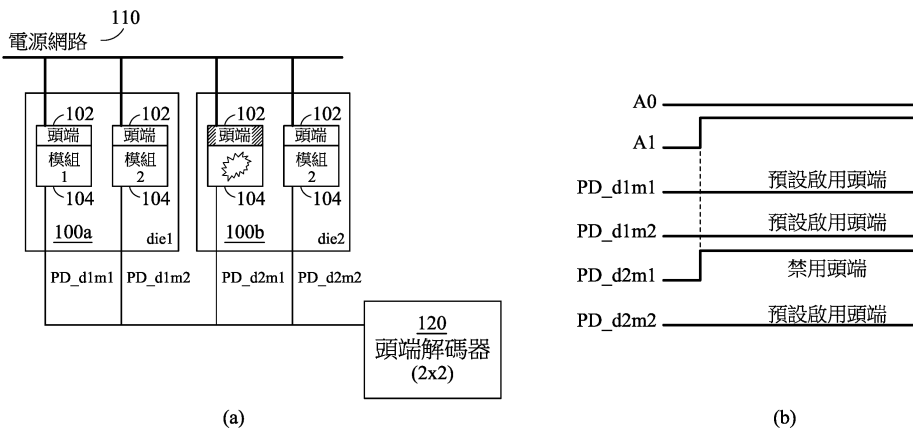


第 1 圖

(4)

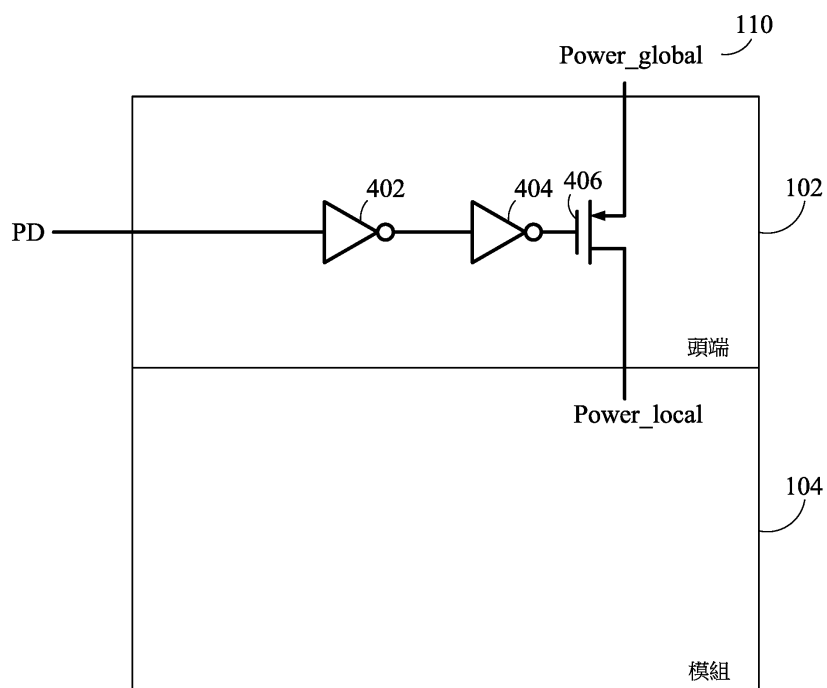


第 2 圖

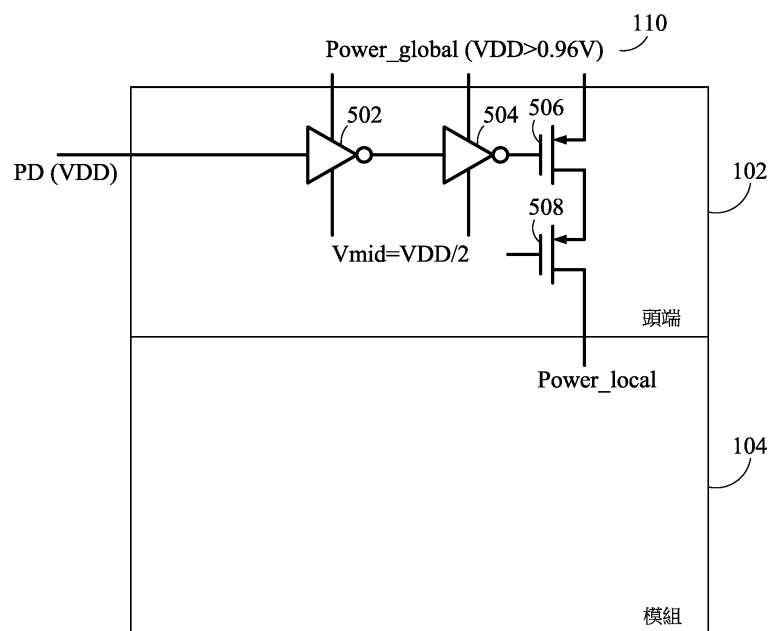


第 3 圖

(5)

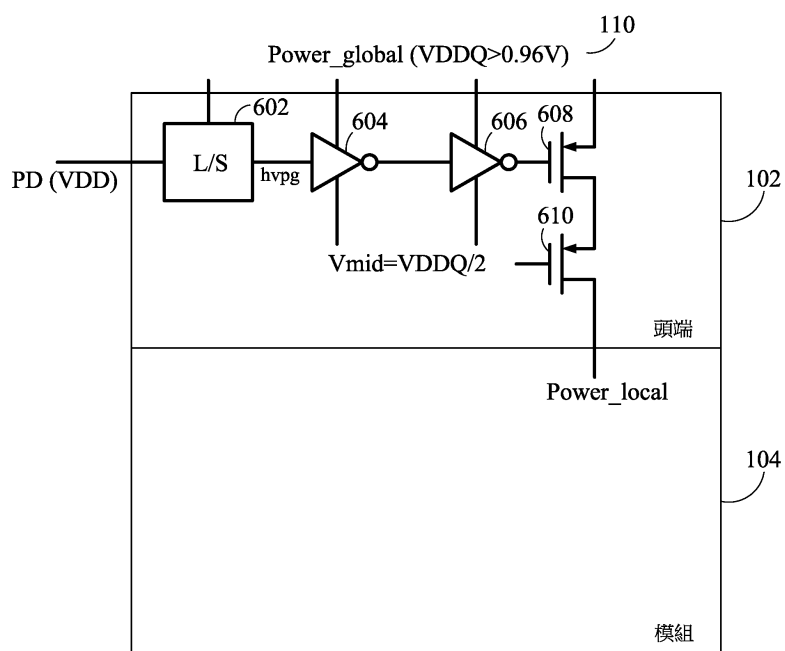


第 4 圖



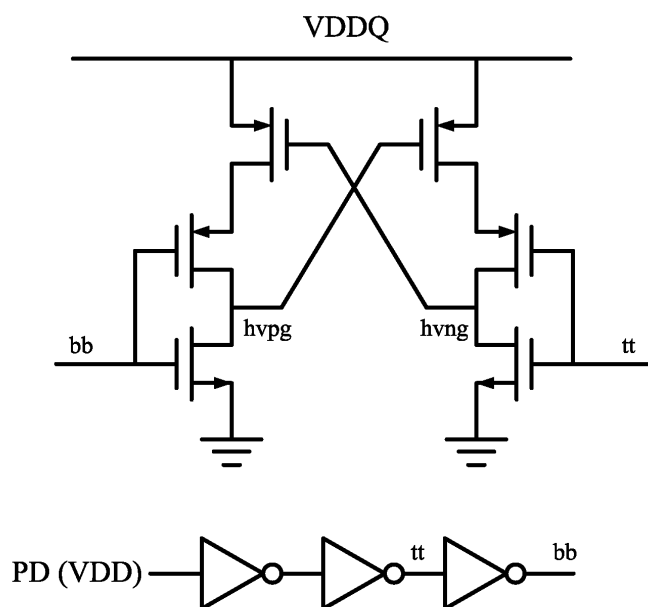
第 5 圖

(6)



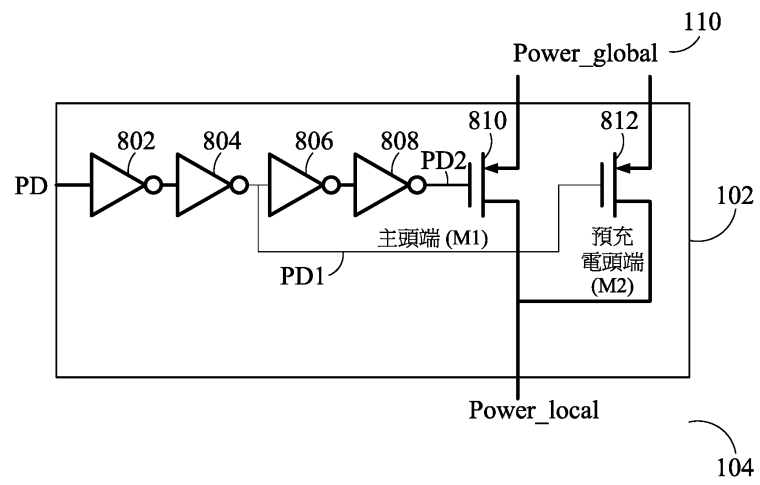
第 6 圖

602

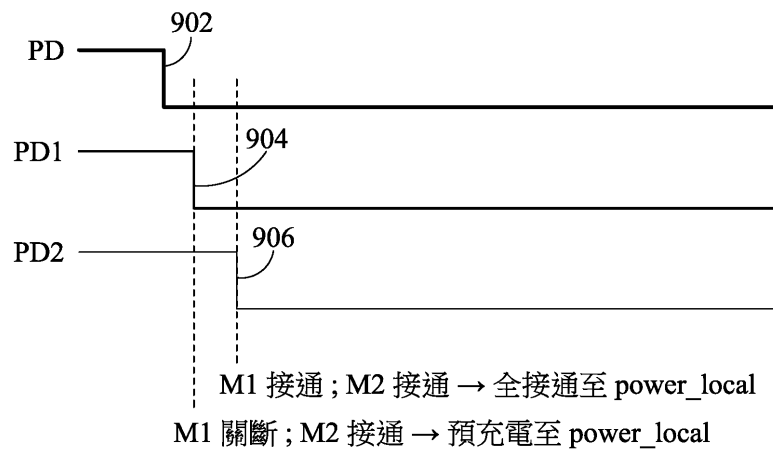


第 7 圖

(7)



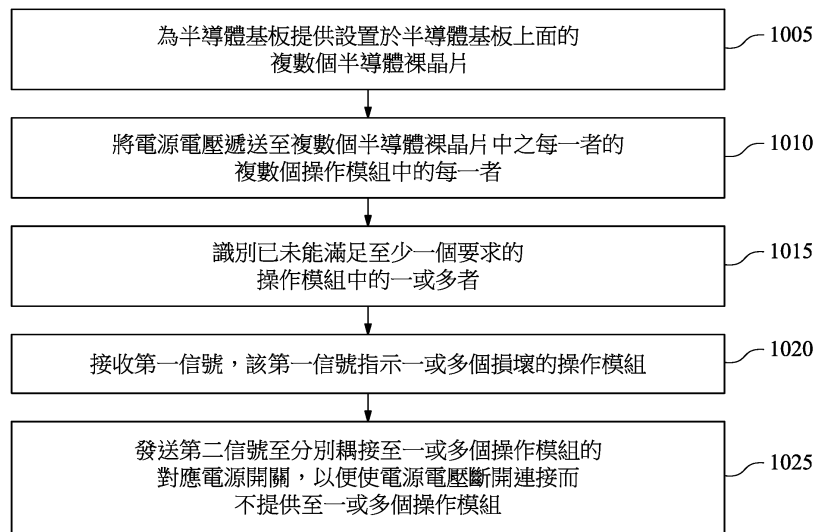
第 8 圖



第 9 圖

(8)

1000



第 10 圖