

【11】證書號數：I939038

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : *H10D62/10* (2025.01) *H10D62/60* (2025.01)
 H10D62/80 (2025.01) *H10D64/20* (2025.01)
 H10D88/00 (2026.01) *H10P50/00* (2026.01)
 H10P14/40 (2026.01) *B82B1/00* (2006.01)

發明

全 45 頁

【54】名 稱：半導體裝置及其形成方法

【21】申請案號：114120380

【22】申請日：中華民國 114 (2025) 年 05 月 29 日

【30】優先權：2025/04/04

美國

19/170,331

【72】發明人：張家敖 (TW) CHANG, CHIA-AO；宋學昌 (TW) SUNG, HSUEH-CHANG；程健家 (TW) CHENG, CHIEN-CHIA；游明華 (TW) YU, MING-HUA

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.

新竹市新竹科學工業園區力行六路八號

【74】代理人：秦建譜；許志銘

【56】參考文獻：

TW 202224191A

TW 202234468A

TW 202335304A

TW 202450070A

US 2022/0173212A1

審查人員：陳憶緣

【57】申請專利範圍

1. 一種半導體裝置，包括：

一基板；

設置在該基板上方的一通道區；

設置在該通道區上方的一閘極介電層；

設置在該通道區上方並具有沿一第一方向延伸的一縱軸的一閘電極，其中，該閘電極包括一下部和位於該下部上方的一上部，其中，該閘電極包括沿該第一方向延伸的一第一側壁，該第一側壁包括一第一主表面、在該閘電極的該下部中突出於該第一主表面的一第一凸起、以及在該閘電極的該上部中突出於該第一主表面的一第二凸起，其中，該第一主表面是一平坦表面，其中，該閘電極的該下部中的該第一凸起的一密度小於該閘電極的該上部中的該第二凸起的一密度，其中，該閘電極包括一鈦基材料；

設置在該第一凸起、該第二凸起和該閘電極的該第一側壁的該第一主表面之上的一閘極間隔物，其中該閘極間隔物包括低於該通道區的一頂面的一底面；以及

在垂直於該第一方向的一第二方向上插入該通道區的複數個磊晶源極/汲極特徵。

2. 如請求項 1 之裝置，其中，該閘電極的該下部在一垂直方向上具有一第一高度，該閘電極的該上部在該垂直方向上具有一第二高度，其中該第一高度大於該第二高度。

3. 如請求項 2 之裝置，其中，該通道區包括垂直堆疊的複數個奈米結構，其中該閘電極的該下部和該閘電極的該上部在高於最上層的一奈米結構的一頂面的一水平處連接。

4. 如請求項 1 之裝置，其中，該第一凸起在一垂直方向上具有一第一平均尺寸，且該第二凸起在該垂直方向上具有一第二平均尺寸，其中該第二平均尺寸大於該第一平均尺寸。

5. 一種半導體裝置，包括：

一基板；

設置在該基板上方的一通道區；

一閘電極，其具有沿一第一方向且位於該通道區上方的一縱軸，其中，該閘電極包括沿該第一方向延伸的一第一側壁和沿垂直於該第一方向的一第二方向延伸的一第二側壁，其中，該第一側壁包括一第一主表面和突出於該第一主表面之上的複數個第一凸起，該第二側壁包括一第二主表面和突出於該第二主表面的複數個第二凸起，其中該第一主表面和該第二主表面均為平面；

在該第二方向上插入該通道區的複數個磊晶源極/汲極特徵；

設置在該些磊晶源極/汲極特徵上方的一絕緣層；以及

穿過該絕緣層延伸以電耦合到該些磊晶源極/汲極特徵的一接觸件，其中該接觸件的一導電率大於該些磊晶源極/汲極特徵的一導電率。

6. 如請求項 5 之裝置，還包括與該第二側壁相對的一第三側壁，其中該第三側壁包括一第三主表面和突出於該第三主表面的複數個第三凸起。

7. 如請求項 6 之裝置，其中，該些第一凸起與該些第三凸起彼此不對稱。

8. 一種形成半導體裝置的方法，包括：

在一基板上方形形成一半導體條，其中該半導體條包括交替堆疊的複數個第一半導體層和複數個第二半導體層；

在該基板上方形形成一虛設閘極層，其跨越該半導體條帶，其中，形成該虛設閘極層包括：

執行一第一循環多次和一第二循環至少一次，其中該第一循環包括一第一沉積步驟和一第一蝕刻步驟，該第二循環包括一第二沉積步驟並且沒有蝕刻步驟，其中該第一沉積步驟和該第二沉積步驟在一第一溫度下操作；以及

執行一第三循環多次和一第四循環至少一次，其中該第三循環包括一第三沉積步驟和一第二蝕刻步驟，該第二循環包括一第四沉積步驟並且沒有蝕刻步驟，其中該第三沉積步驟和該第四沉積步驟在高於該第一溫度的一第二溫度下操作；

在一第一方向上在該虛設閘極層的相對側壁上形成複數個閘極間隔物；

沿著該些閘極間隔物蝕刻該些第一半導體層和該些第二半導體層，分別形成複數個第一奈米結構和複數個第二奈米結構；

形成介於該些第一奈米結構之間的複數個磊晶源極/汲極特徵，其中該些磊晶源極/汲極特徵的每一者包括兩層，該兩層包含相同的一半導體材料但不同的一濃度；

用一閘電極取代該些第二奈米結構和該虛設閘極層；以及

在該閘電極和該些磊晶源極/汲極特徵上方形成一層間介電層，其中該層間介電層的一高度小於該閘電極的一總高度。

9. 如請求項 8 之方法，其中，該第一沉積步驟、該第二沉積步驟、該第三沉積步驟及該第四沉積步驟均為一低壓化學氣相沉積。

10. 如請求項 8 之方法，其中，該第一沉積步驟、該第二沉積步驟、該第三沉積步驟及該第四沉積步驟是在約 0.1torr 至約 20torr 的一壓力下操作，其中該第一溫度為約 350 攝氏度至約 500 攝氏度，且該第二溫度為約 550 度至約 800 度。

圖式簡單說明

當搭配附圖閱讀時，可從以下詳細描述中最好地理解本揭露的各態樣。值得注意的是，根據業界標準慣例，各種部件並未按比例繪製。事實上，為了討論的清楚起見，各種部件的尺寸可任意增加或減少。

圖 1 至圖 5 是根據一些實施例的製造半導體裝置的中間階段的透視圖。

圖 6A 至圖 8C 是根據一些實施例的製造半導體裝置的中間階段的橫截面圖。

(3)

圖 9 顯示了根據一些實施例的製造半導體裝置中的虛設閘電極的製程流程圖。
圖 10A 至圖 20D 是根據一些實施例的製造半導體裝置的中間階段的橫截面圖。
圖 21A 至圖 22D 是根據一些實施例的製造半導體裝置的中間階段的橫截面圖。
圖 23 顯示了根據一些實施例的製造半導體裝置中的虛設閘電極的製程流程圖。
圖 24A 至圖 26D 是根據一些實施例的製造半導體裝置的中間階段的橫截面圖。
圖 27 顯示了根據一些實施例的製造半導體裝置中的虛設閘電極的製程流程圖。

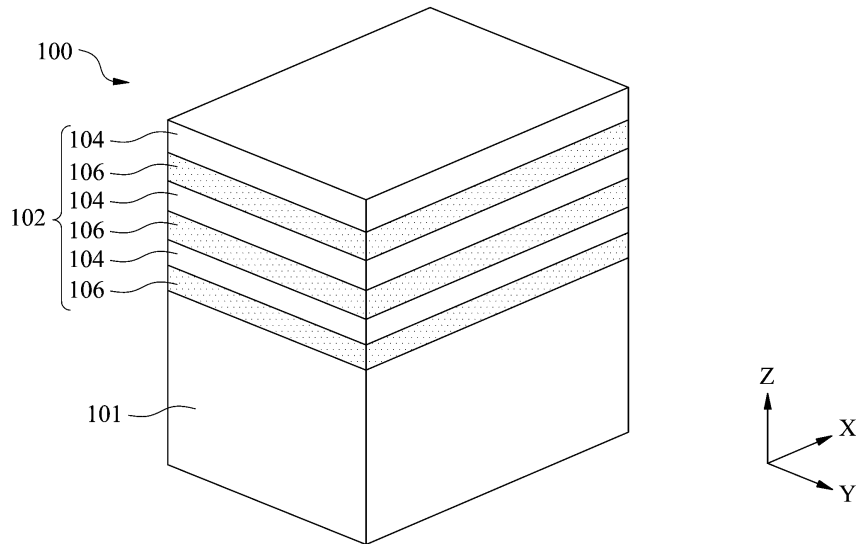


圖 1

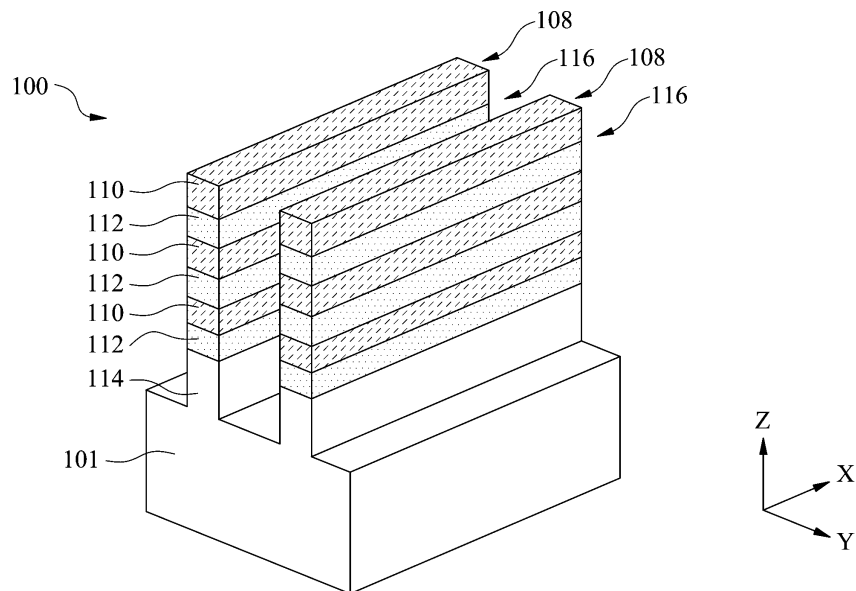


圖 2

(4)

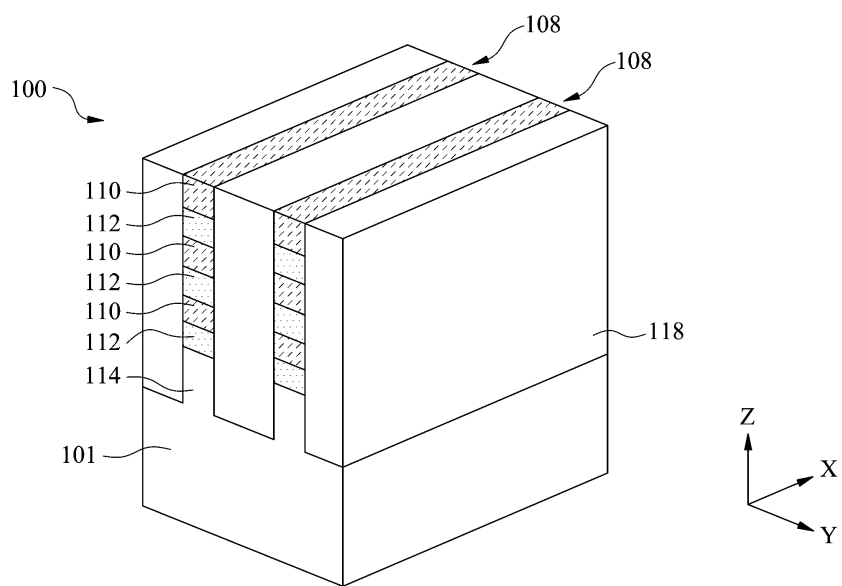


圖 3

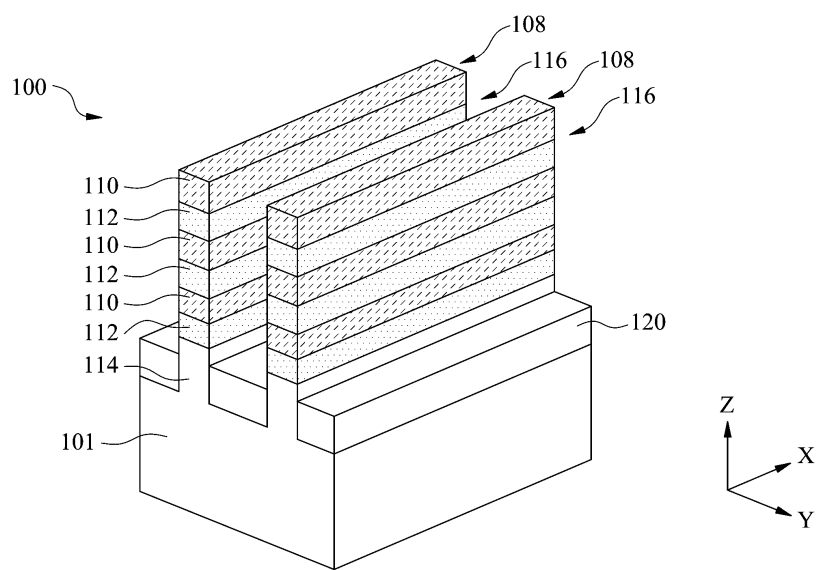
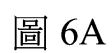
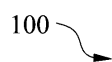


圖 4

圖 5



(6)

100

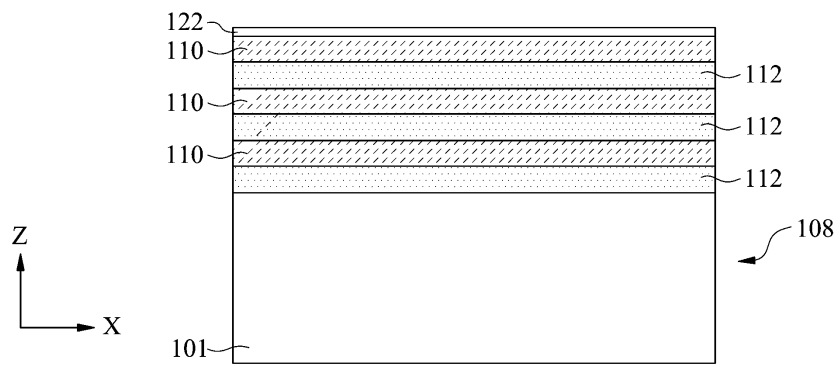


圖 6B

100

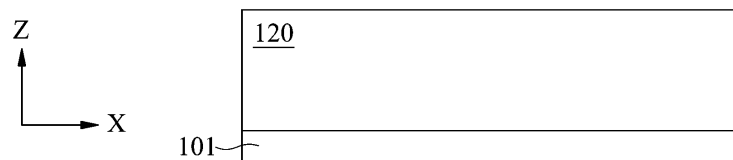


圖 6C

(7)

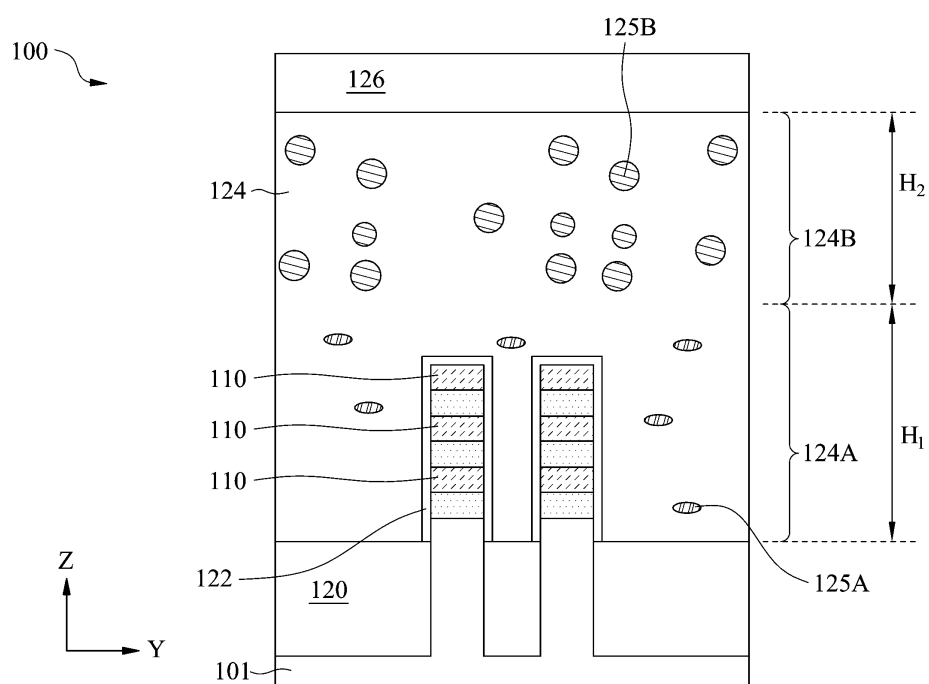


圖 7A

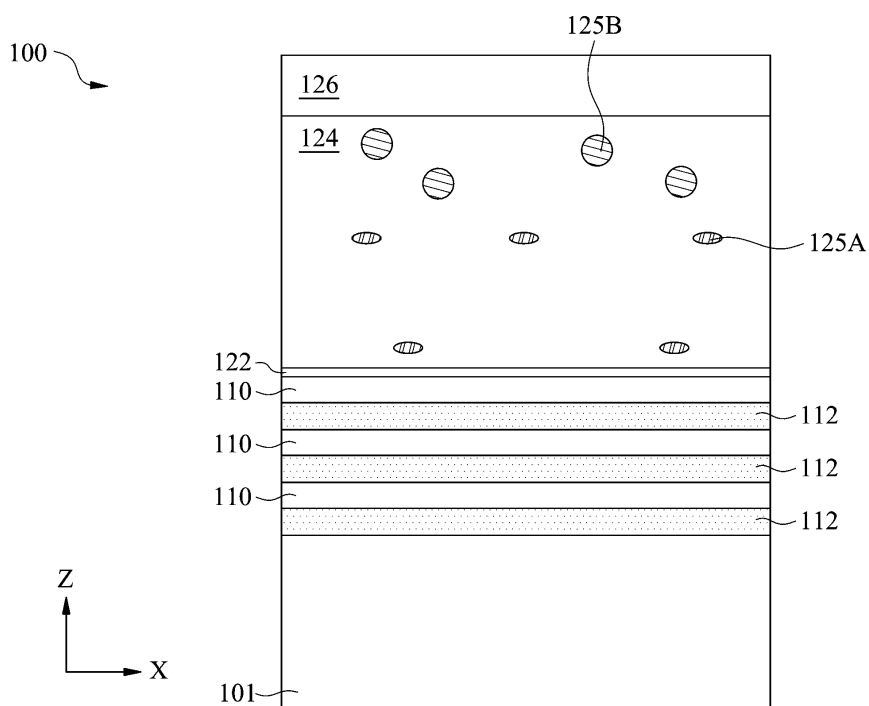


圖 7B

(8)

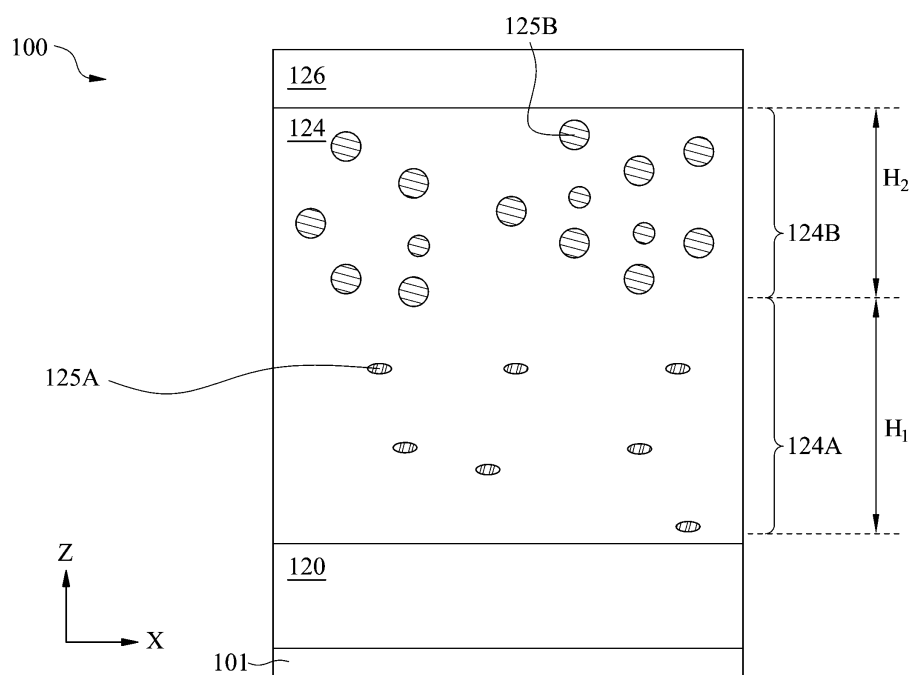


圖 7C

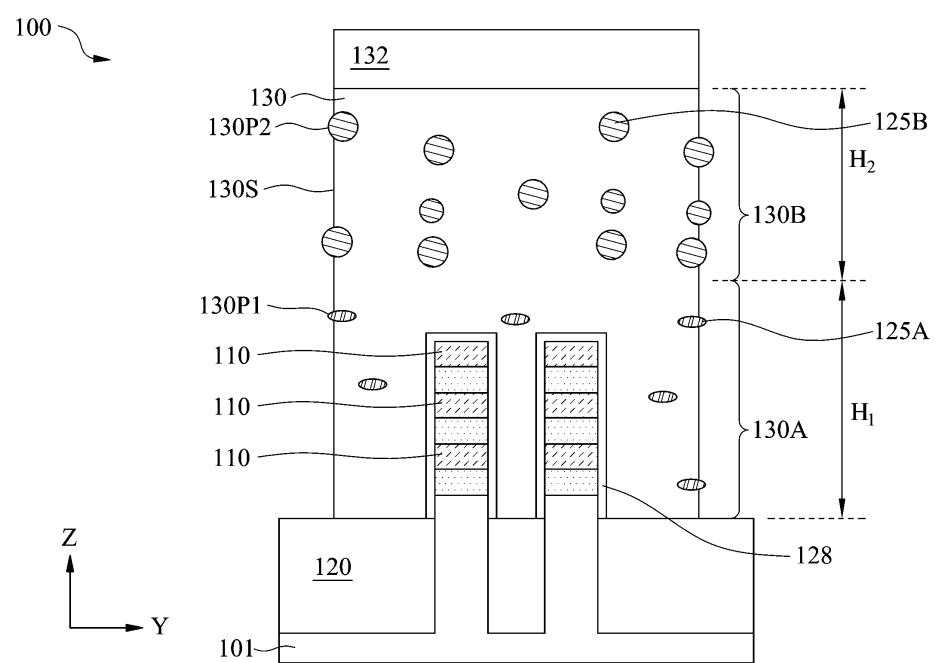


圖 8A

(9)

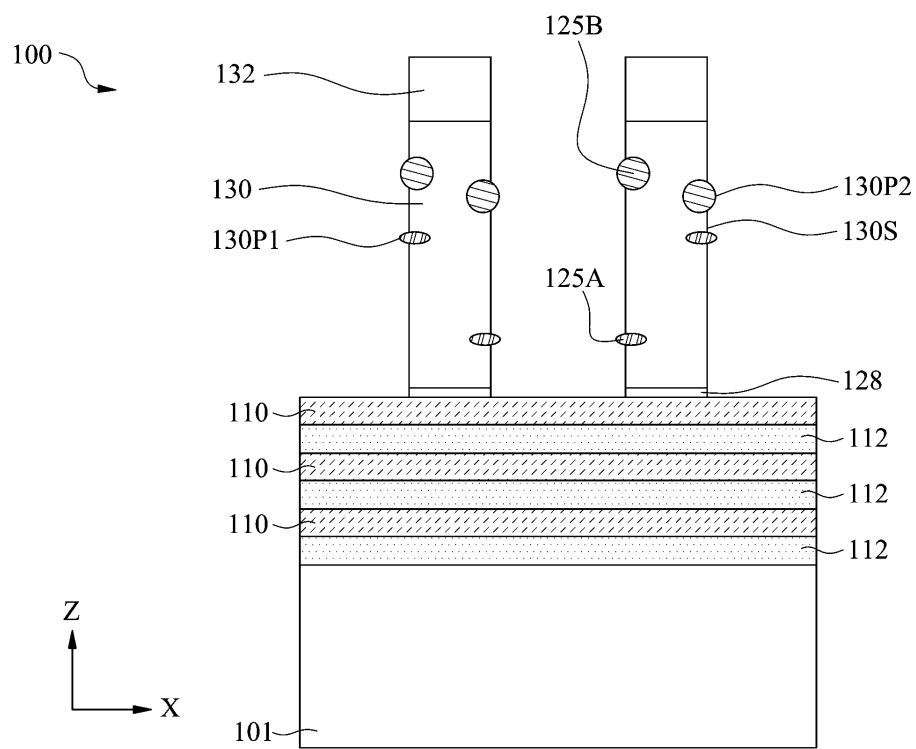


圖 8B

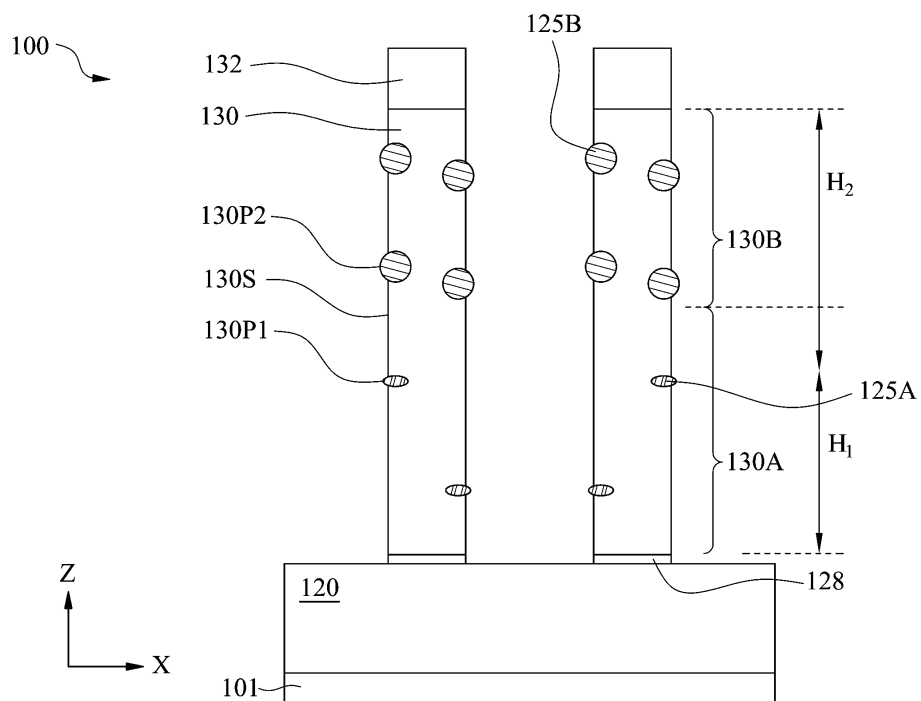


圖 8C

(10)

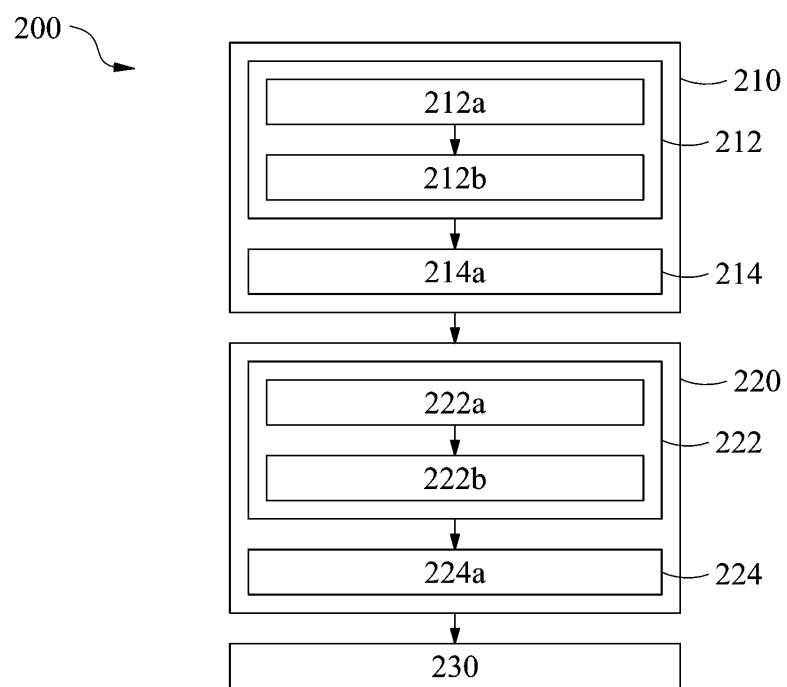


圖 9

(11)

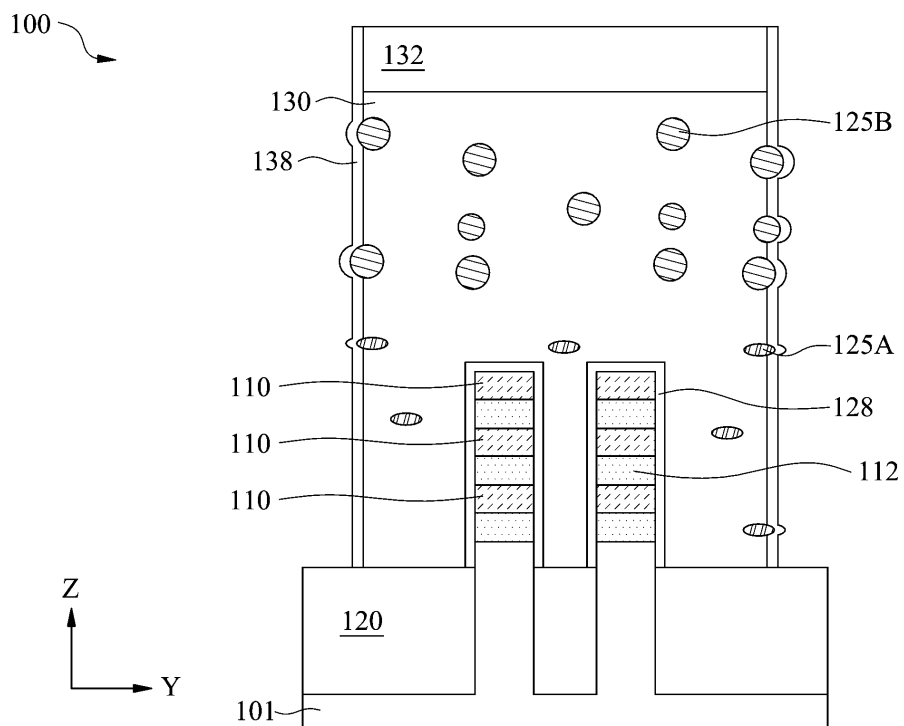


圖 10A

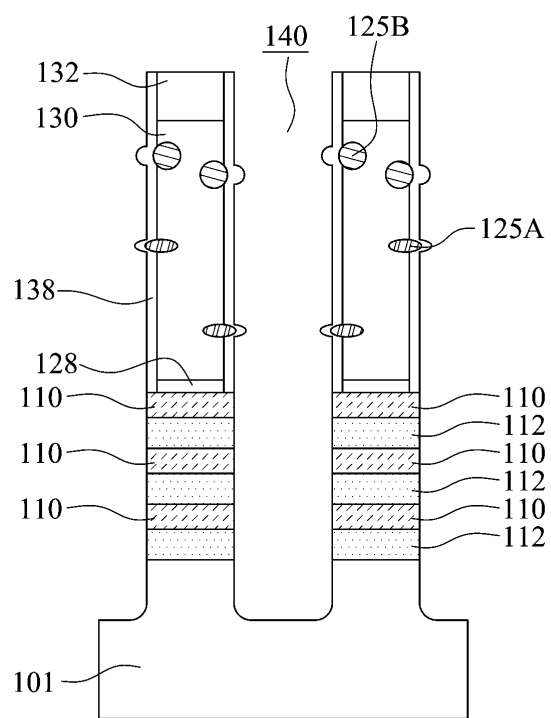


圖 10B

(12)

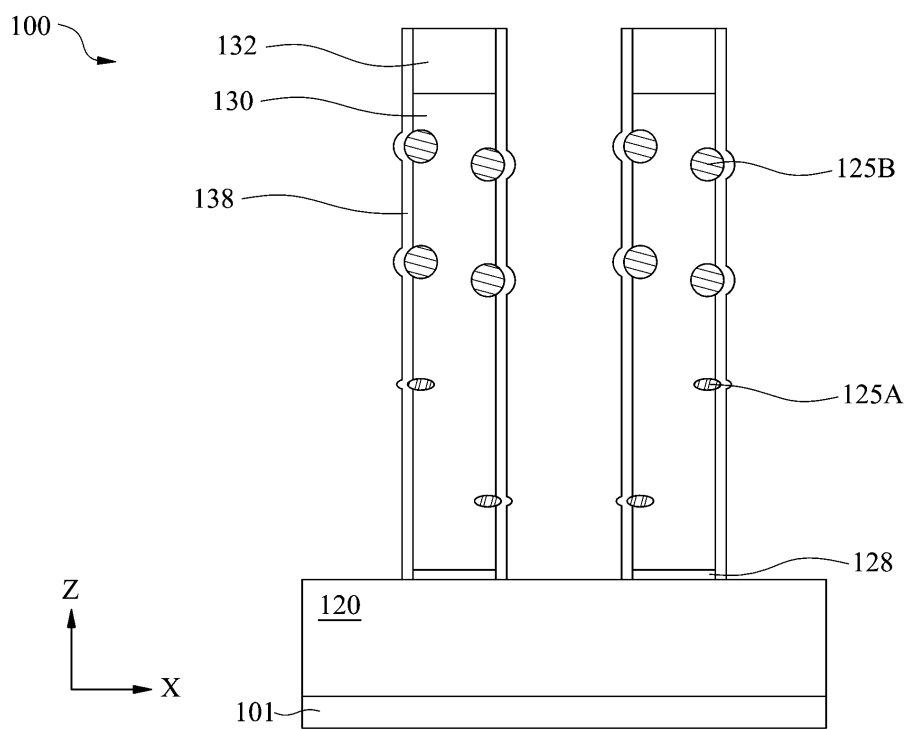


圖 10C

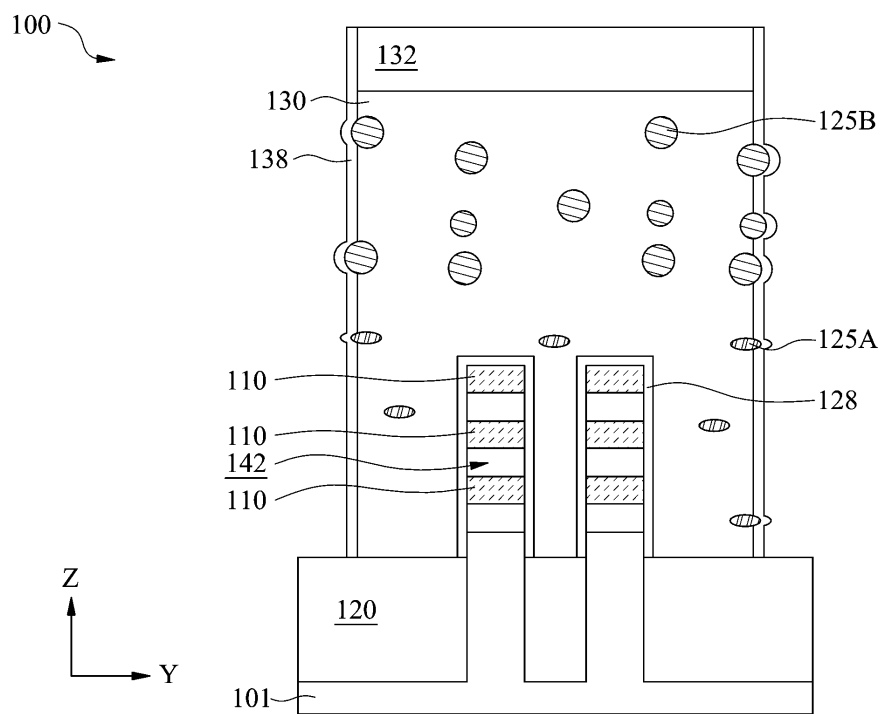


圖 11A

(13)

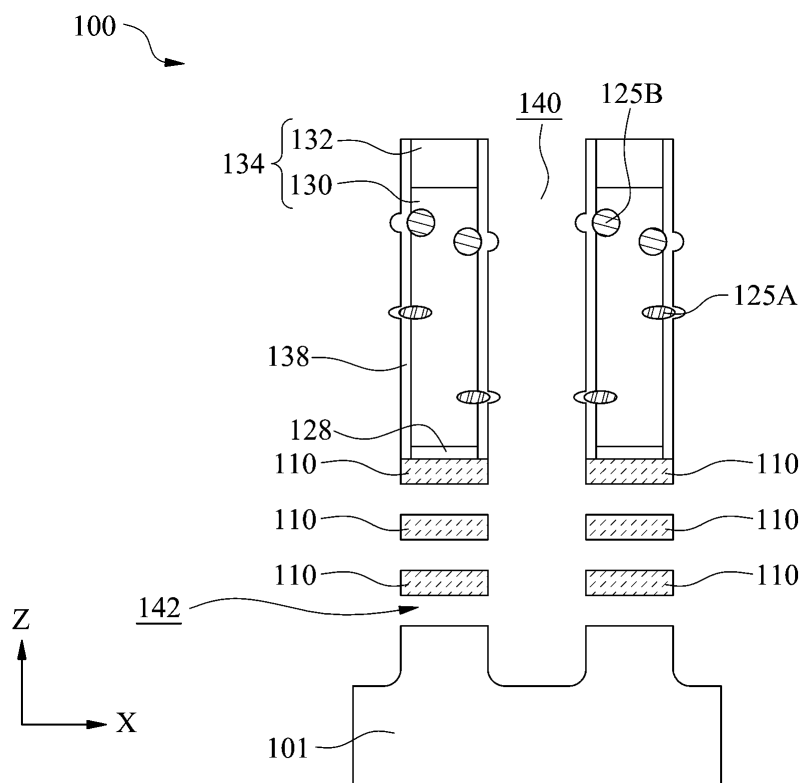


圖 11B

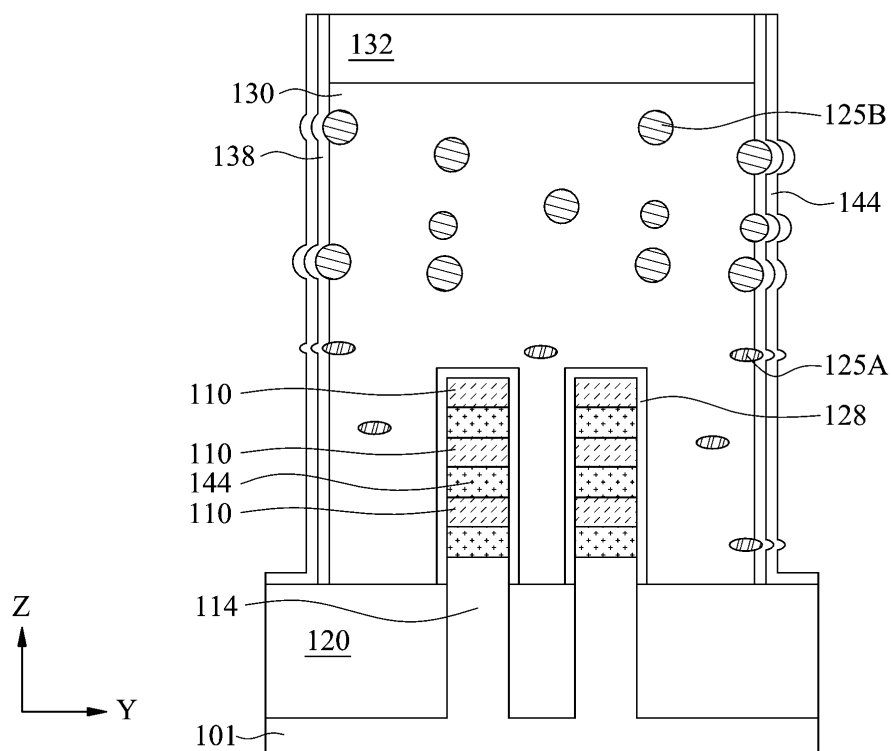


圖 12A

(14)

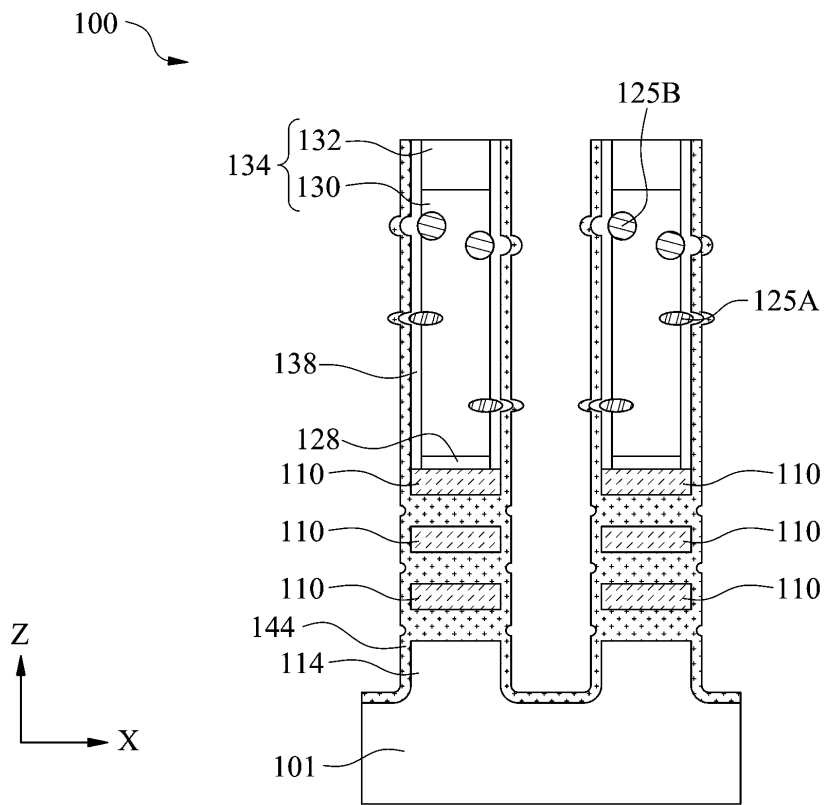


圖 12B

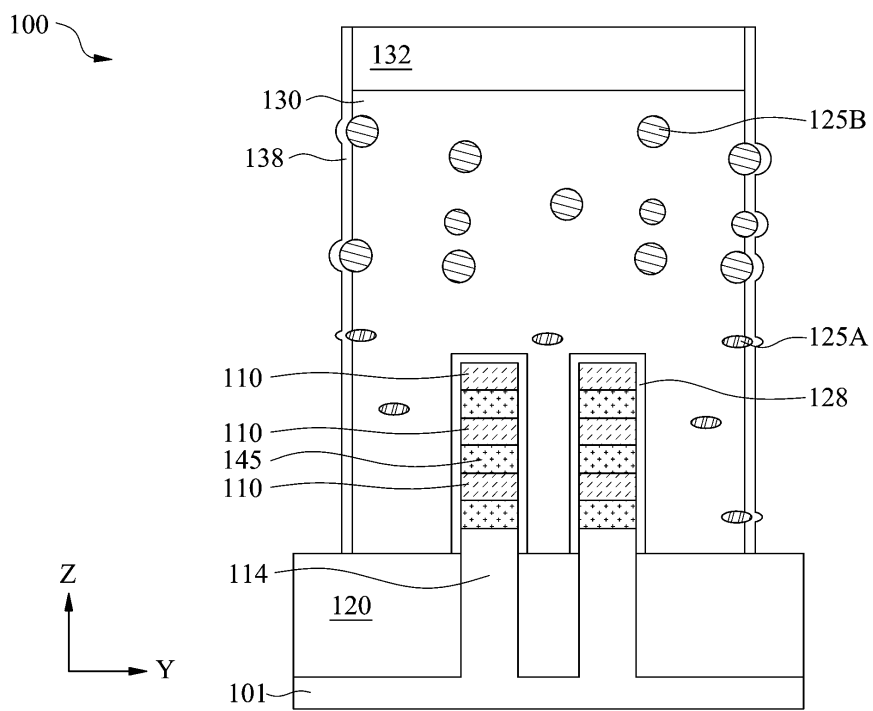


圖 13A

(15)

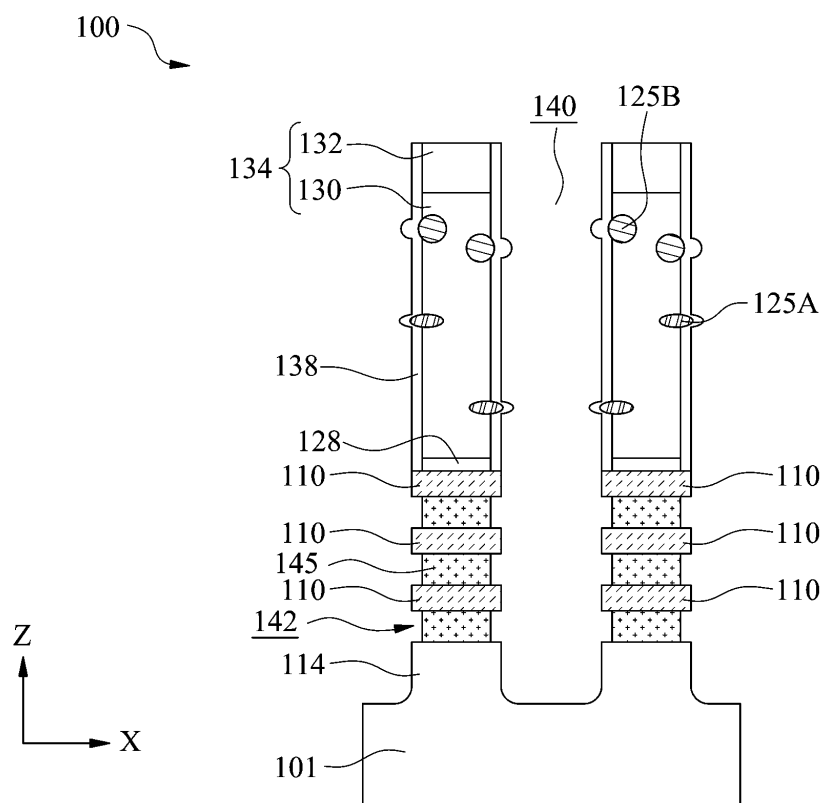


圖 13B

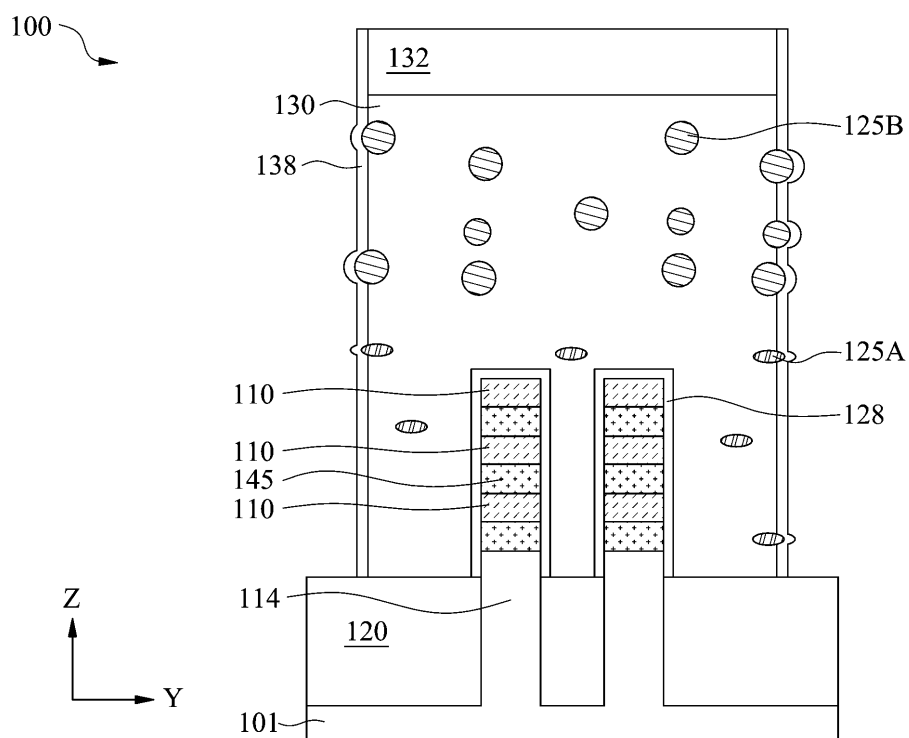


圖 14A

(16)

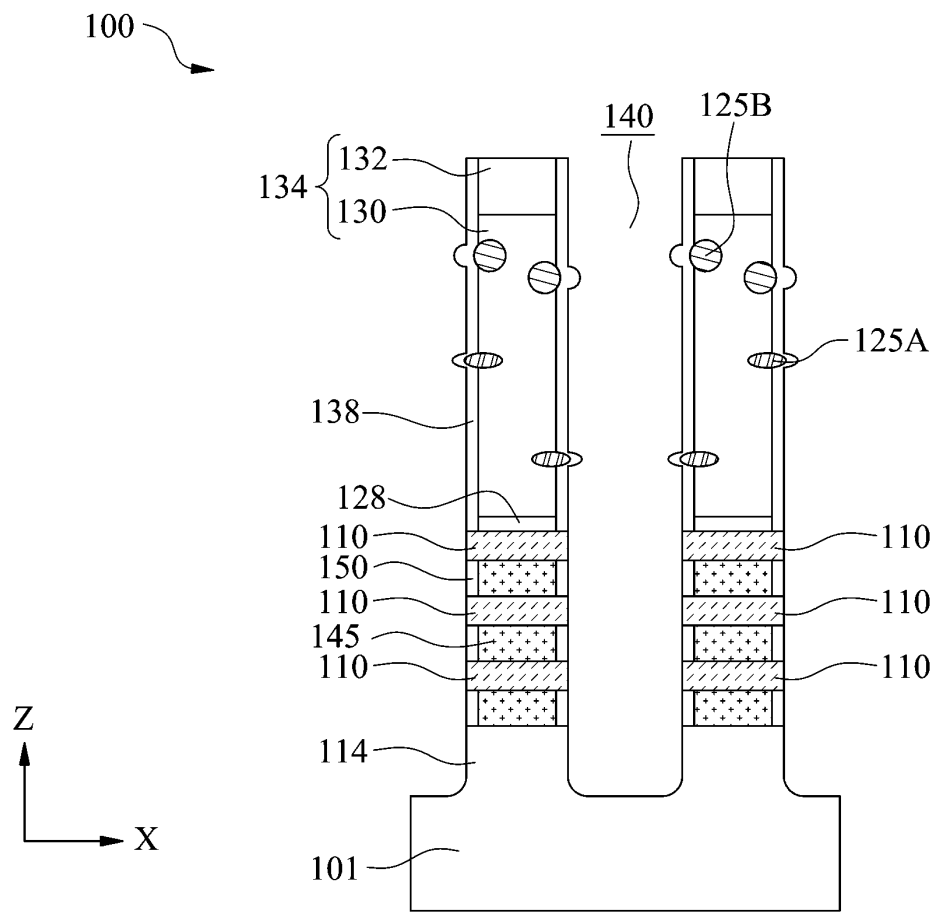


圖 14B

(17)

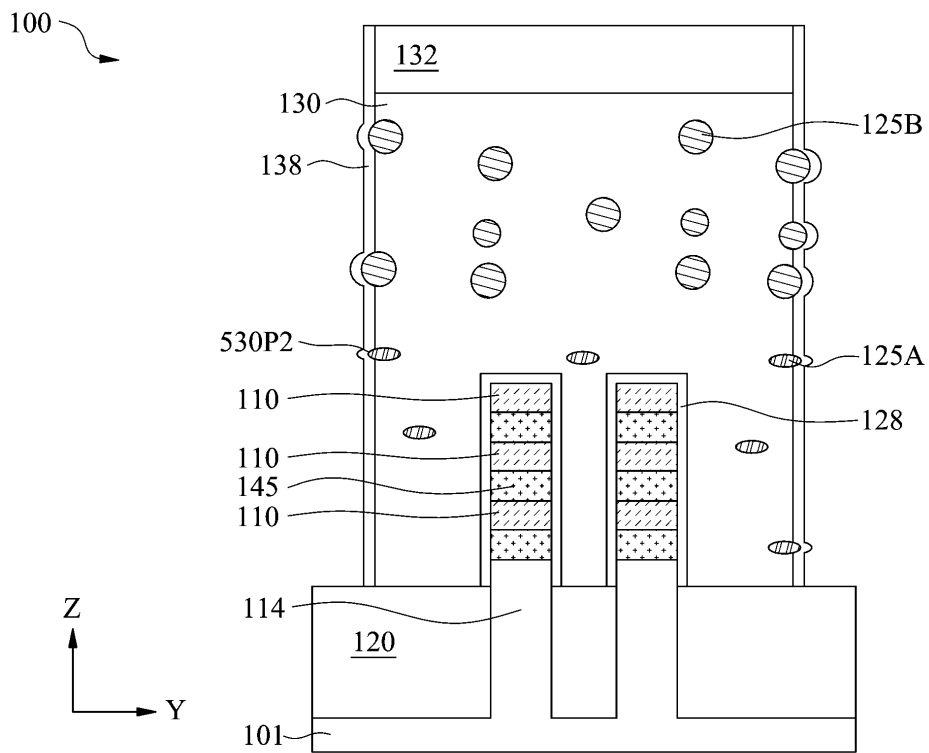


圖 15A

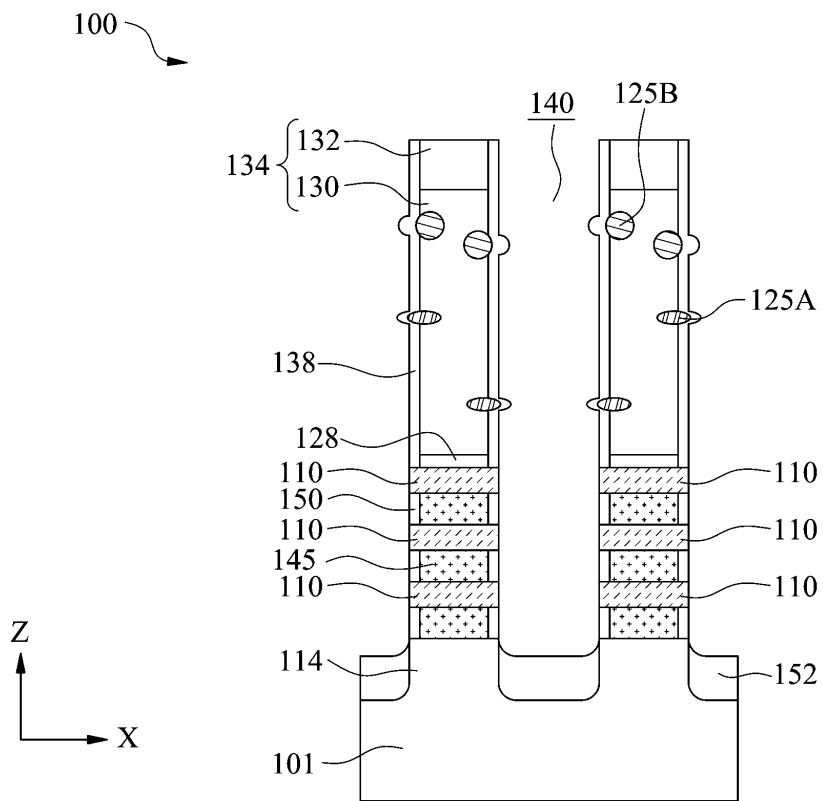


圖 15B

(18)

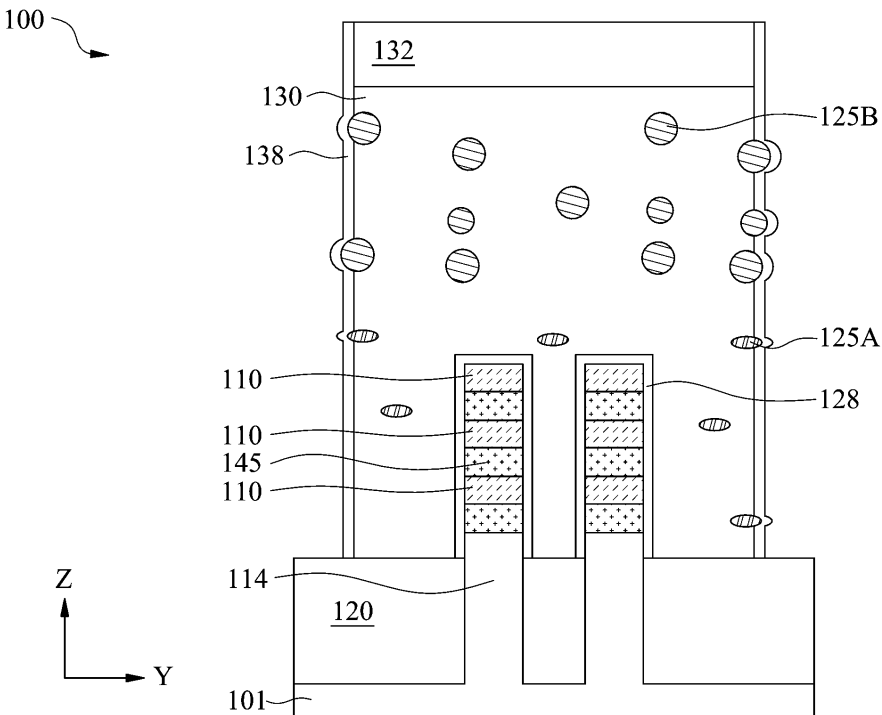


圖 16A

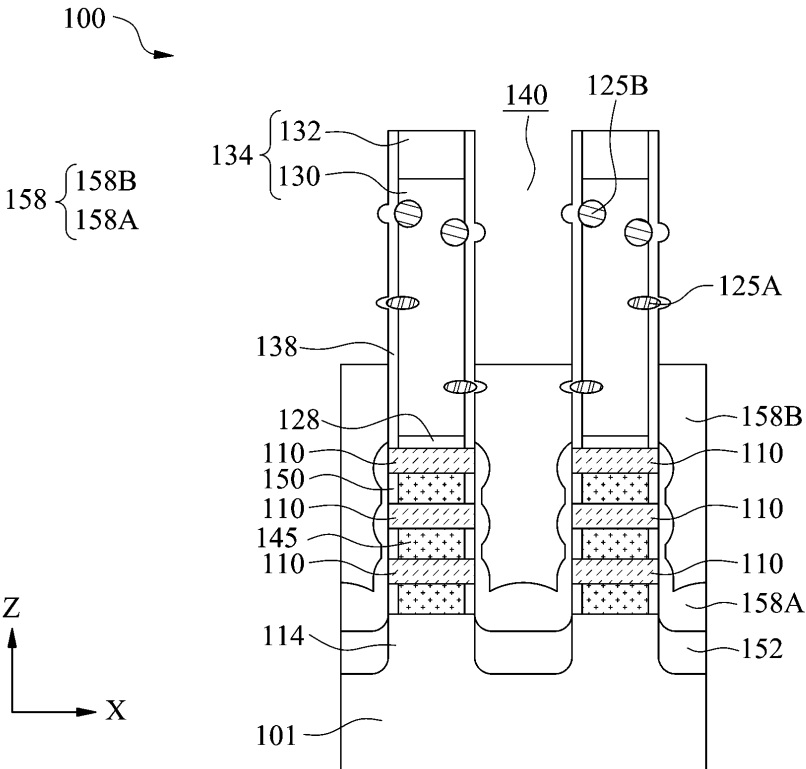


圖 16B

(19)

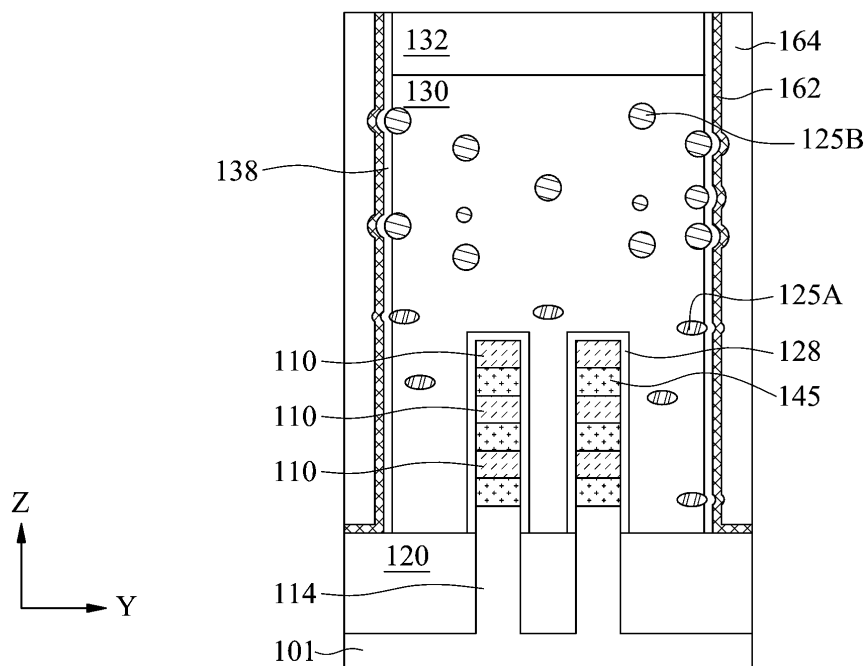


圖 17A

100

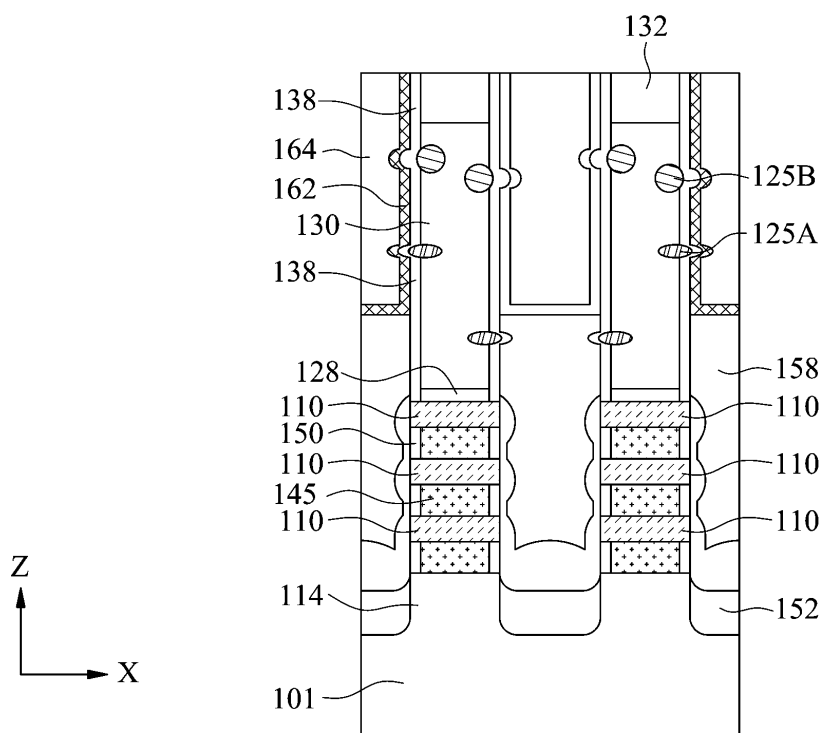


圖 17B

(20)

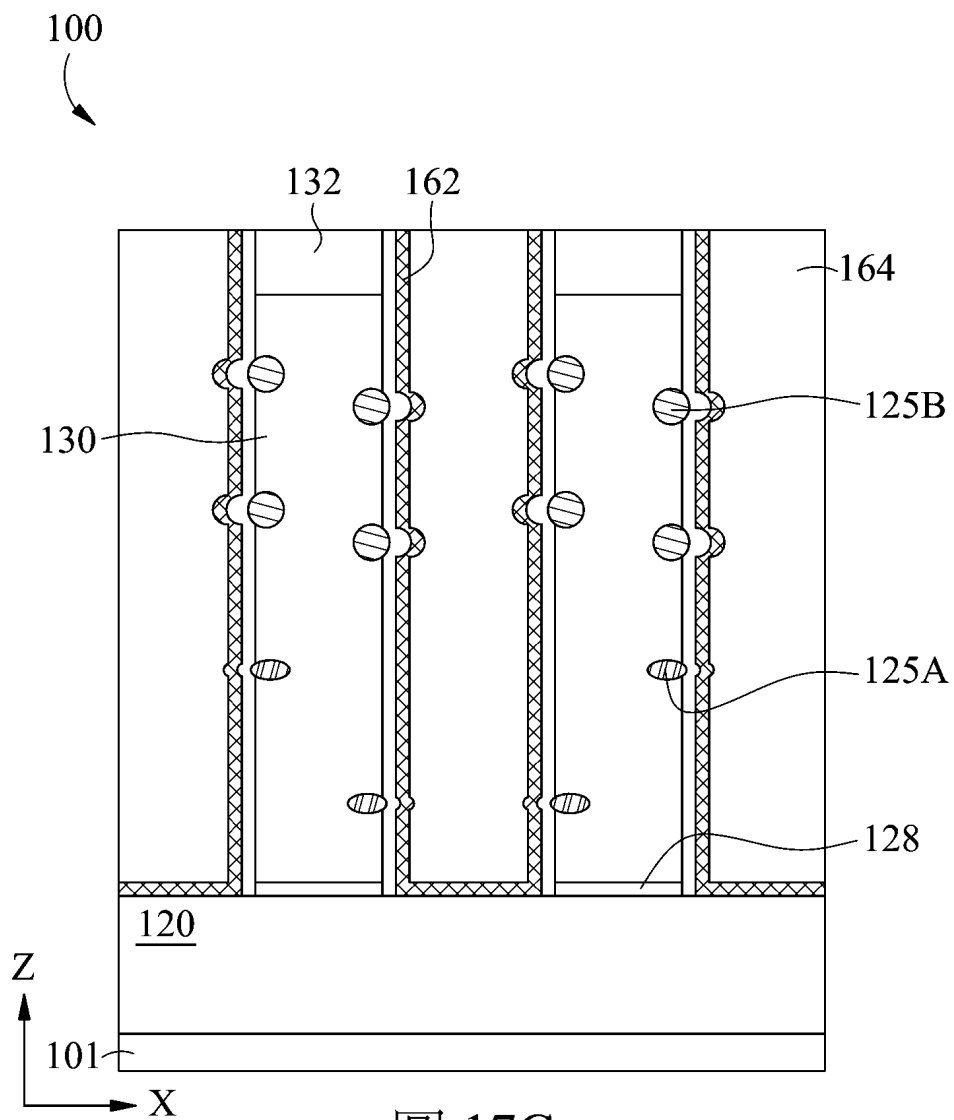


圖 17C

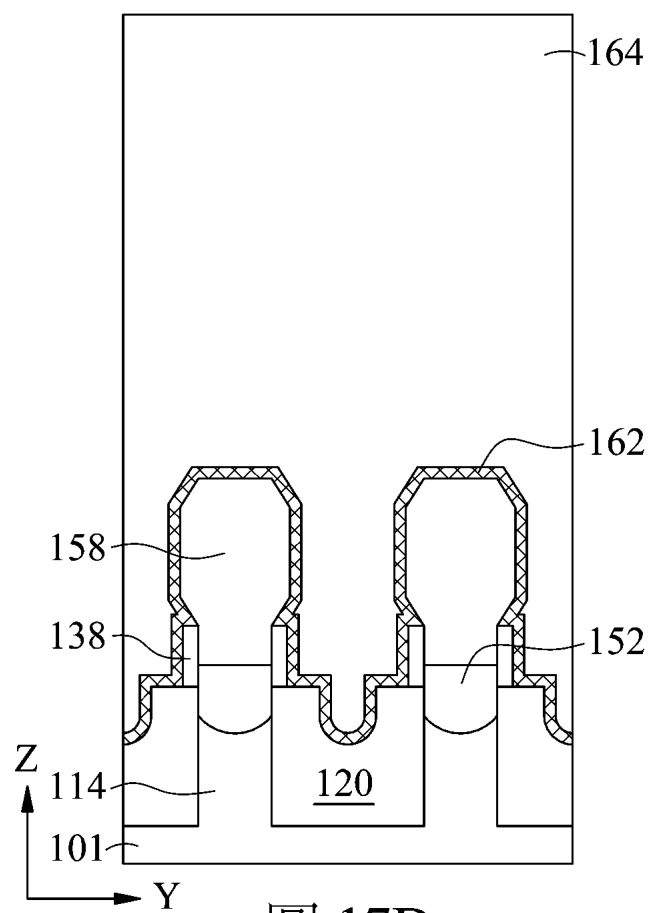


圖 17D

(22)

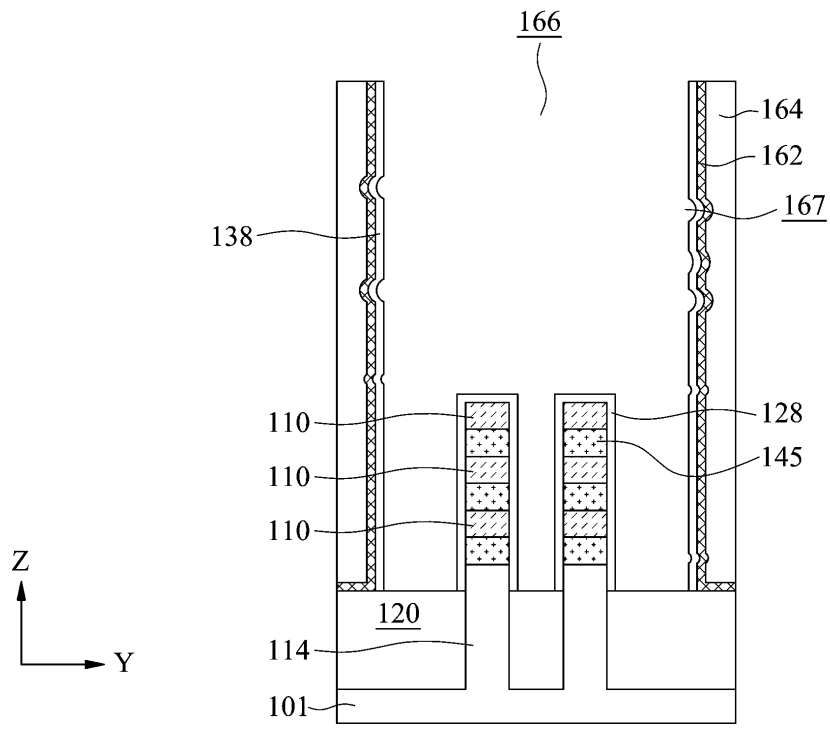


圖 18A

100

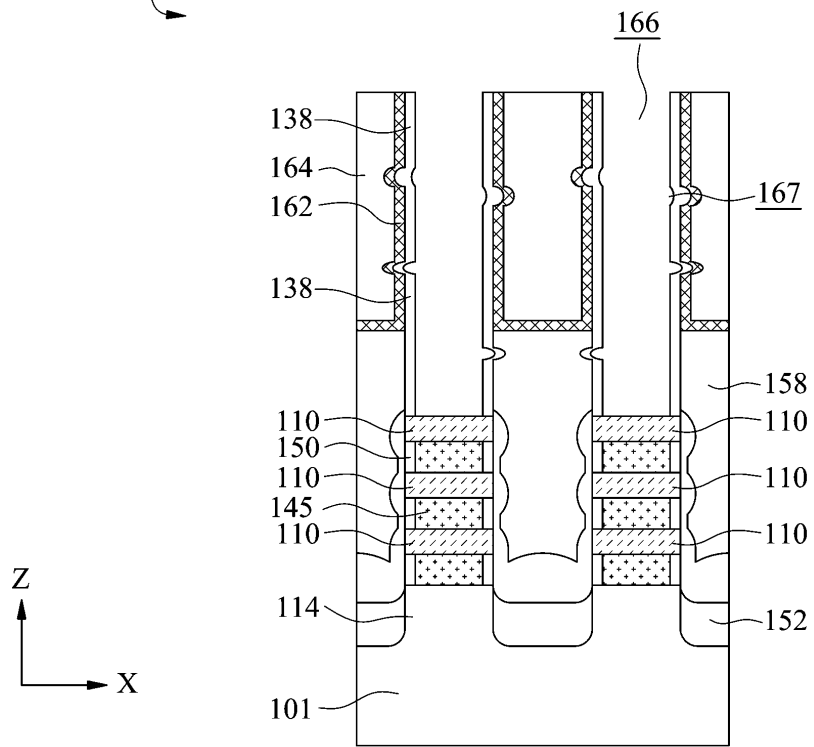


圖 18B

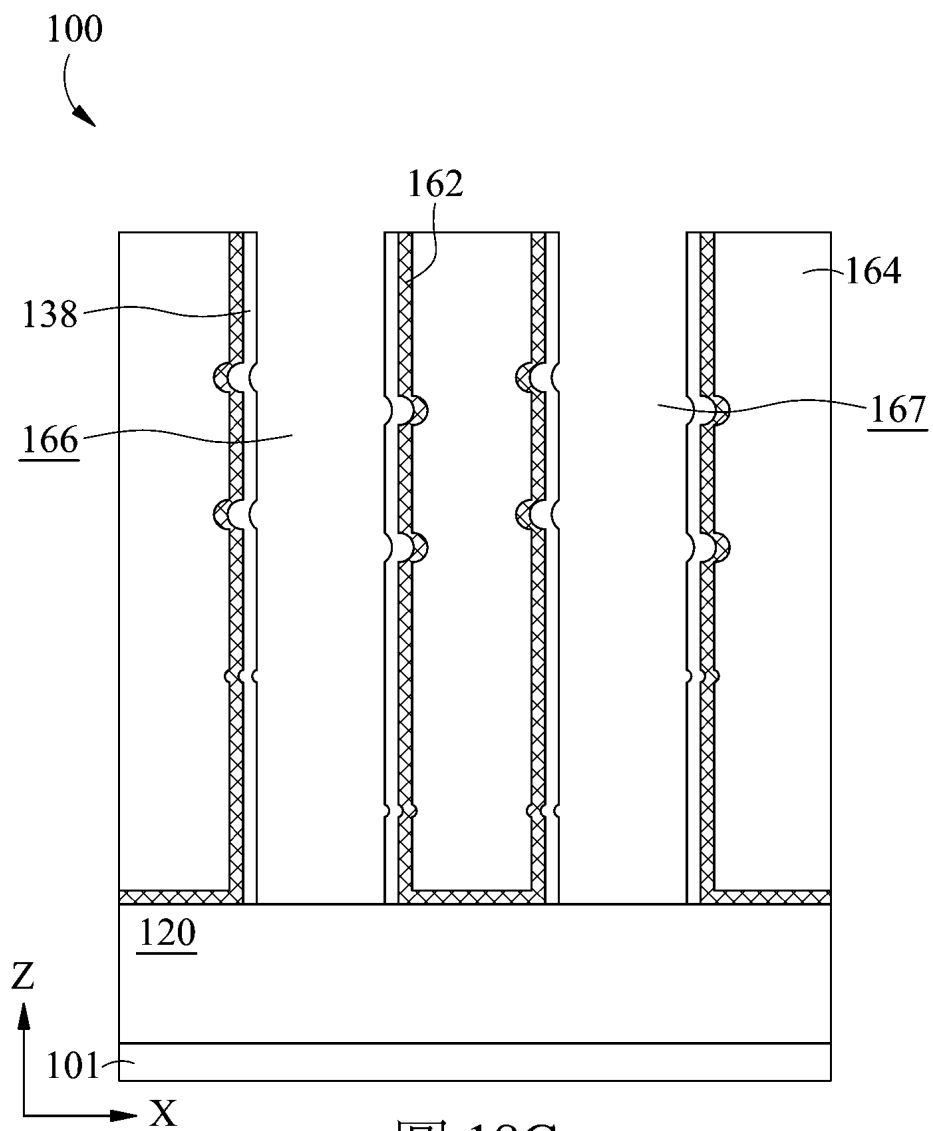


圖 18C

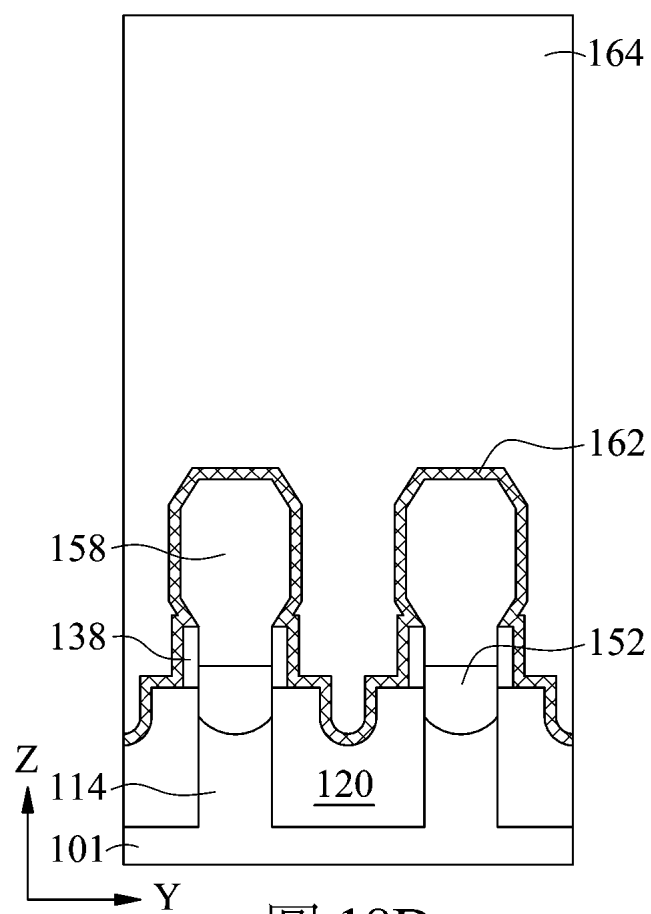


圖 18D

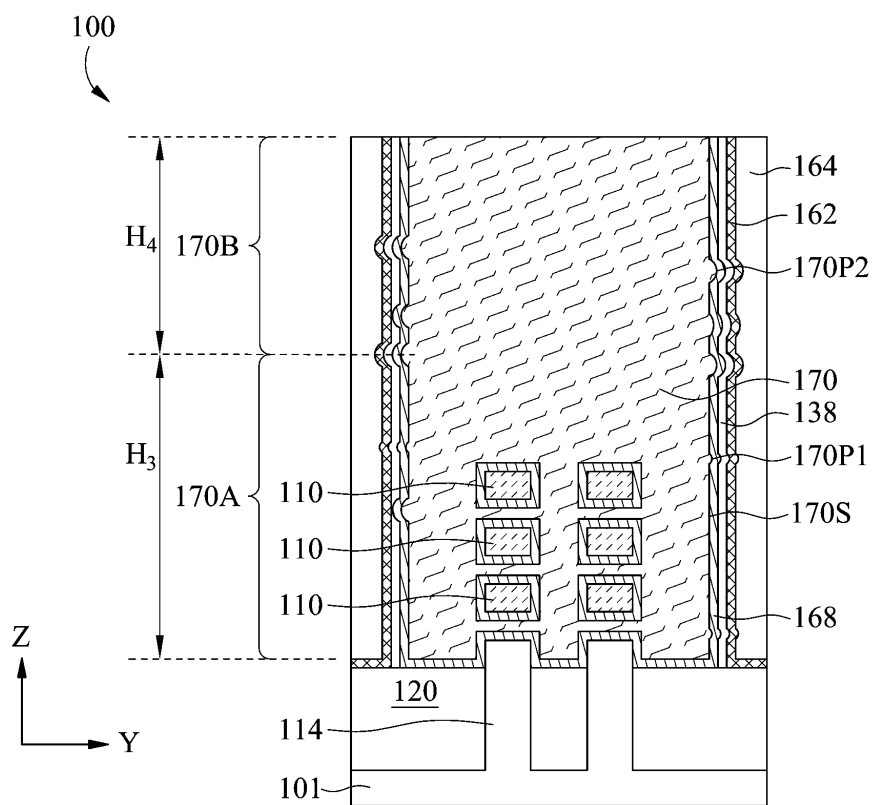


圖 19A

(26)

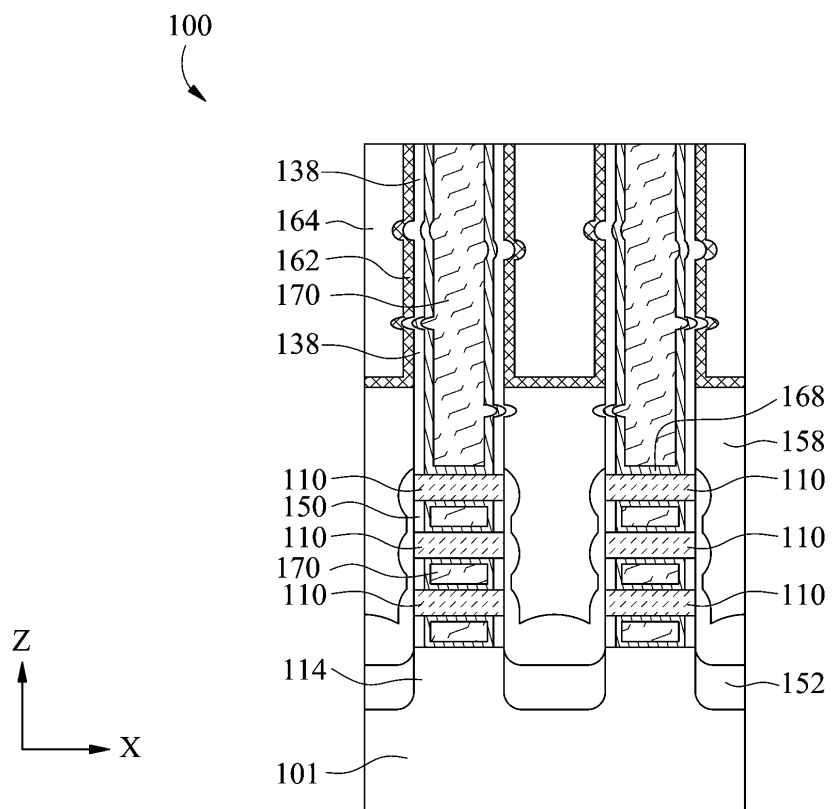


圖 19B

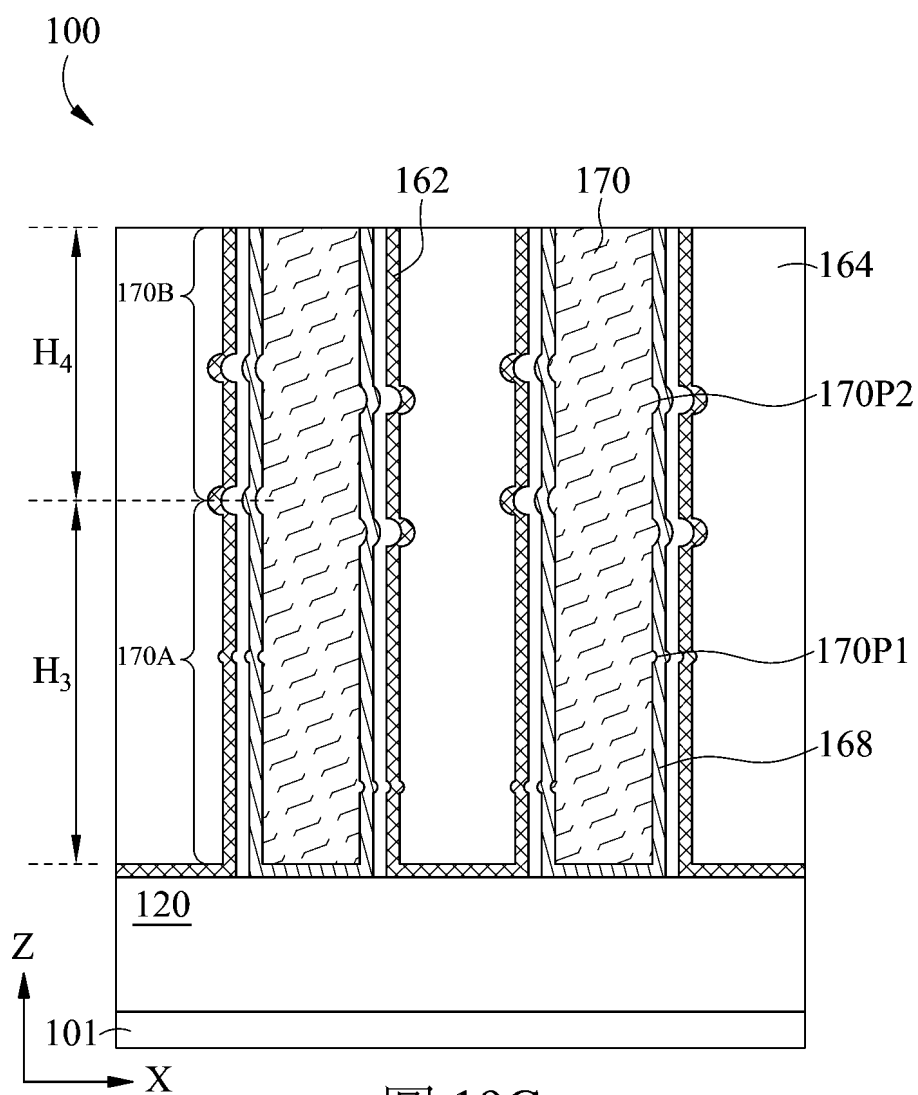


圖 19C

(28)

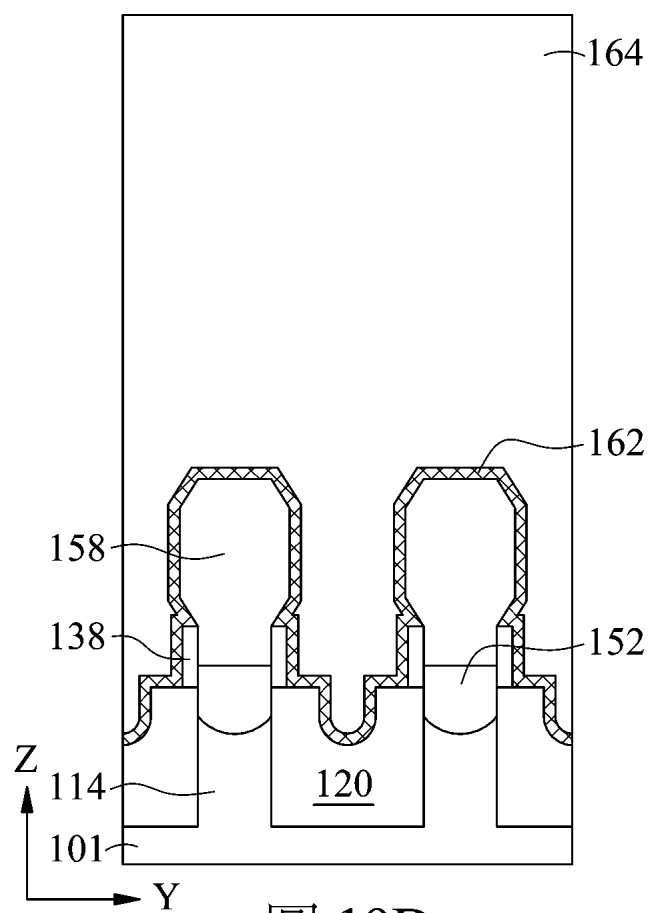


圖 19D

(29)

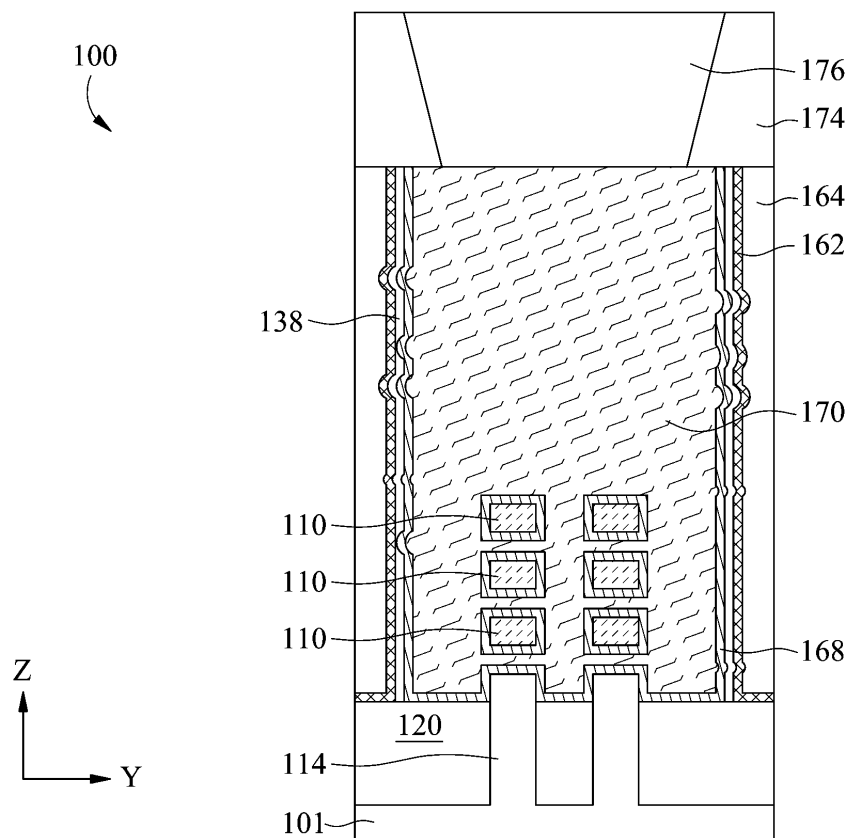


圖 20A

(30)

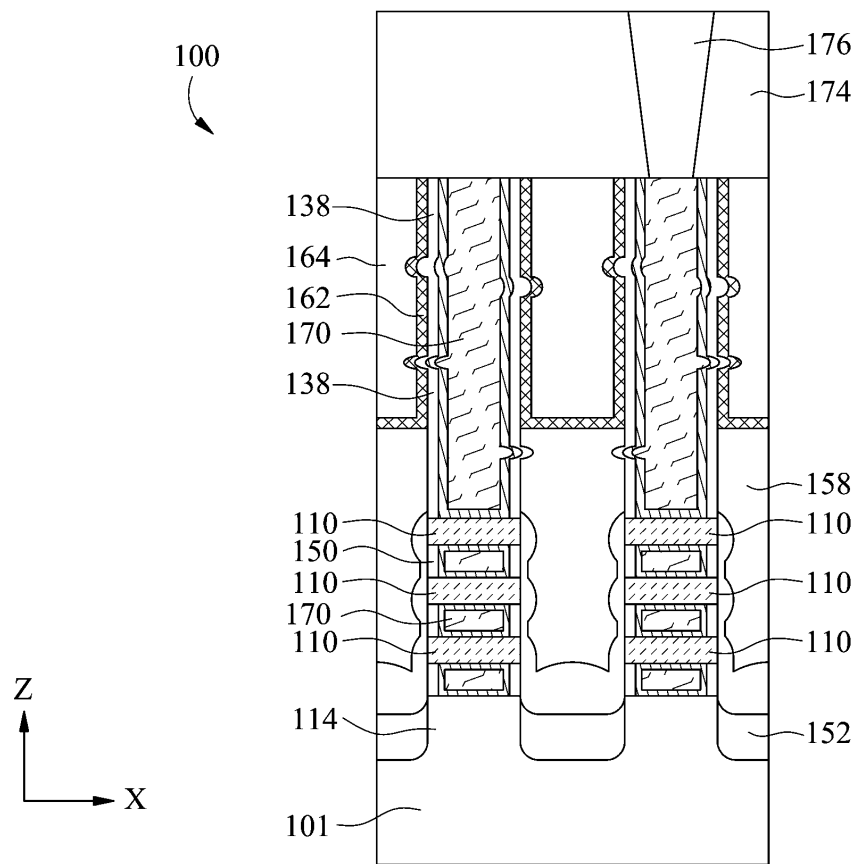


圖 20B

(31)

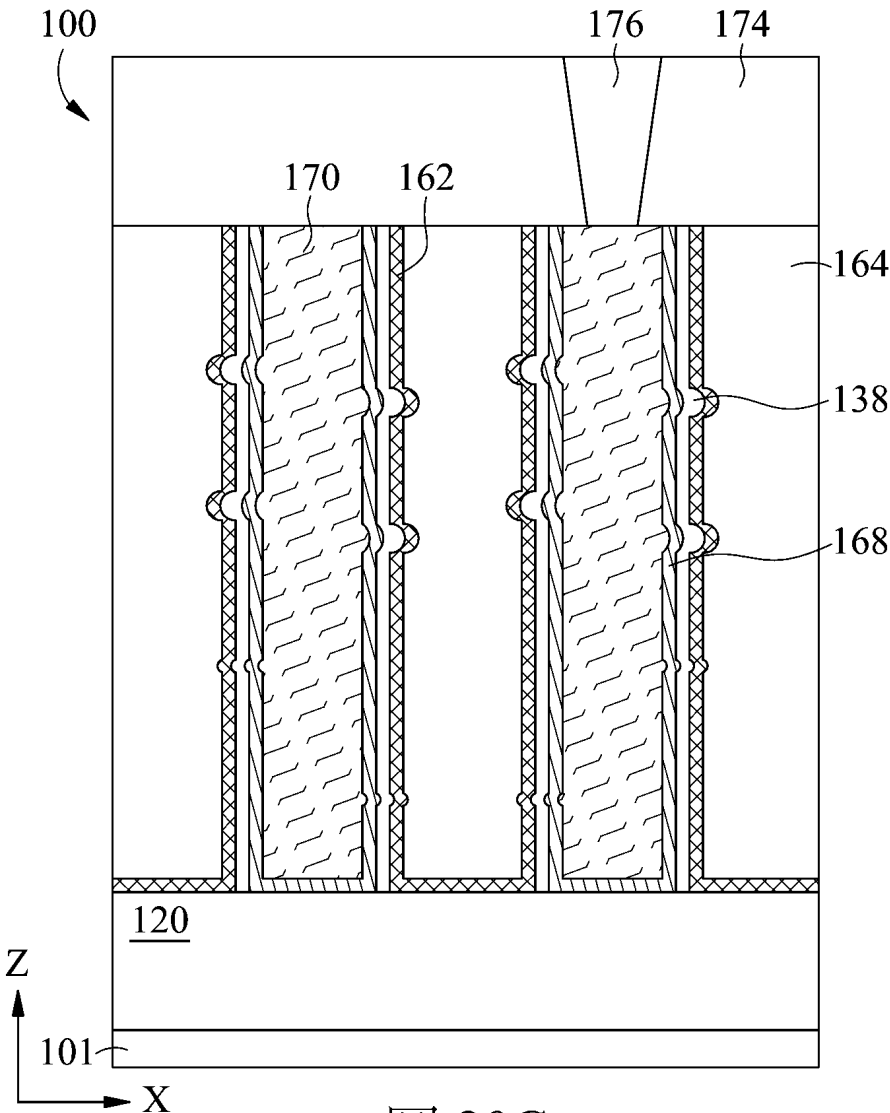


圖 20C

(32)

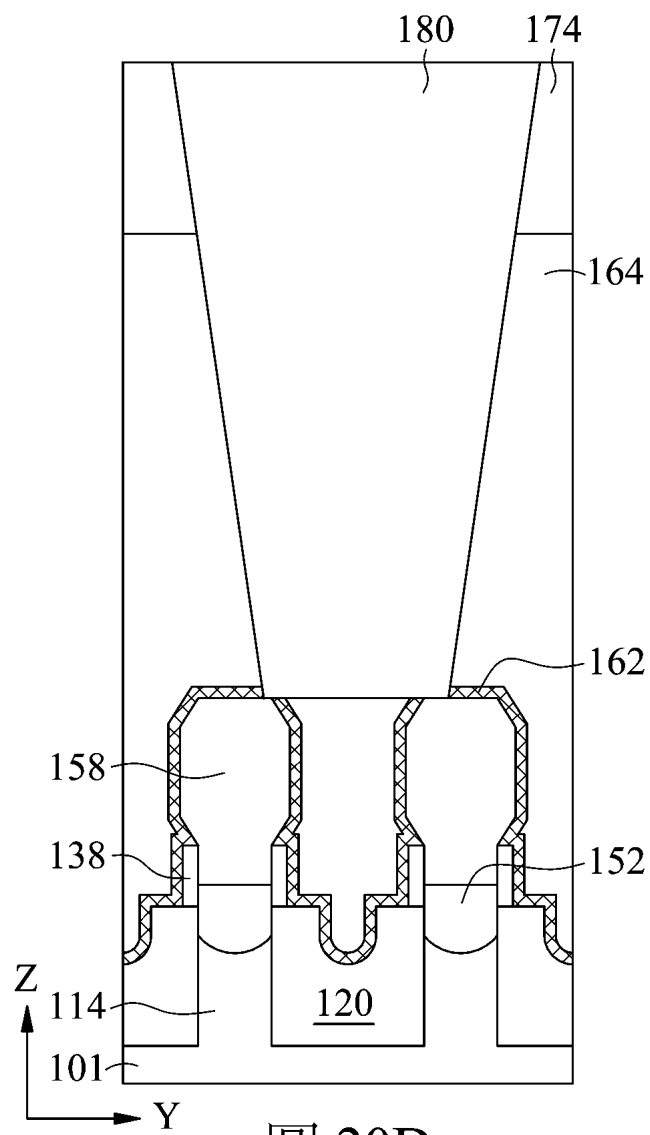


圖 20D

(33)

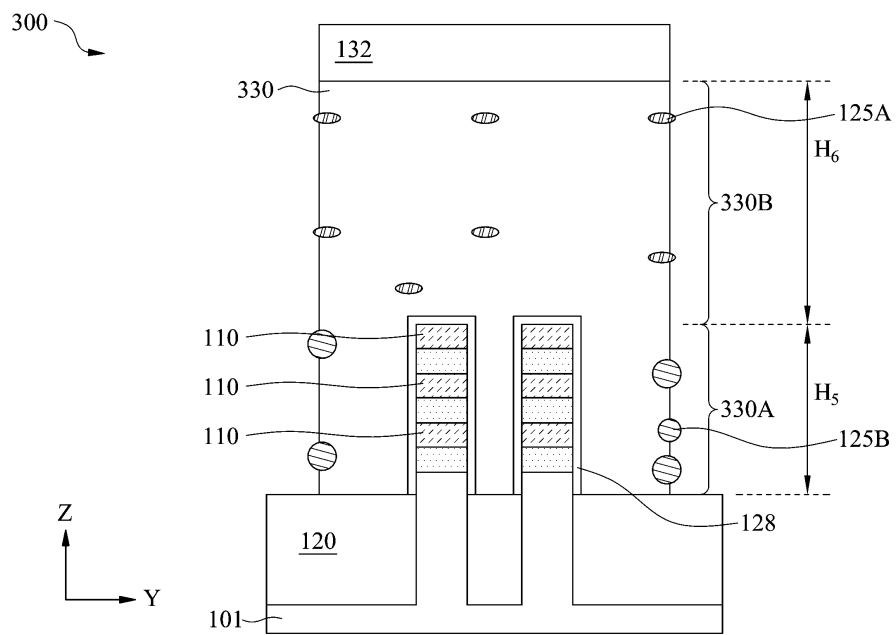


圖 21A

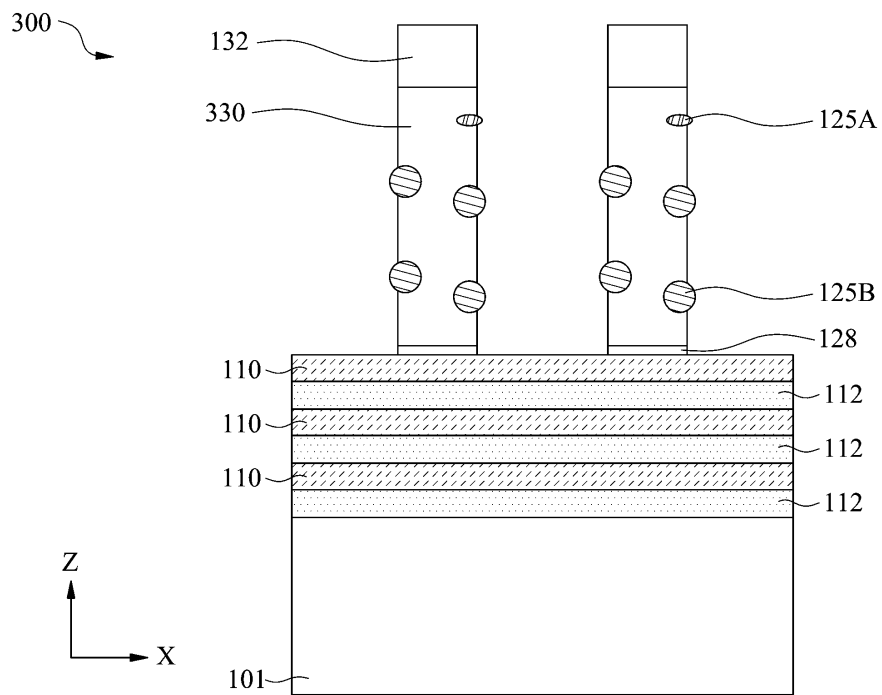


圖 21B

(34)

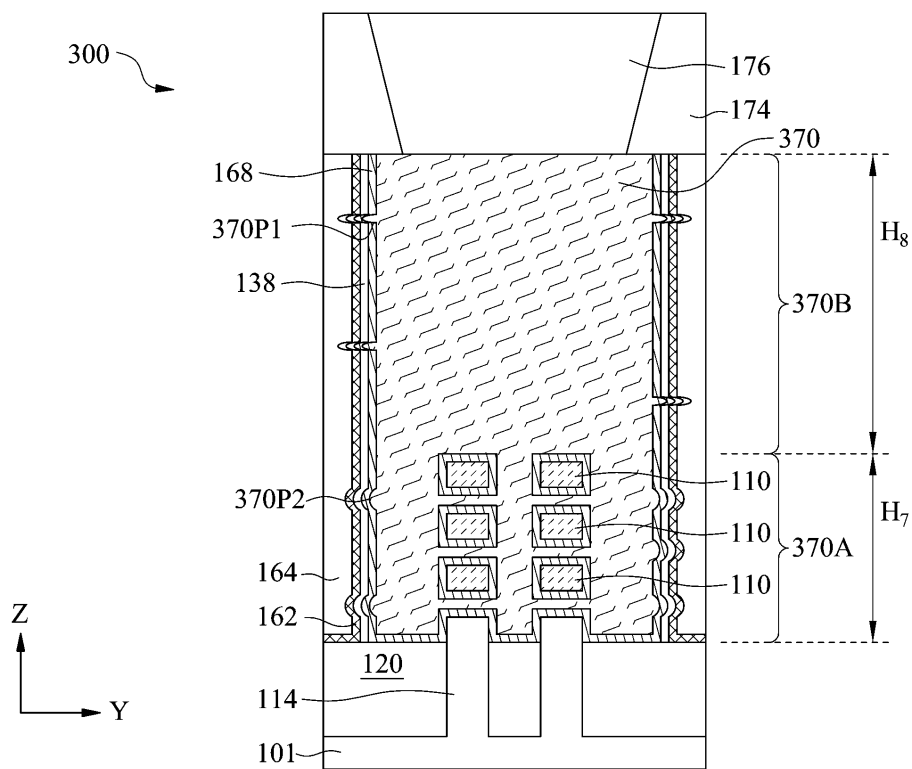


圖 22A

(35)

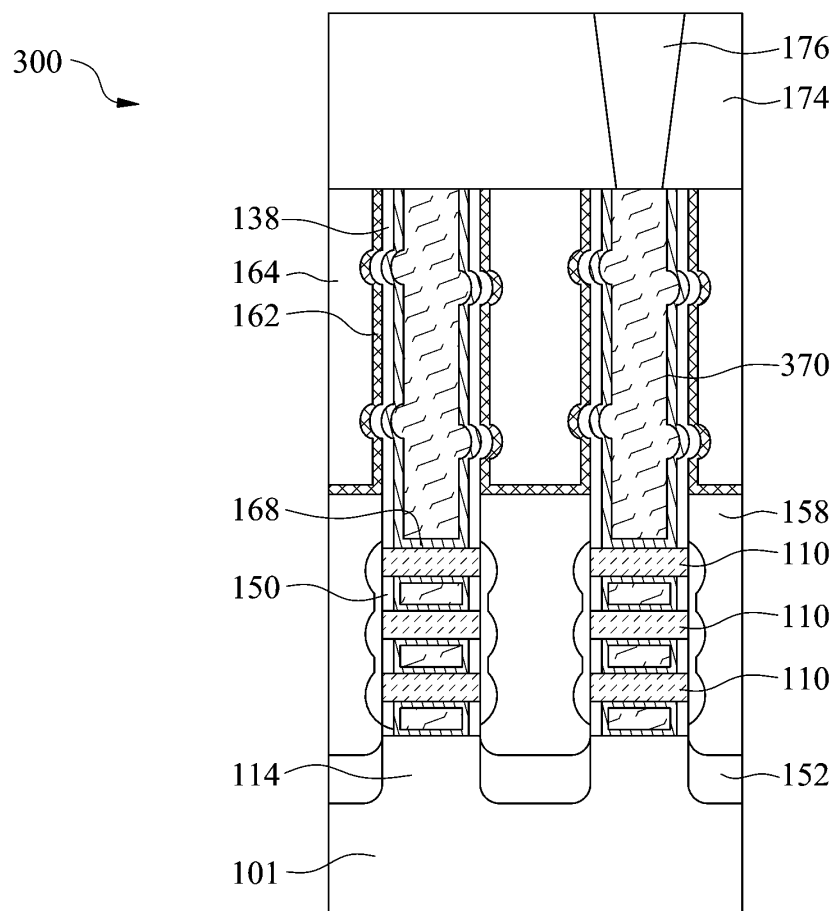


圖 22B

(36)

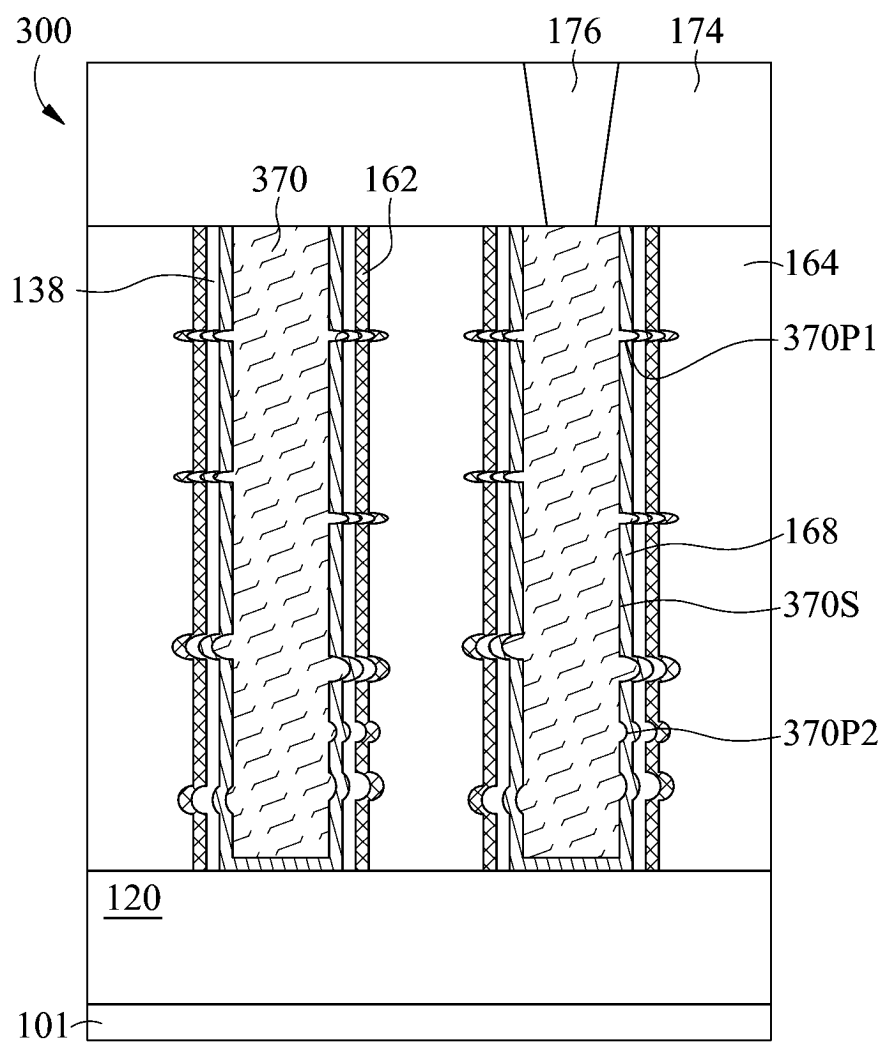


圖 22C

(37)

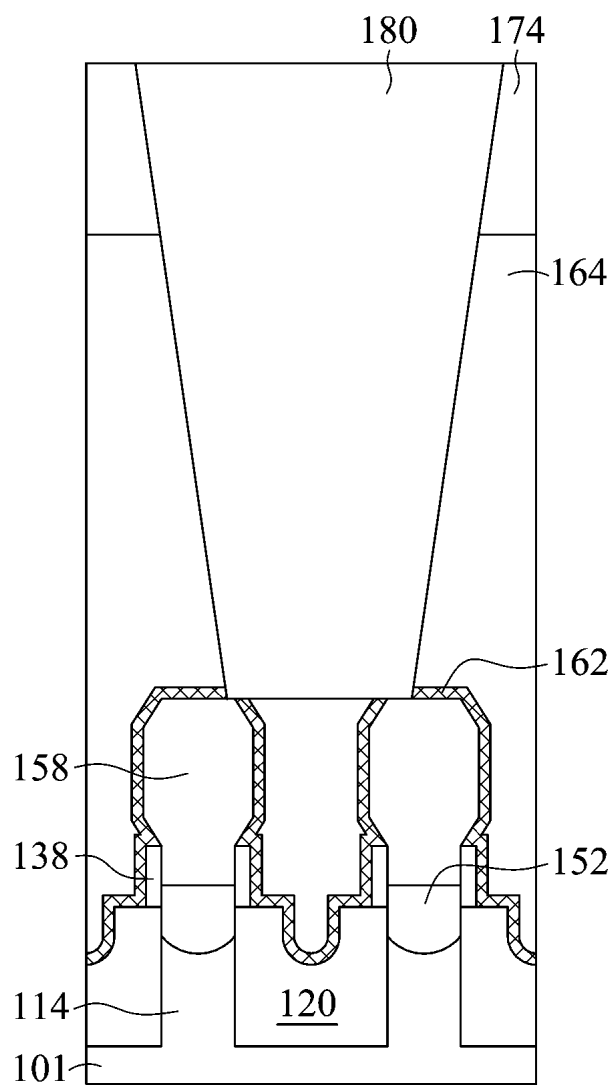


圖 22D

(38)

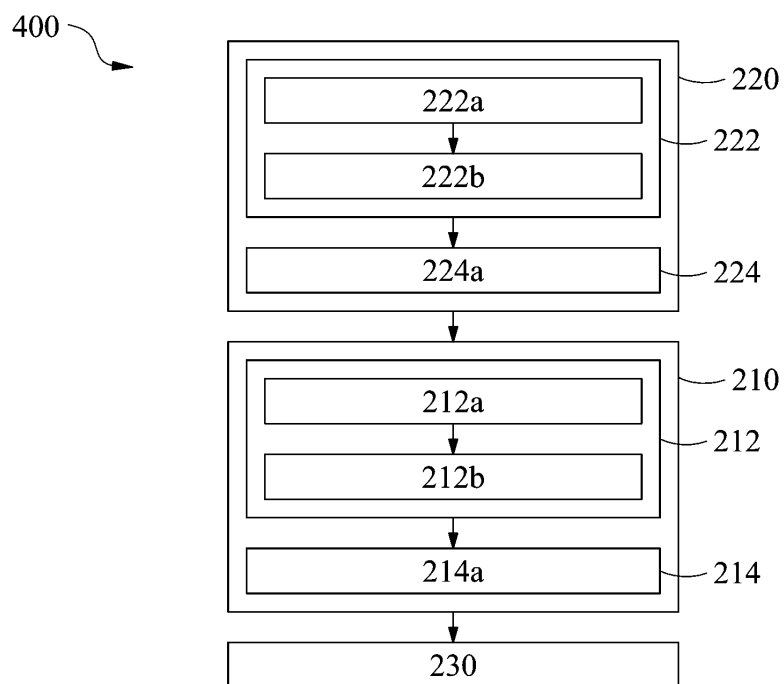


圖 23

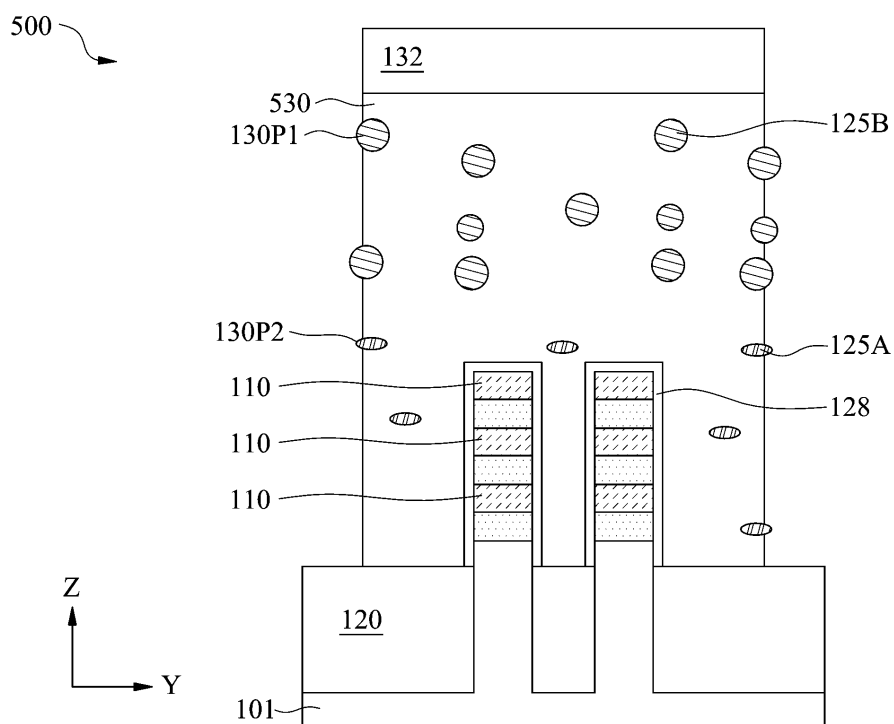


圖 24A

(39)

圖 24B

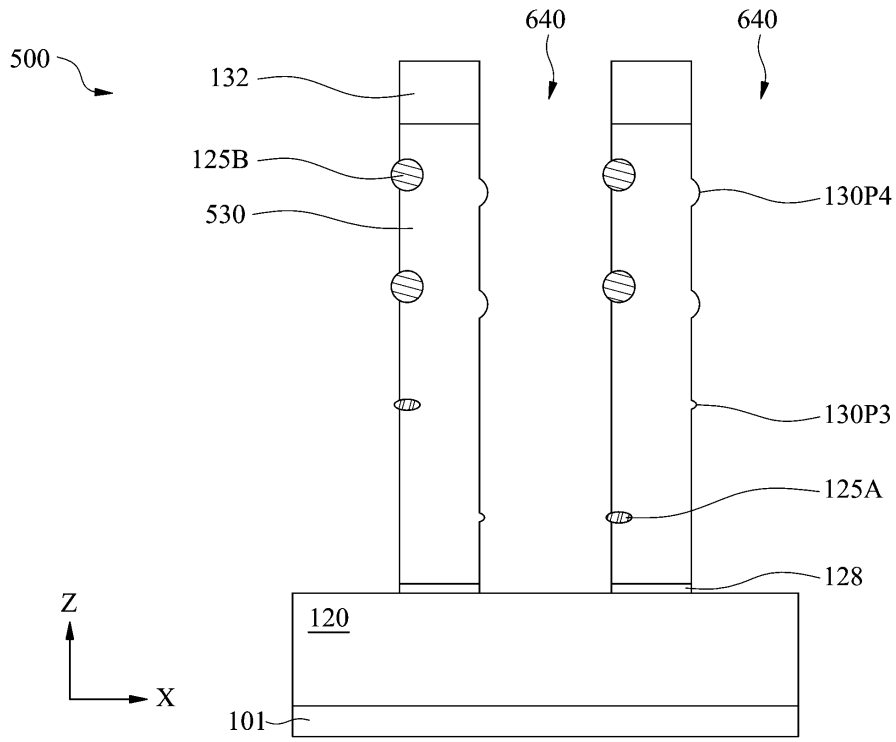
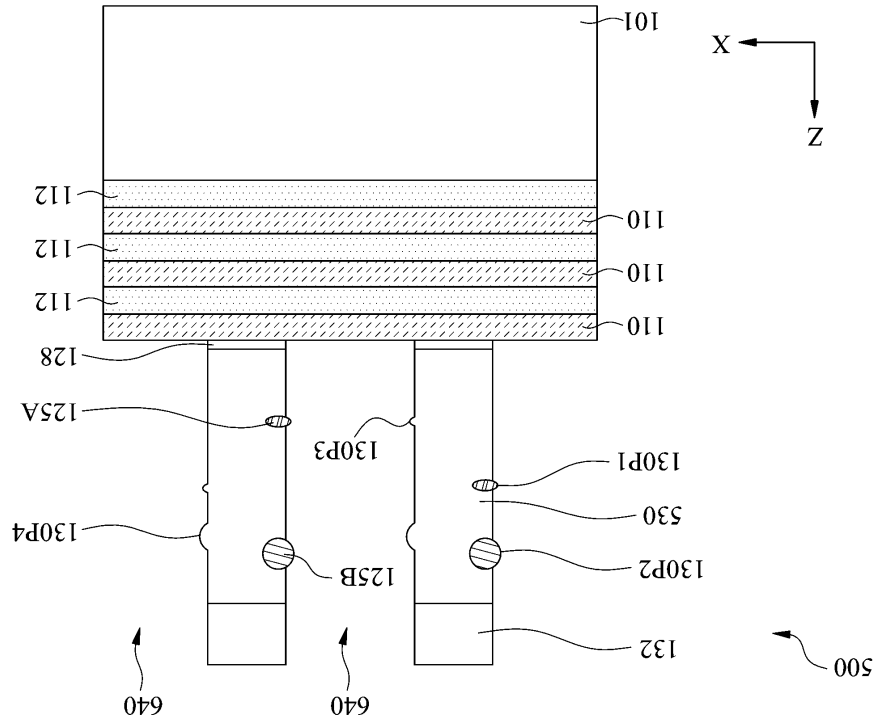


圖 24C

(40)

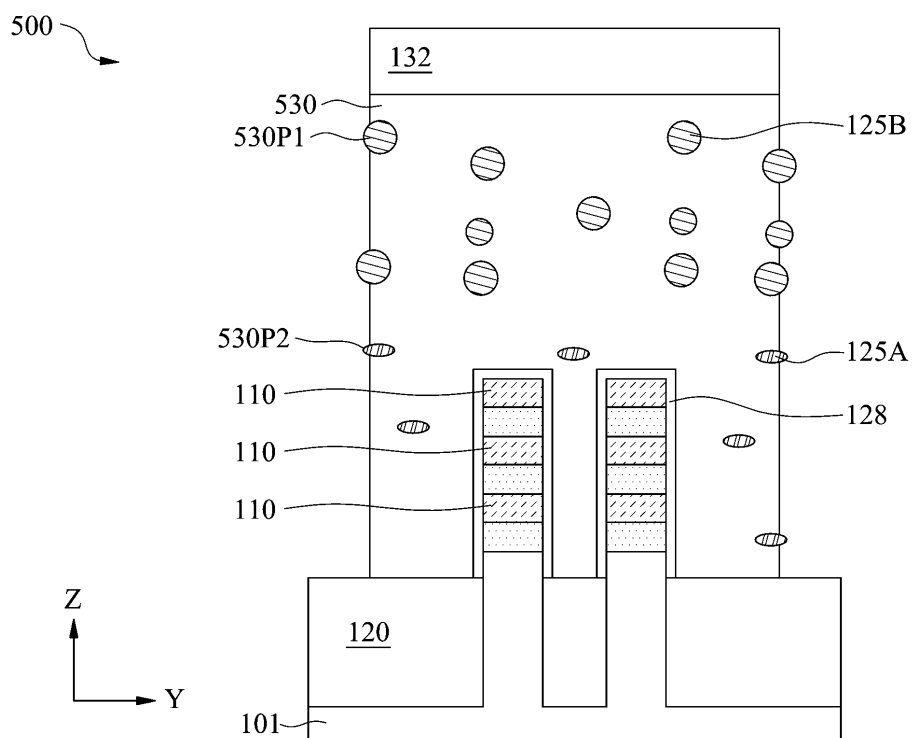


圖 25A

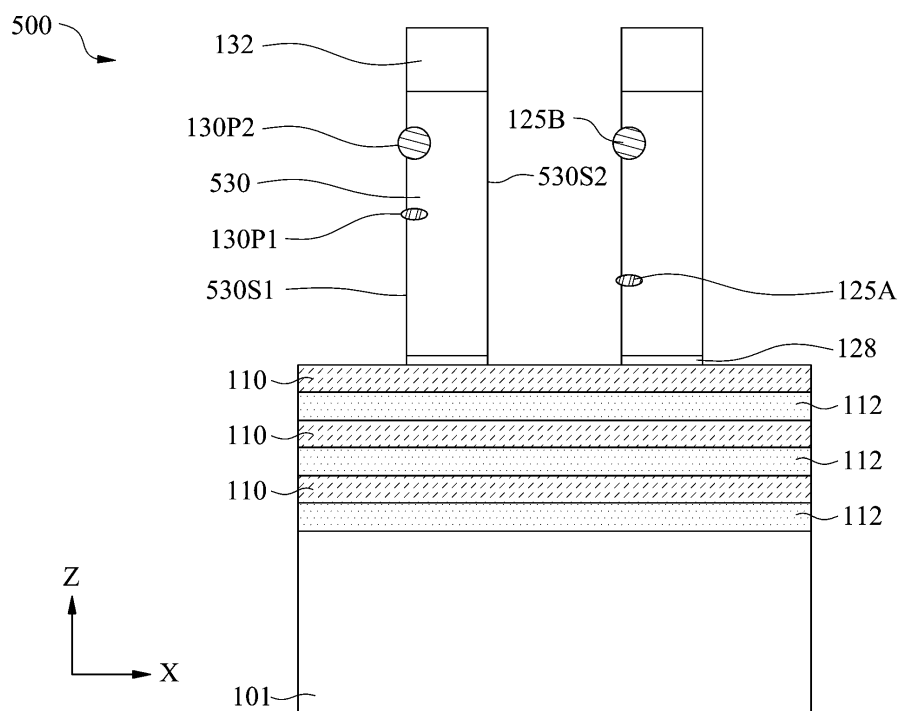


圖 25B

(41)

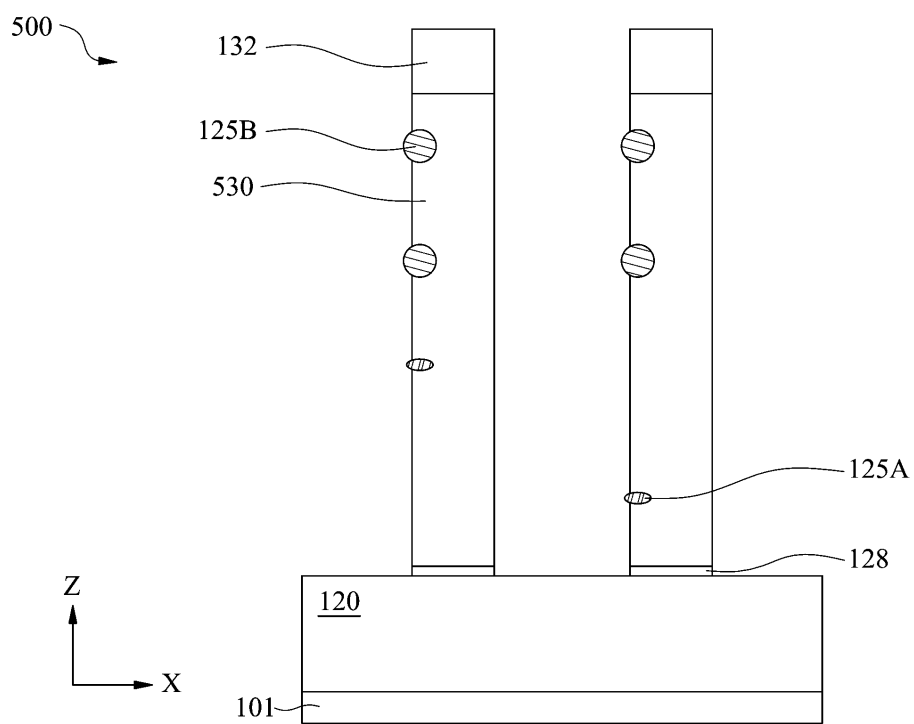


圖 25C

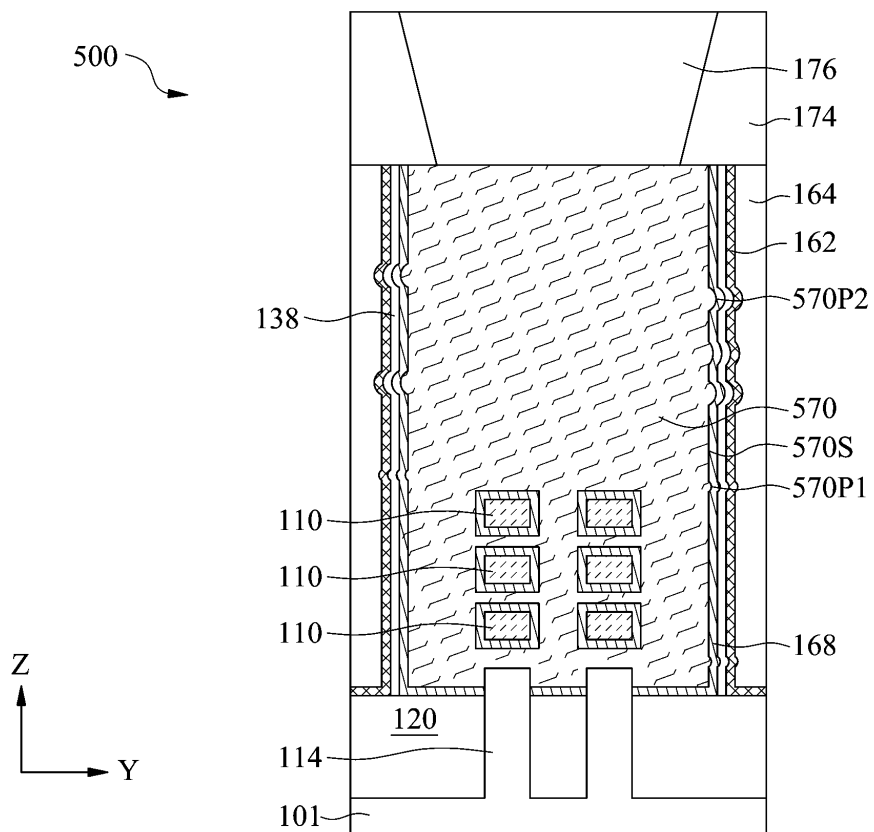


圖 26A

(42)

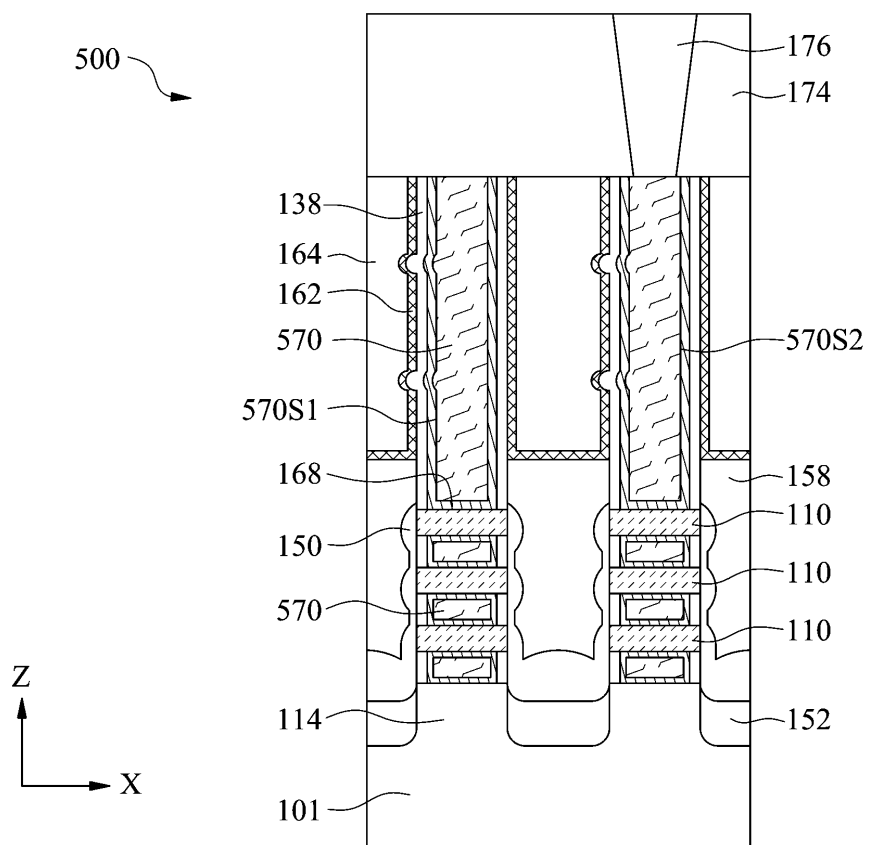


圖 26B

(43)

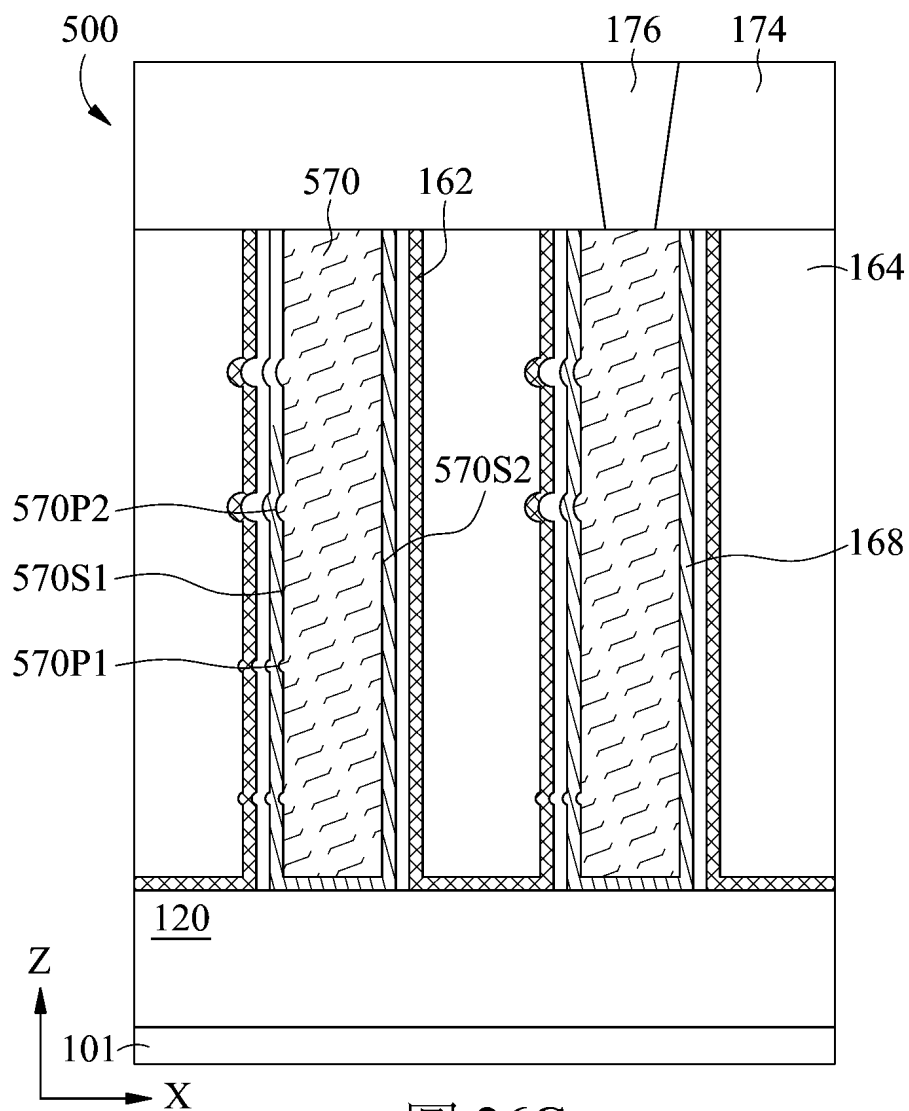


圖 26C

(44)

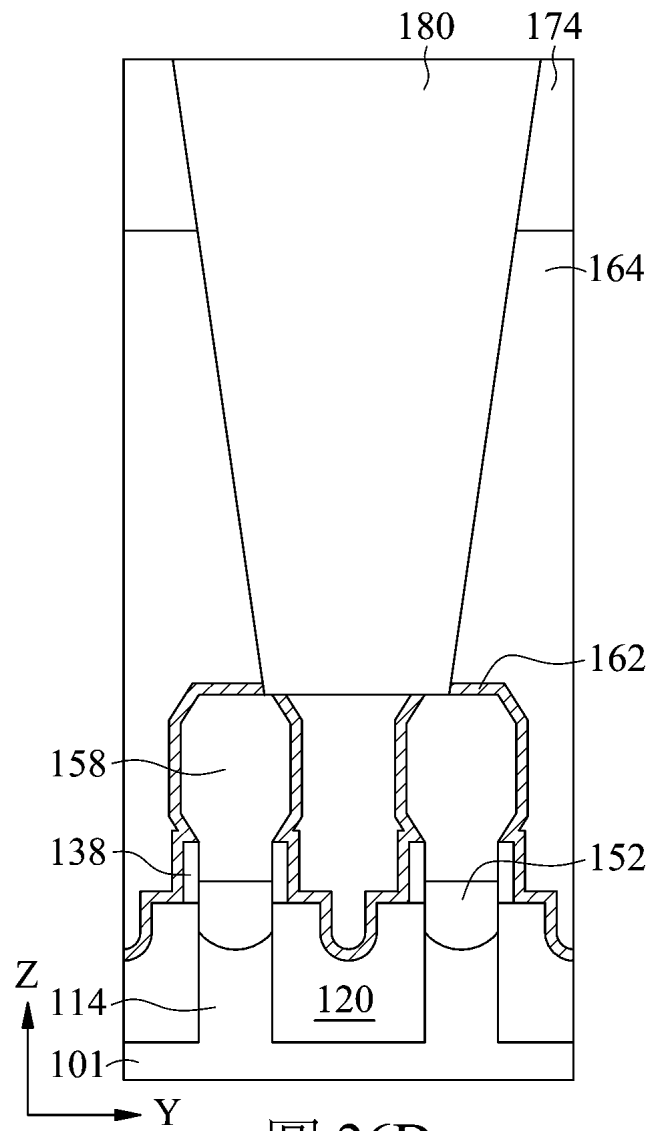


圖 26D

(45)

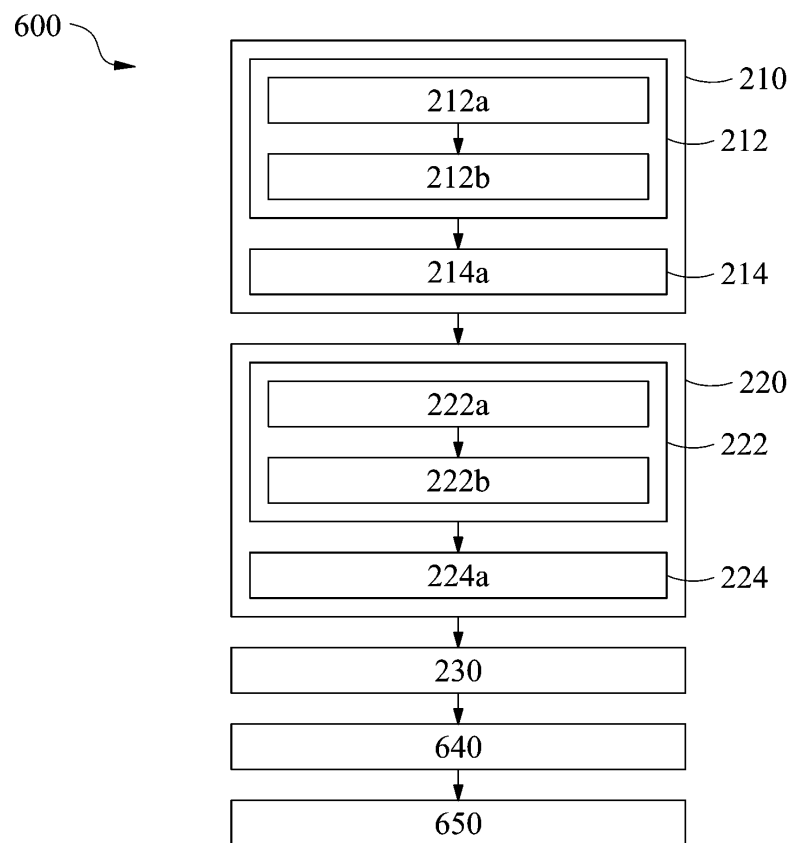


圖 27