

【11】證書號數：I939087

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：H10W74/40 (2026.01) H10W72/20 (2026.01)

發明

全 4 頁

【54】名稱：功率半導體封裝

【21】申請案號：114124653

【22】申請日：中華民國 114 (2025) 年 06 月 30 日

【11】公開編號：202606043

【43】公開日期：中華民國 115 (2026) 年 02 月 01 日

【30】優先權：2024/07/01

美國

63/666,261

【72】發明人：陳彥瑋 (TW) CHEN, YAN-WEI；蘇志仁 (TW) SU, CHIH-JEN

【71】申請人：同欣電子工業股份有限公司 TONG HSING ELECTRONIC INDUSTRIES, LTD.

桃園市八德區和平路 1125 巷 88 號

【74】代理人：吳豐任；戴俊彥；高銘良

【56】參考文獻：

CN 117457600A

CN 117476600A

CN 117936399A

US 2012/0292009A1

審查人員：邱柏豪

【57】申請專利範圍

1. 一種功率半導體封裝，包含：
一基板；
一晶片，所述晶片透過一雙層燒結銀接著結構固定至所述基板；以及
一環氧模塑料，其至少模封所述晶片及所述雙層燒結銀接著結構之一部分；
其中，所述雙層燒結銀接著結構包含：
一第一燒結銀層，位於所述基板上，其中，所述第一燒結銀層與所述基板之間的附著力大於 15 MPa；以及
一第二燒結銀層，位於所述第一燒結銀層上且所述晶片位於所述第二燒結銀層上；
其中，所述第一燒結銀層具有低於 5% 的低孔隙率並且具有奈米到次微米等級均勻球狀顆粒，且所述第二燒結銀層具有小於 20 GPa 的低楊氏模量並且具有柱狀或塊狀分佈顆粒。
2. 一種功率半導體封裝，包含：
一基板；
一晶片，所述晶片透過一雙層燒結銀接著結構固定至所述基板；以及
一環氧模塑料，其至少模封所述晶片及所述雙層燒結銀接著結構之一部分；
其中，所述雙層燒結銀接著結構包含：
一第一燒結銀層，位於所述基板上，其中，所述第一燒結銀層與所述基板之間的附著力大於 15 MPa；以及
一第二燒結銀層，位於所述第一燒結銀層上且所述晶片位於所述第二燒結銀層上；
其中，所述第一燒結銀層具有低於 5% 的低孔隙率，且所述第二燒結銀層具有小於 20 GPa 的低楊氏模量，其中，所述第一燒結銀層具有奈米到次微米等級均勻球狀顆粒。
3. 一種功率半導體封裝，包含：
一基板；
一晶片，所述晶片透過一雙層燒結銀接著結構固定至所述基板；以及

(2)

一環氧模塑料，其至少模封所述晶片及所述雙層燒結銀接著結構之一部分；

其中，所述雙層燒結銀接著結構包含：

一第一燒結銀層，位於所述基板上，其中，所述第一燒結銀層與所述基板之間的附著力大於 15 MPa；以及

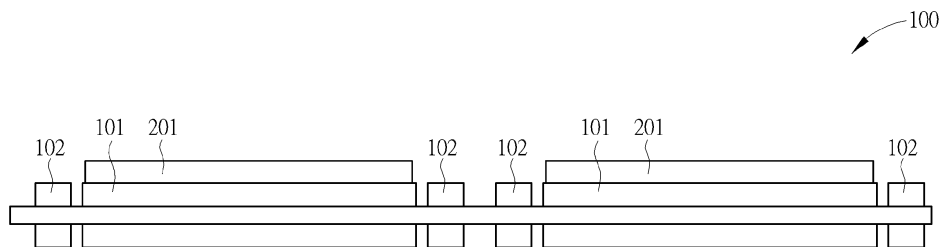
一第二燒結銀層，位於所述第一燒結銀層上且所述晶片位於所述第二燒結銀層上；

其中，所述第一燒結銀層具有低於 5% 的低孔隙率，且所述第二燒結銀層具有小於 20 GPa 的低楊氏模量，其中，所述第二燒結銀層具有柱狀或塊狀分佈顆粒。

4. 如請求項 1 所述之功率半導體封裝，其中，所述第二燒結銀層之楊氏模量小於所述第一燒結銀層之楊氏模量。
5. 如請求項 1 所述之功率半導體封裝，其中，所述基板為一陶瓷基板，所述晶片為一功率晶片。
6. 如請求項 5 所述之功率半導體封裝，其中，所述陶瓷基板具有一鍍層，其中，所述第一燒結銀層設置於所述鍍層上。
7. 如請求項 6 所述之功率半導體封裝，其中，所述鍍層係選自銅、金及銀所組成之群組。
8. 如請求項 1 所述之功率半導體封裝，其中，所述第一燒結銀層用於抵抗所述環氧模塑料及所述基板之間熱膨脹係數不匹配所產生之橫向剪切力。
9. 如請求項 1 所述之功率半導體封裝，其中，所述第二燒結銀層用於緩衝所述環氧模塑料及所述晶片之間熱膨脹係數不匹配所帶來之正向剪切力。

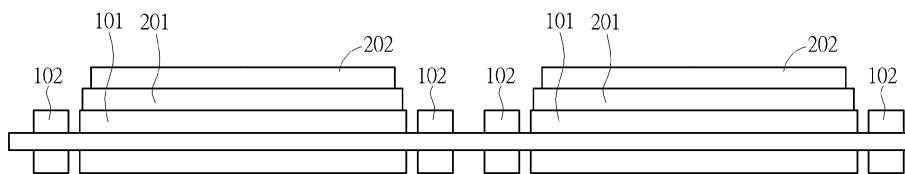
圖式簡單說明

第 1 圖至第 7 圖為依據本發明實施例所繪示的一種製作功率半導體封裝之方法示意圖。

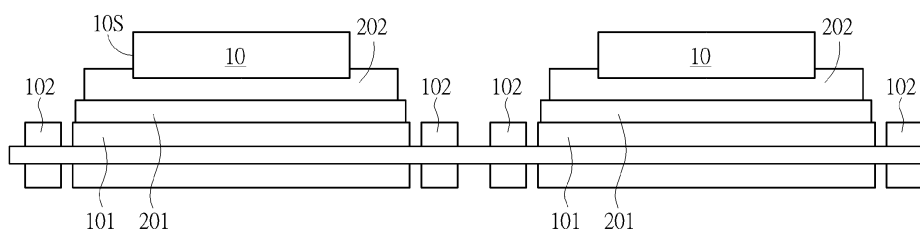


第1圖

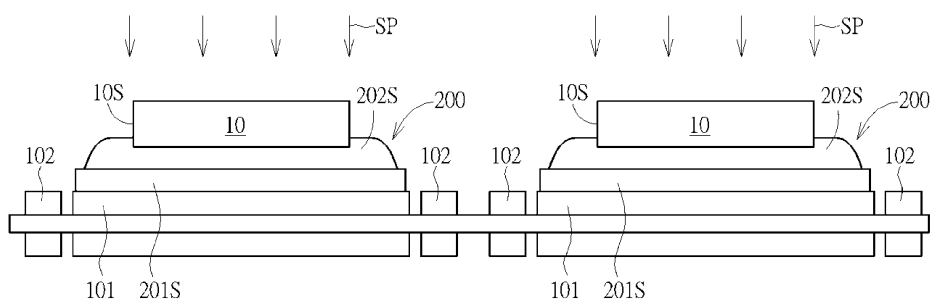
(3)



第2圖

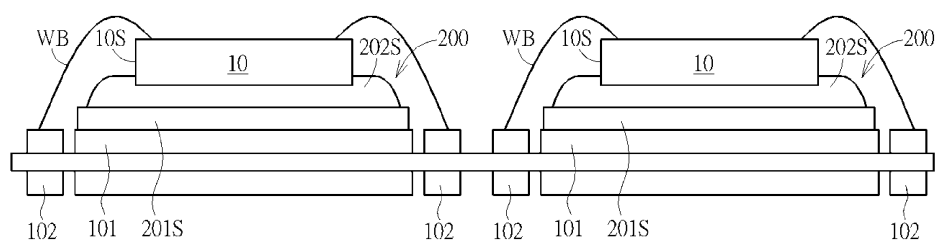


第3圖

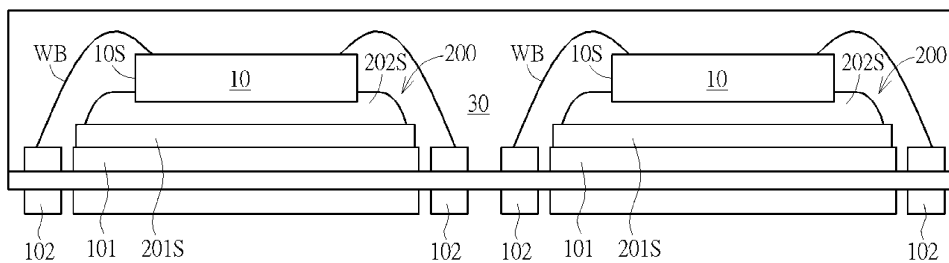


第4圖

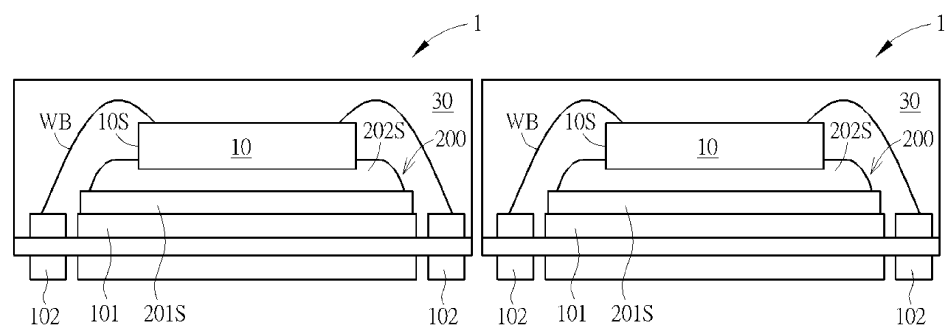
(4)



第5圖



第6圖



第7圖