

【11】證書號數：I939106

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：H10B12/00 (2023.01)

發明

全 57 頁

【54】名稱：半導體裝置及其製造方法

【21】申請案號：114126302

【22】申請日：中華民國 114 (2025) 年 07 月 11 日

【30】優先權：2025/05/11

美國

19/204,588

【72】發明人：姜序 (TW) CHIANG, HSU

【71】申請人：南亞科技股份有限公司

NANYA TECHNOLOGY
CORPORATION

新北市泰山區南林路 98 號

【74】代理人：秦建譜；許志銘

【56】參考文獻：

TW 202232733A

TW 202314978A

TW 202439943A

審查人員：蔡夙勇

【57】申請專利範圍

1. 一種半導體裝置，包括：

一基板層；

位於該基板層上方的一第一電晶體和一第二電晶體；

位於該基板層上方的一第一記憶體單元；

位於該基板層上方並電性連接到該第一記憶體單元的一第一字元線，其中該第一字元線位於一第一高度，並且該第一電晶體電性連接到該第一字元線；

位於該基板層上方並與該第一電晶體和該第一字元線電性連接的一第一導電通孔；

位於該基板層上方的一第二記憶體單元；

位於該基板層上方並電性連接到該第二記憶體單元的一第二字元線，其中該第二字元線位於高於該第一高度的一第二高度，並且該第二電晶體電性連接到該第二字元線；以及

位於該基板層上方並與該第二電晶體和該第二字元線電性連接的一第二導電通孔，其中該第一導電通孔的一頂表面低於該第二導電通孔的一頂表面，且其中該第一導電通孔的一底表面和該第二導電通孔的一底表面位於該基板層的一頂表面。

2. 如請求項 1 所述之裝置，其中該第二記憶體單元的一高度高於該第一記憶體單元的一高度。

3. 如請求項 1 所述之裝置，其中該第一記憶體單元包括一第一存取電晶體和一第一電容器，該第一存取電晶體位於該第一電容器上方。

4. 如請求項 3 所述之裝置，其中該第二記憶體單元包括一第二存取電晶體和一第二電容器，該第二電容器位於該第二存取電晶體上方。

5. 如請求項 3 所述之裝置，還包括位於該基板層和該第一記憶體單元的該第一電容器之間的一底部介電層。

6. 如請求項 1 所述之裝置，還包括位於該第一記憶體單元和該第二記憶體單元之間並電性連接的一位元線。

7. 如請求項 6 所述之裝置，其中該位元線位於該第一高度和該第二高度之間的一第三高度。
8. 一種製造半導體裝置的方法，包括：
 - 形成一基板層；
 - 在該基板層上方形成一第一電晶體和一第二電晶體；
 - 在該基板層上方形成一第一導電通孔，並與該第一電晶體電性連接；
 - 在該基板層上方形成彼此電性連接的一第一字元線和一第一記憶體單元，其中該第一字元線位於一第一高度，並且該第一電晶體電性連接到該第一字元線，其中該第一字元線與該第一導電通孔電性連接；
 - 在該基板層上方形成一第二導電通孔，並與該第二電晶體電性連接，其中該第一導電通孔的一頂表面低於該第二導電通孔的一頂表面，且其中該第一導電通孔的一底表面和該第二導電通孔的一底表面位於該基板層的一頂表面；以及
 - 在該基板層上方形成彼此電性連接的一第二字元線和一第二記憶體單元，其中該第二字元線位於高於該第一高度的一第二高度，並且該第二電晶體電性連接到該第二字元線，其中該第二字元線與該第二導電通孔電性連接。
9. 如請求項 8 所述之方法，其中該第二記憶體單元形成在比該第一記憶體單元更高的一高度上。
10. 如請求項 8 所述之方法，其中該第一記憶體單元包括一第一電容器和位於該第一電容器上方的一第一存取電晶體。
11. 如請求項 10 所述之方法，其中該第二記憶體單元包括一第二電容器和位於該第二電容器下方的一第二存取電晶體。
12. 如請求項 8 所述之方法，還包括：
 - 在形成該第一記憶體單元之前，在該基板層上方形成一底部介電層，其中該第一記憶體單元形成在該底部介電層上。
13. 如請求項 8 所述之方法，還包括：
 - 形成與該第一記憶體單元電性連接的一位元線，其中該第二記憶體單元形成在該位元線上並與其電性連接。
14. 如請求項 13 所述之方法，還包括：
 - 在形成該位元線之前，在該第一記憶體單元上方形成一第一接觸件並與該第一記憶體單元電性連接，其中該位元線形成在該第一接觸件上方；以及
 - 在形成該位元線之後，在該位元線上方形成一第二接觸件並與該位元線電性連接。
15. 如請求項 13 所述之方法，其中該位元線形成在該第一高度和該第二高度之間的一第三高度。

圖式簡單說明

當藉由附圖閱讀時，自以下詳細描述，最佳地理解本揭露內容的態樣。注意，根據該行業中的標準實務，各種特徵未按比例繪製。事實上，為了論述的清晰起見，可任意地增大或減小各種特徵的尺寸。

圖 1 為根據本揭露部分實施例的記憶體陣列示意圖。

圖 2 為根據本揭露部分實施例的半導體裝置的示意圖。

圖 3A 和圖 3B 為根據本揭露部分實施例的製造半導體裝置的方法的流程圖。

圖 4A 至圖 28C 是根據本揭露部分實施例的製造半導體裝置的方法。

(3)

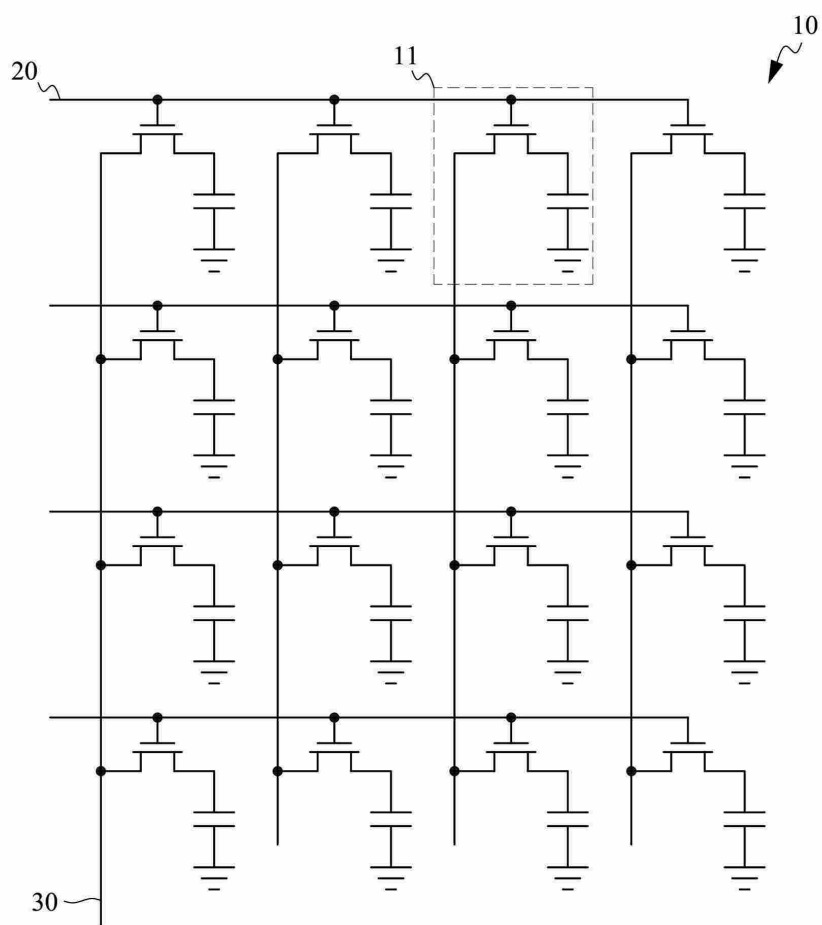


圖 1

(4)

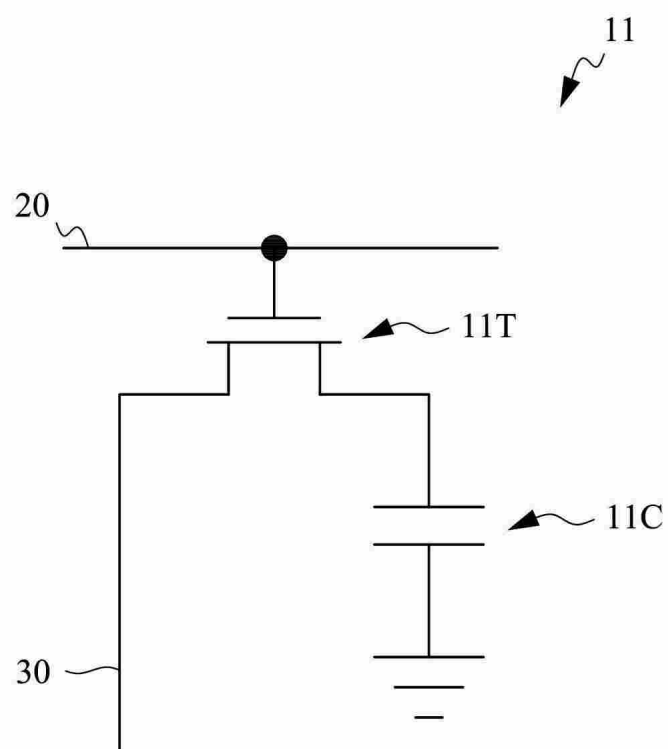


圖 2

(5)

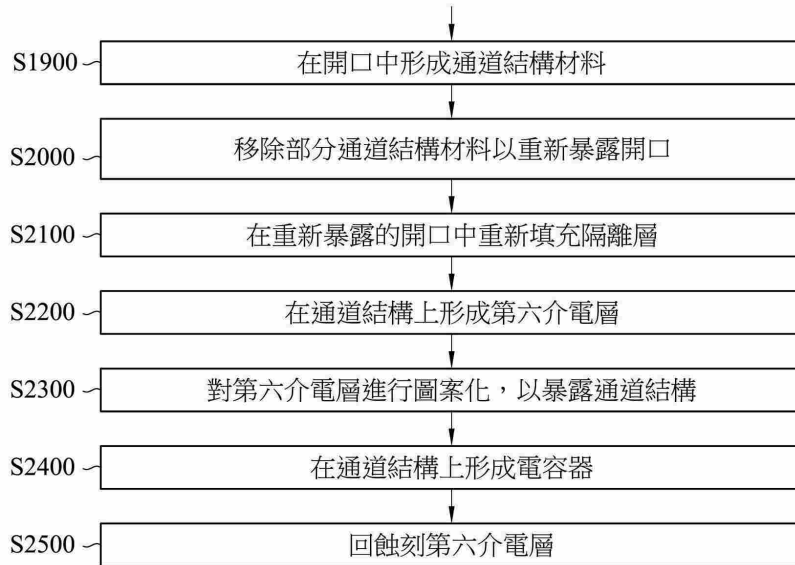
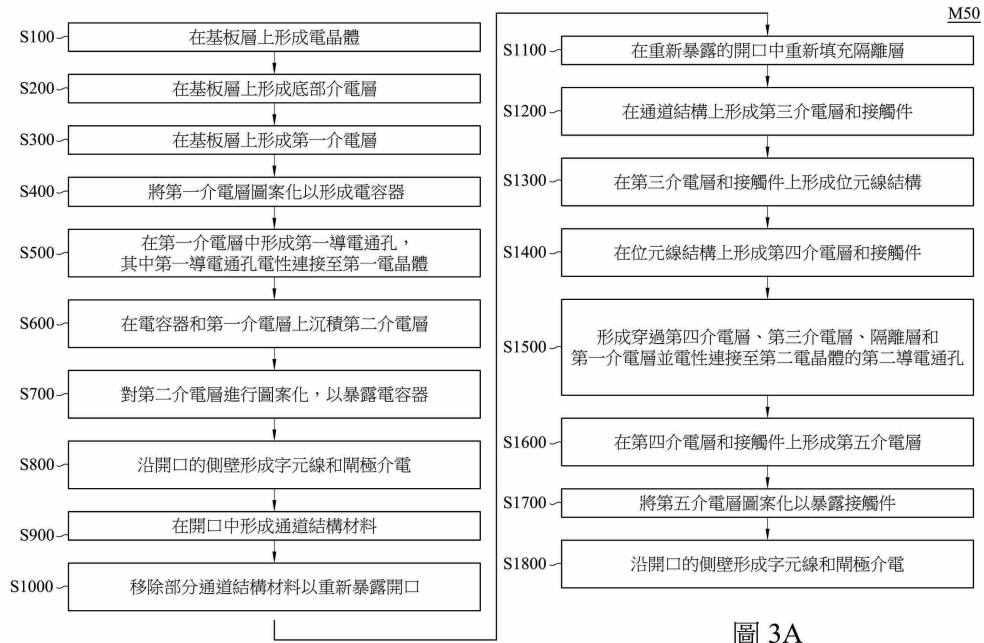


圖 3B

(6)

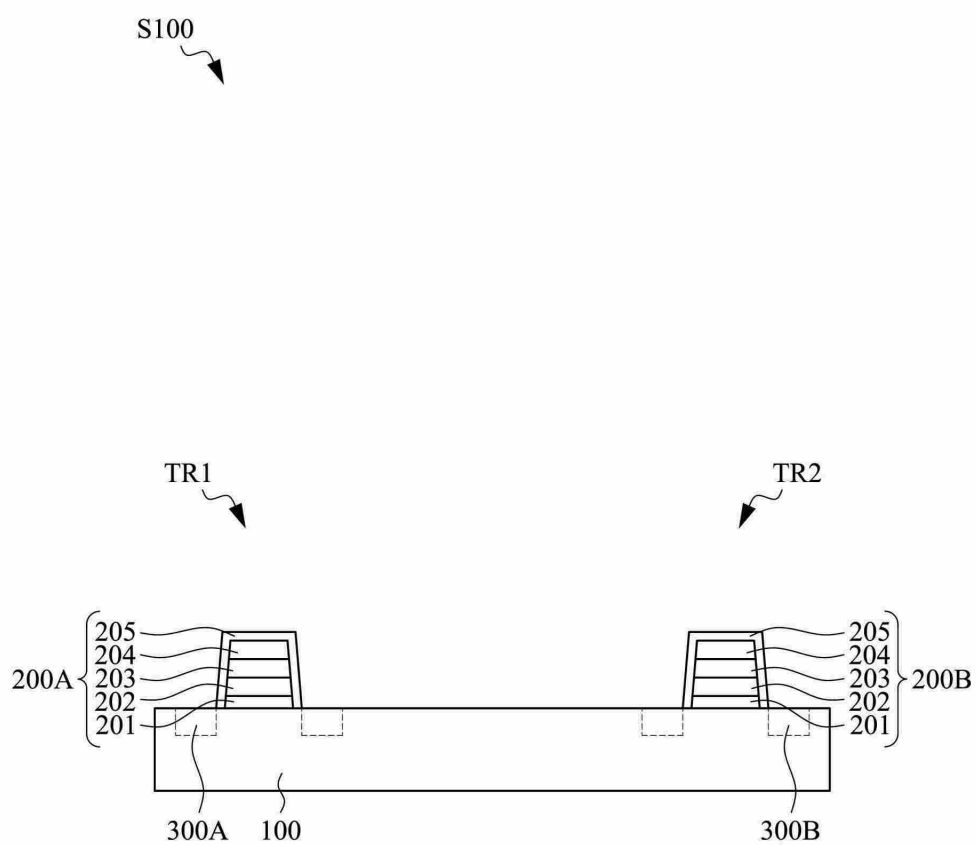
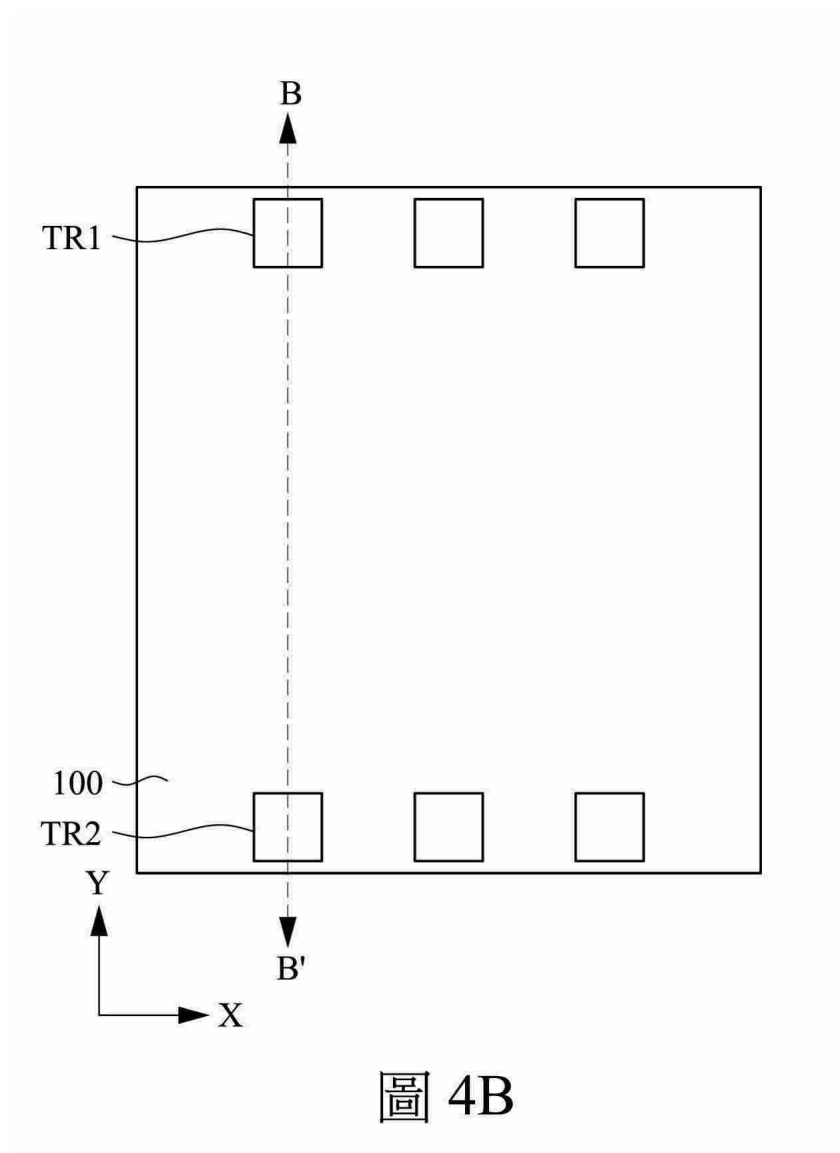


圖 4A

(7)



(8)

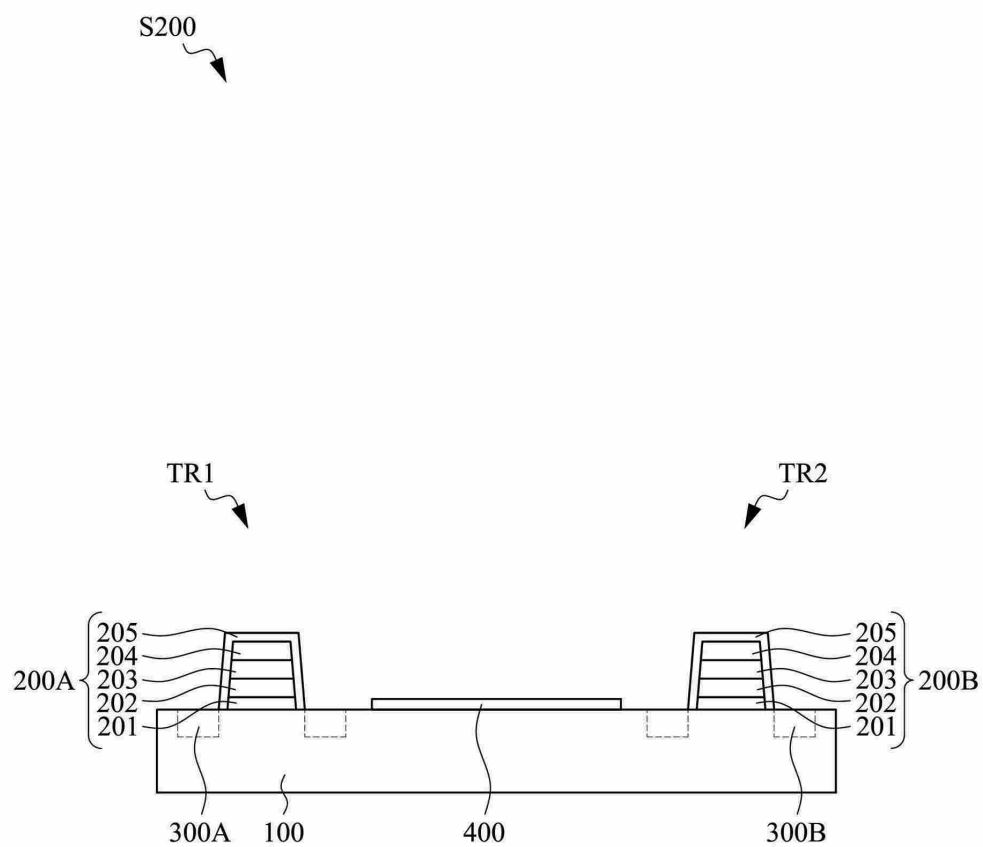


圖 5A

(9)

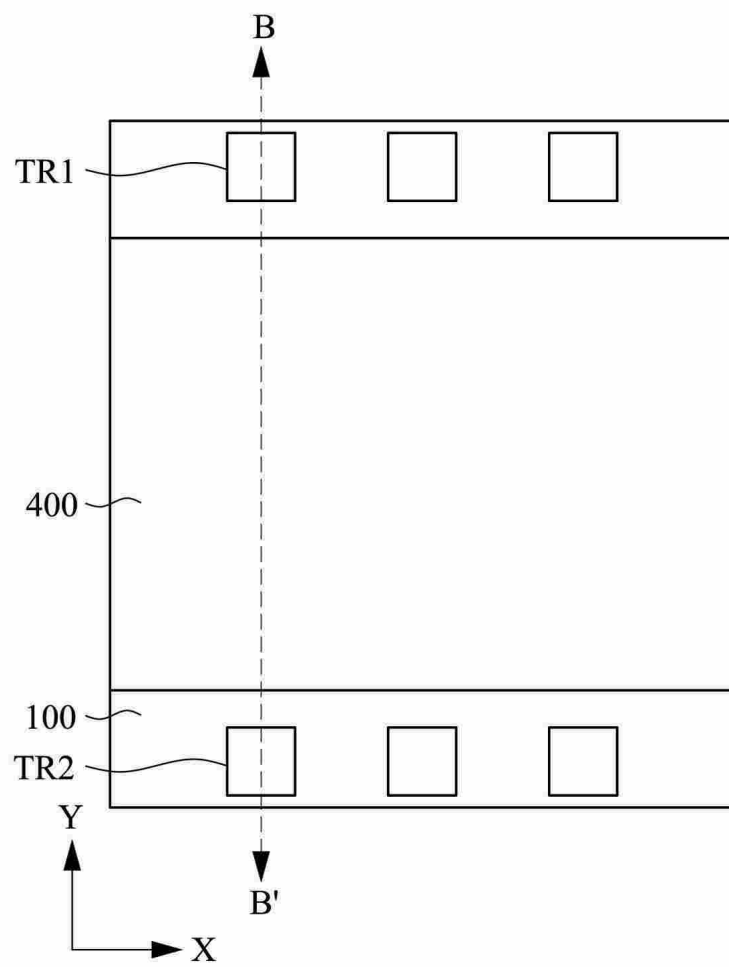
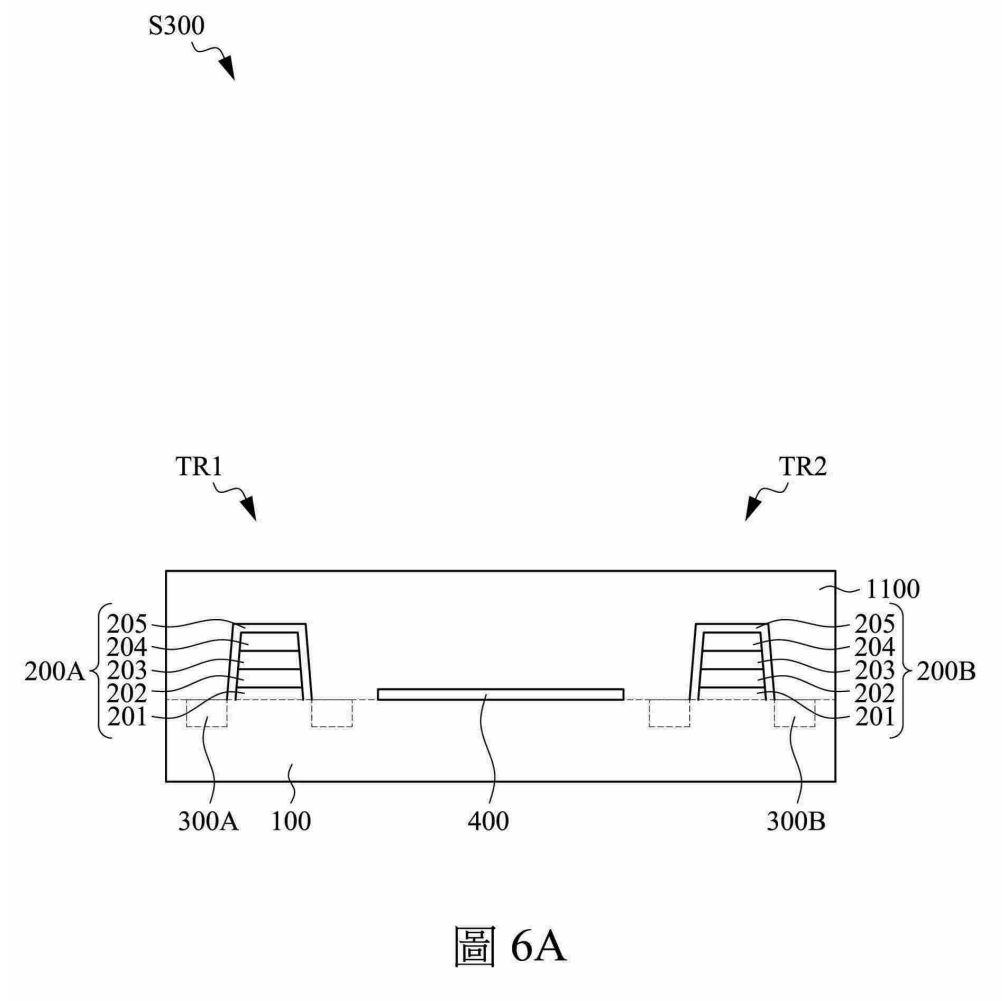


圖 5B

(10)



(11)

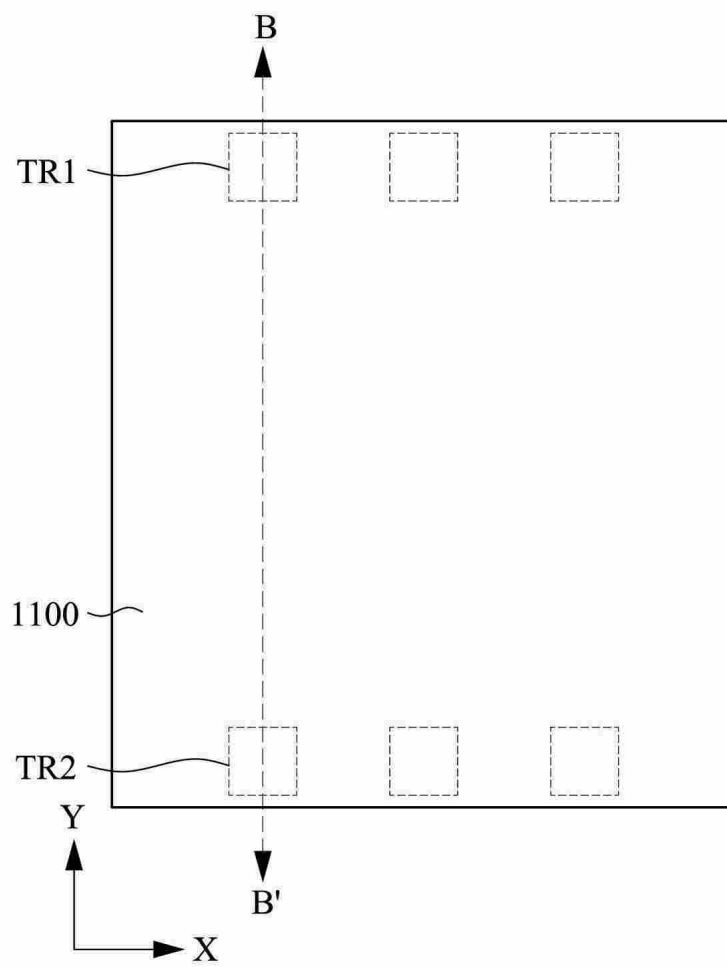


圖 6B

(12)

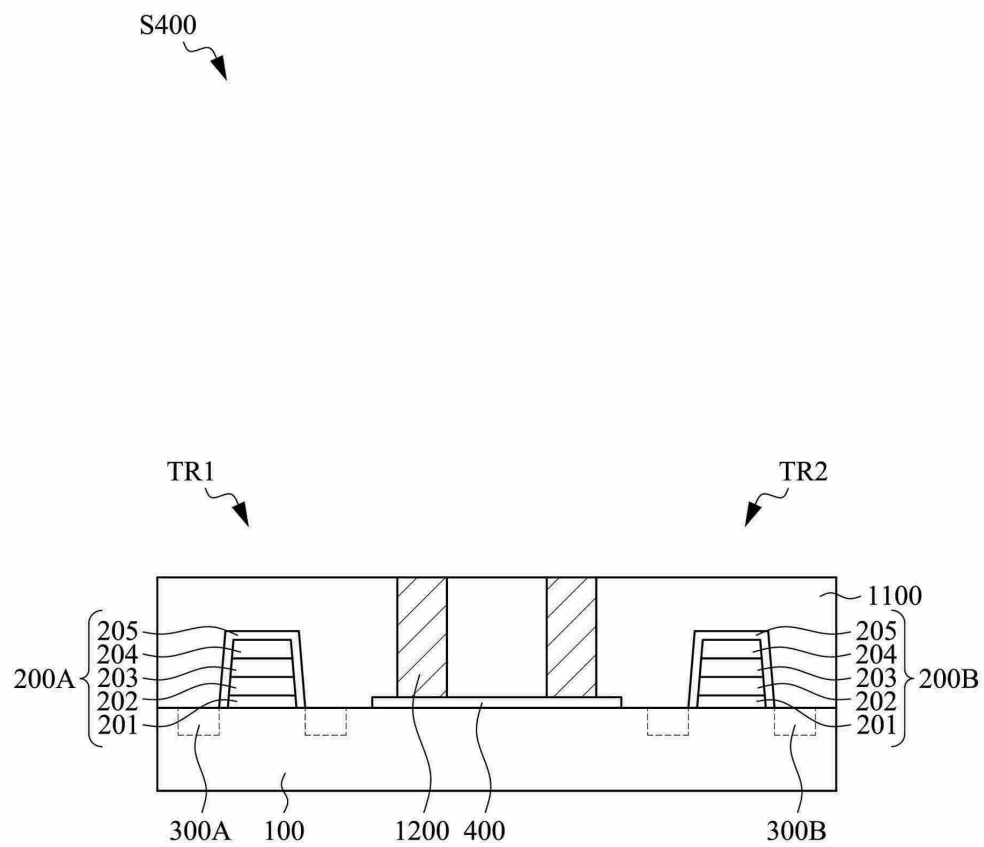


圖 7A

(13)

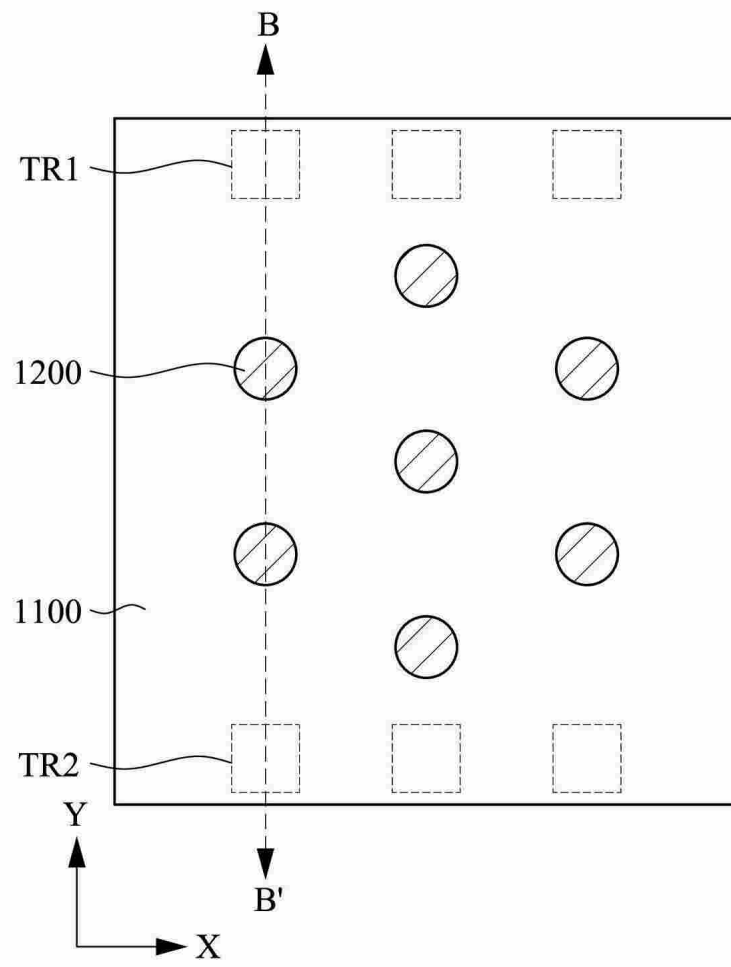


圖 7B

(14)

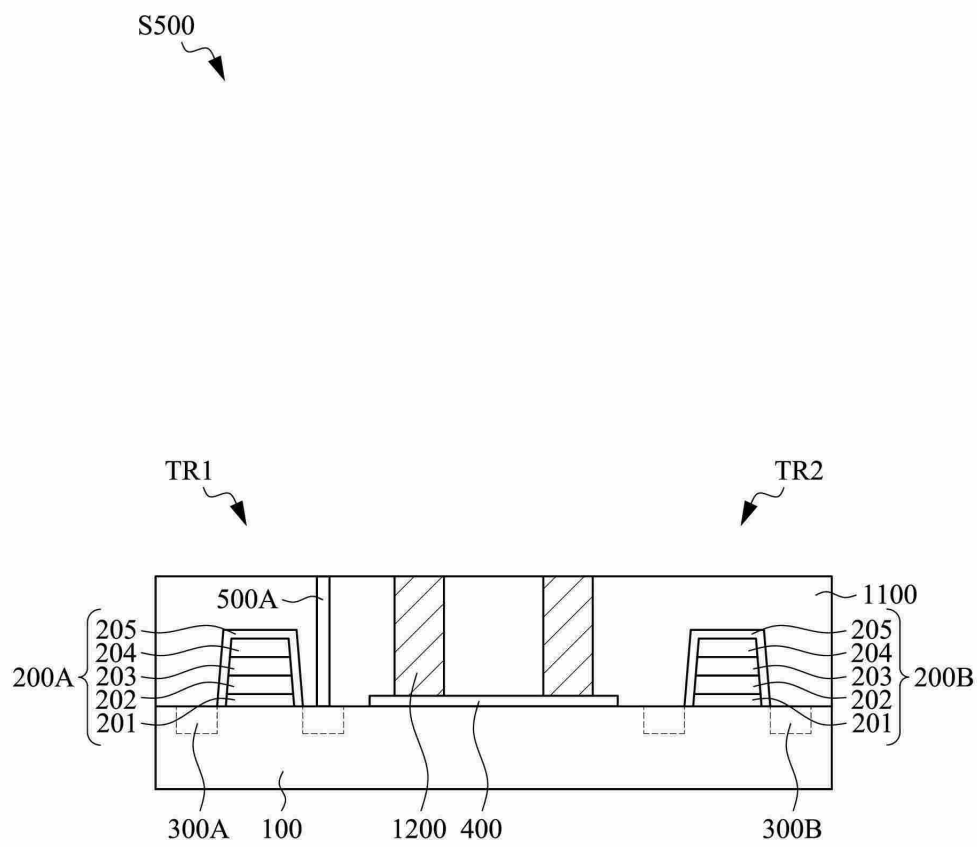


圖 8A

(15)

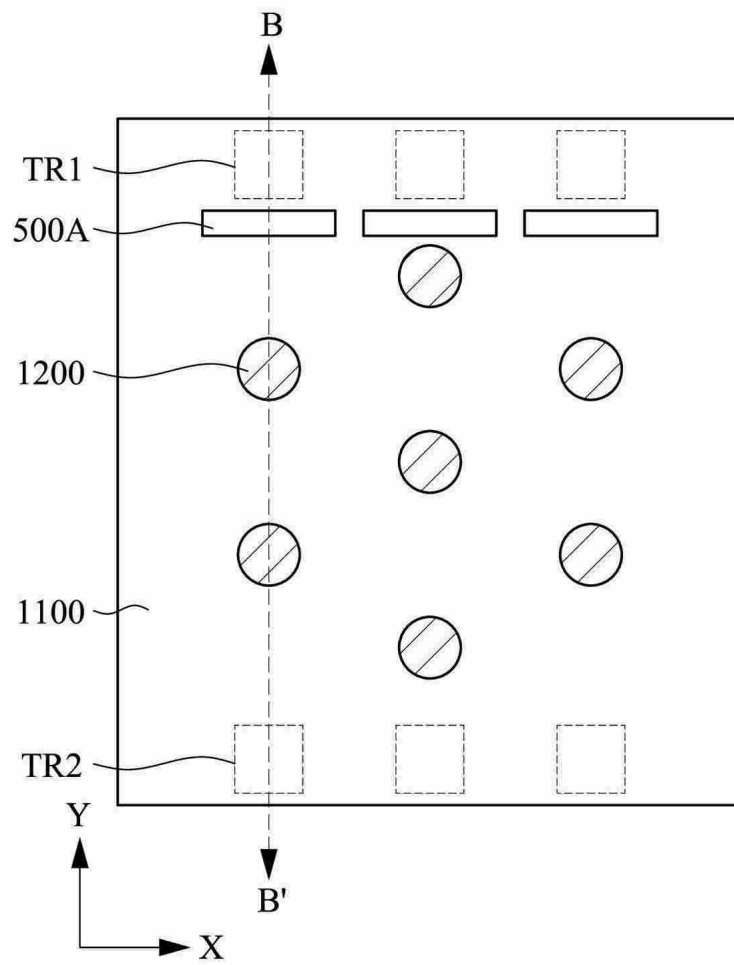


圖 8B

(16)

S600

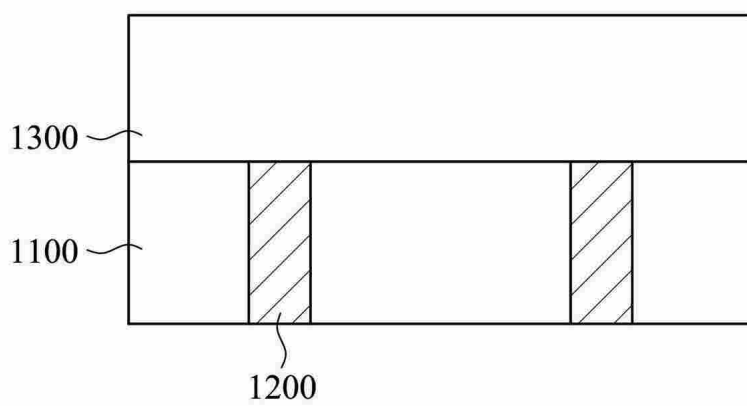


圖 9A

(17)

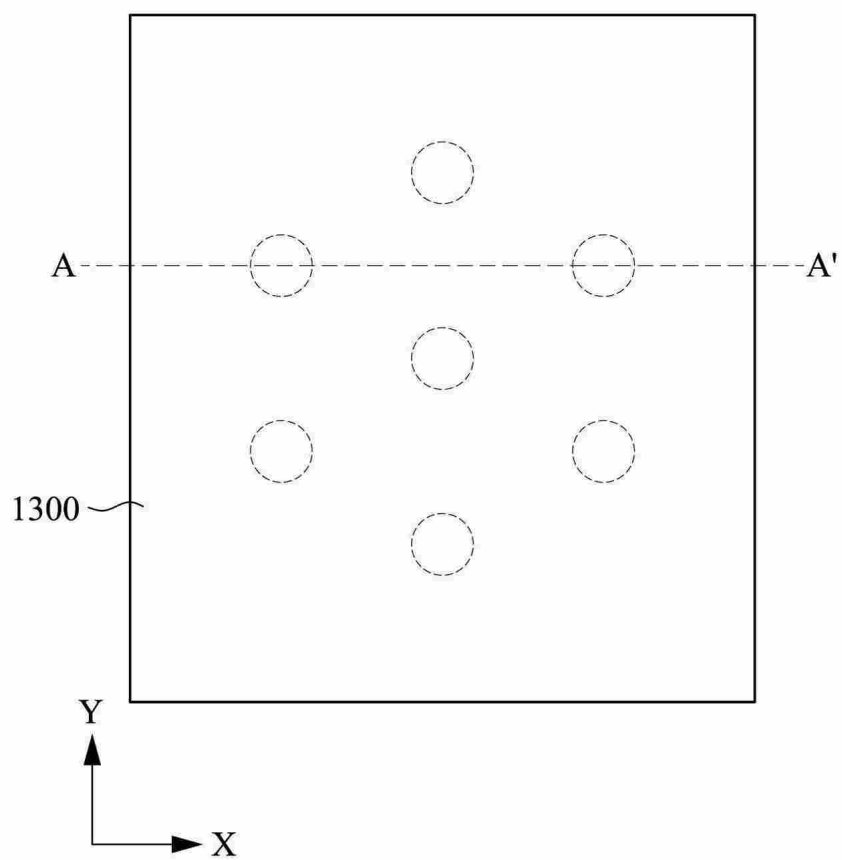


圖 9B

S700

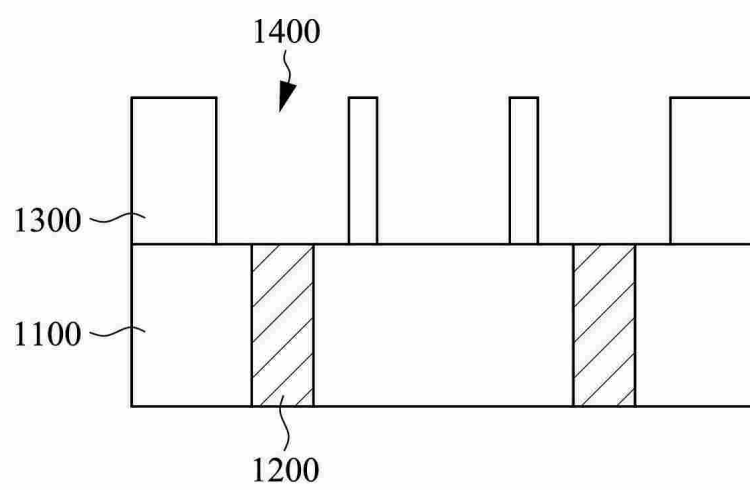


圖 10A

(19)

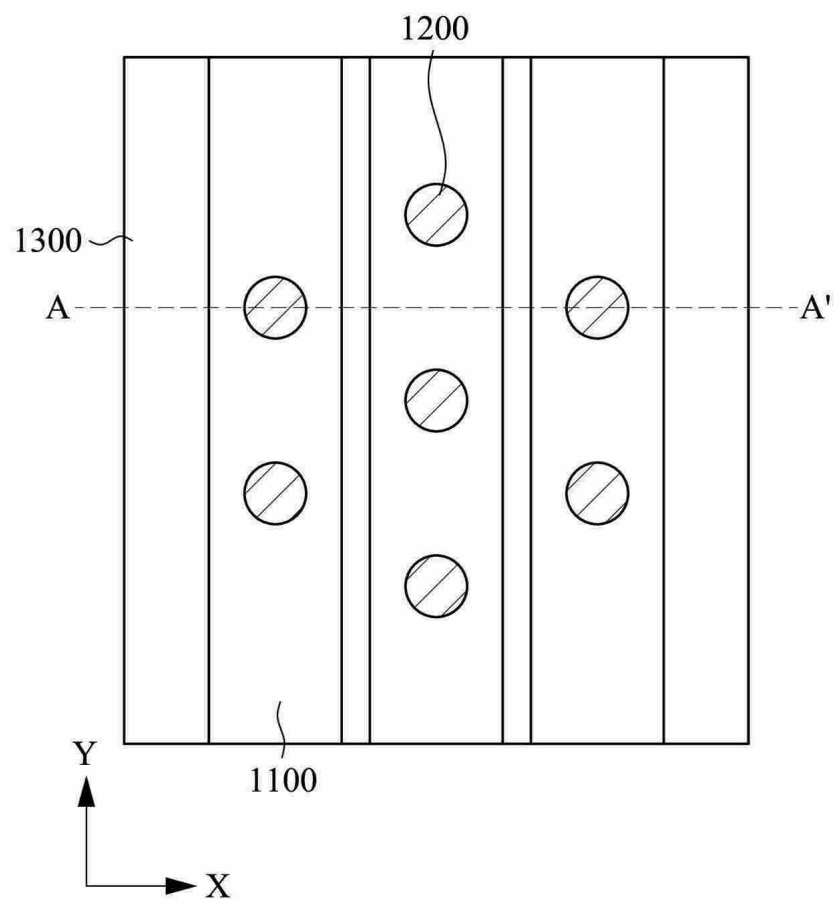


圖 10B

(20)

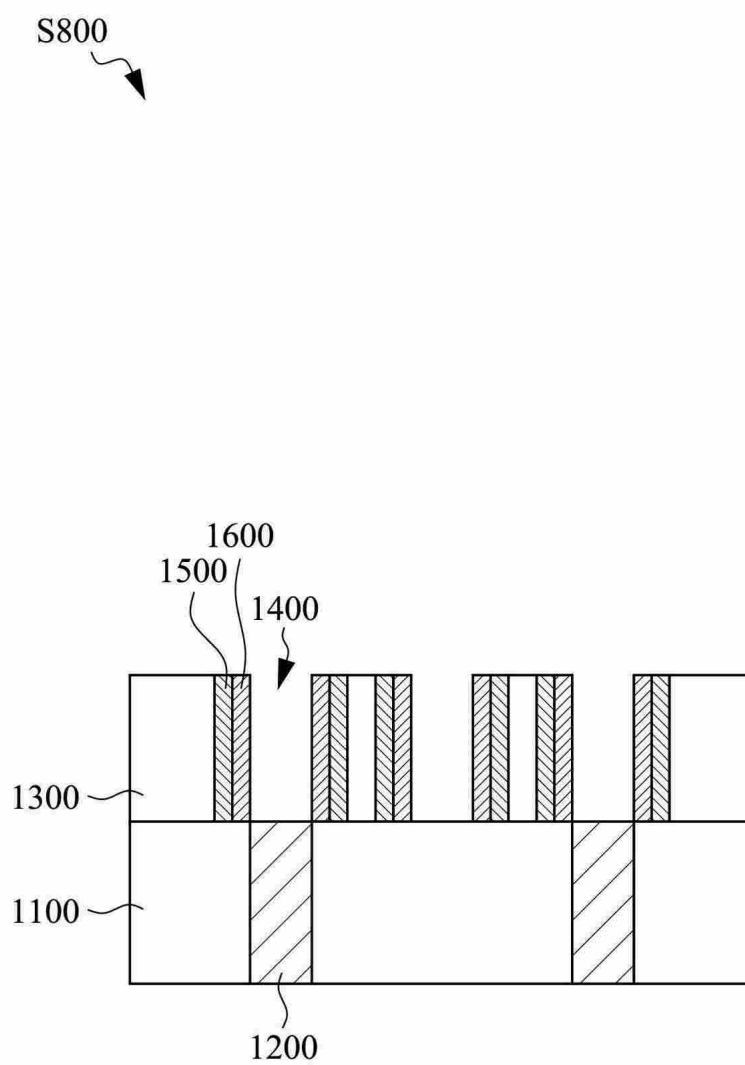


圖 11A

(21)

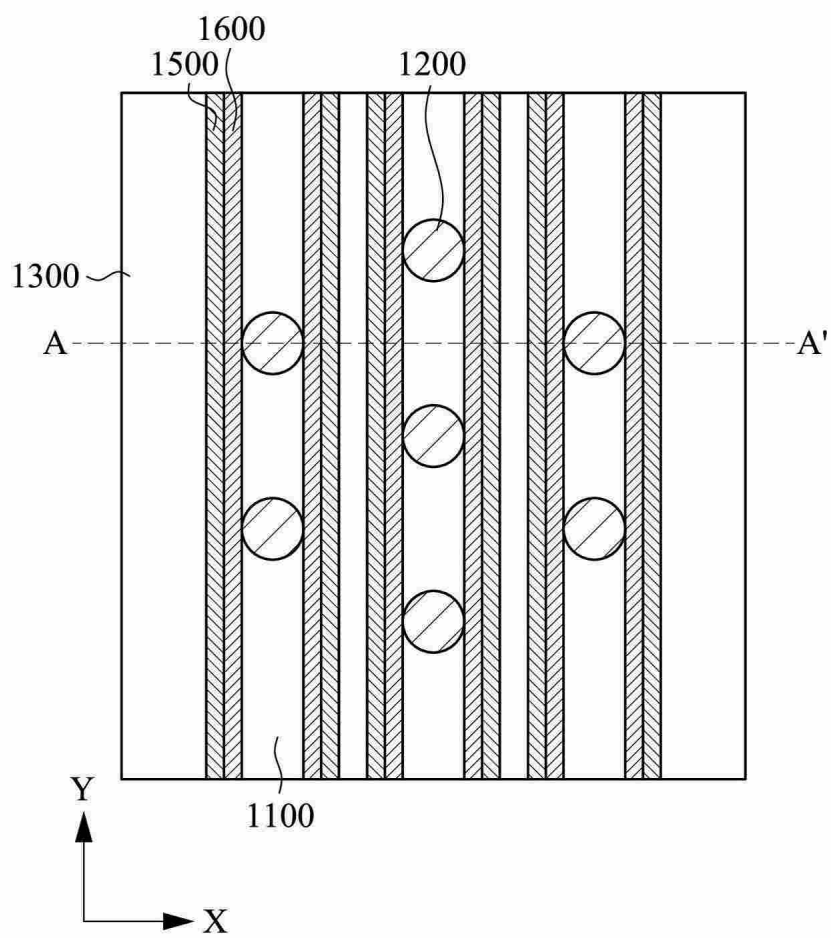


圖 11B

(22)

S900

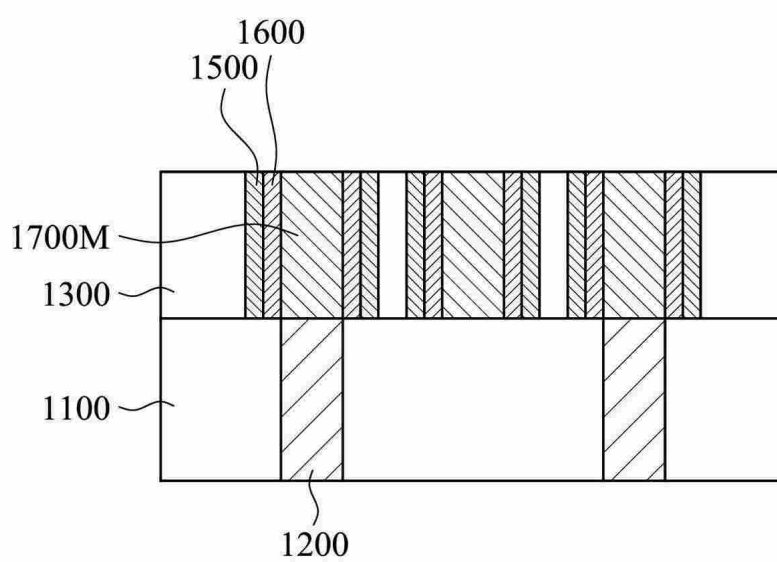


圖 12A

(23)

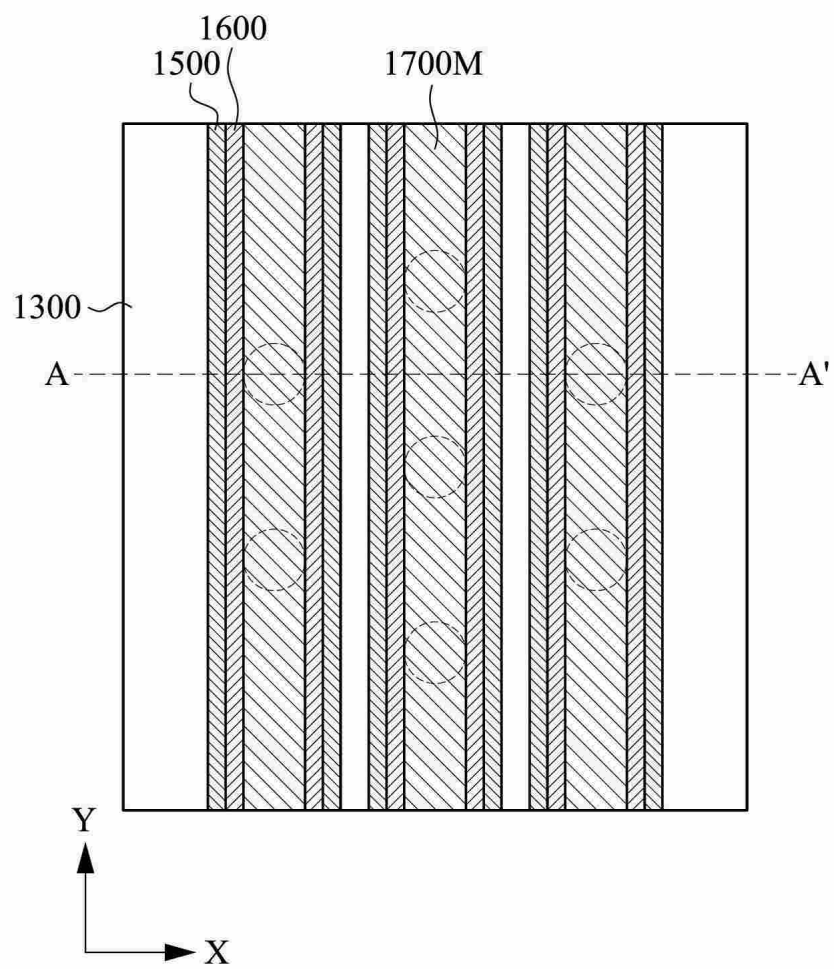


圖 12B

S1000

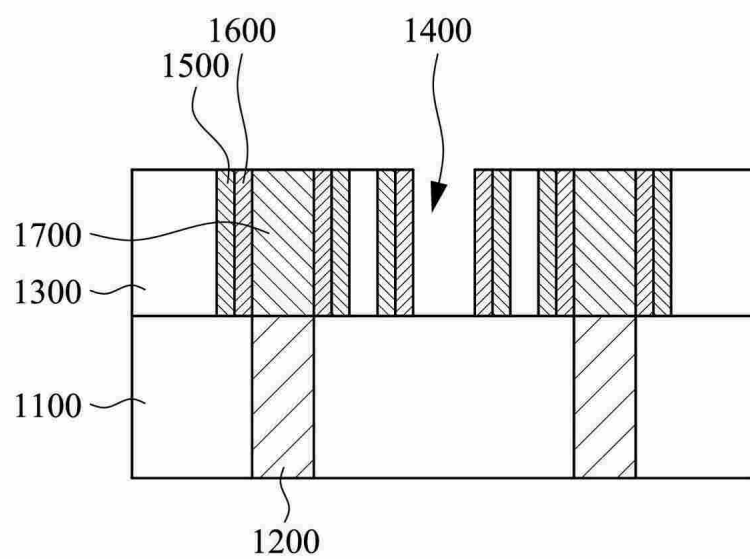


圖 13A

(25)

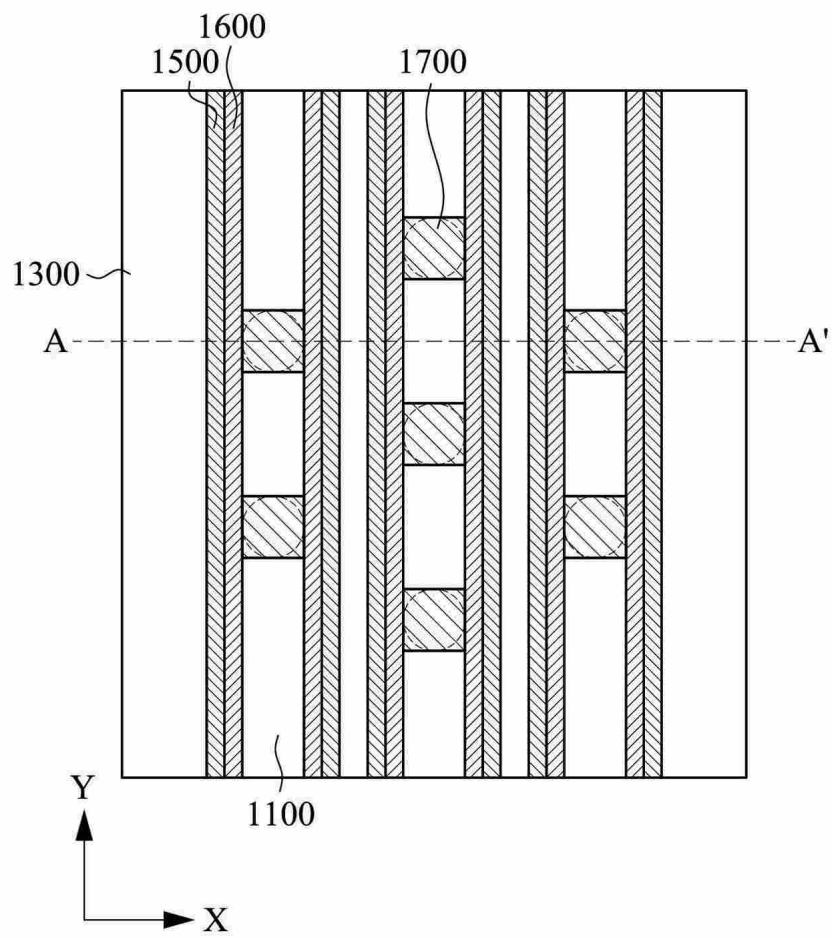


圖 13B

(26)

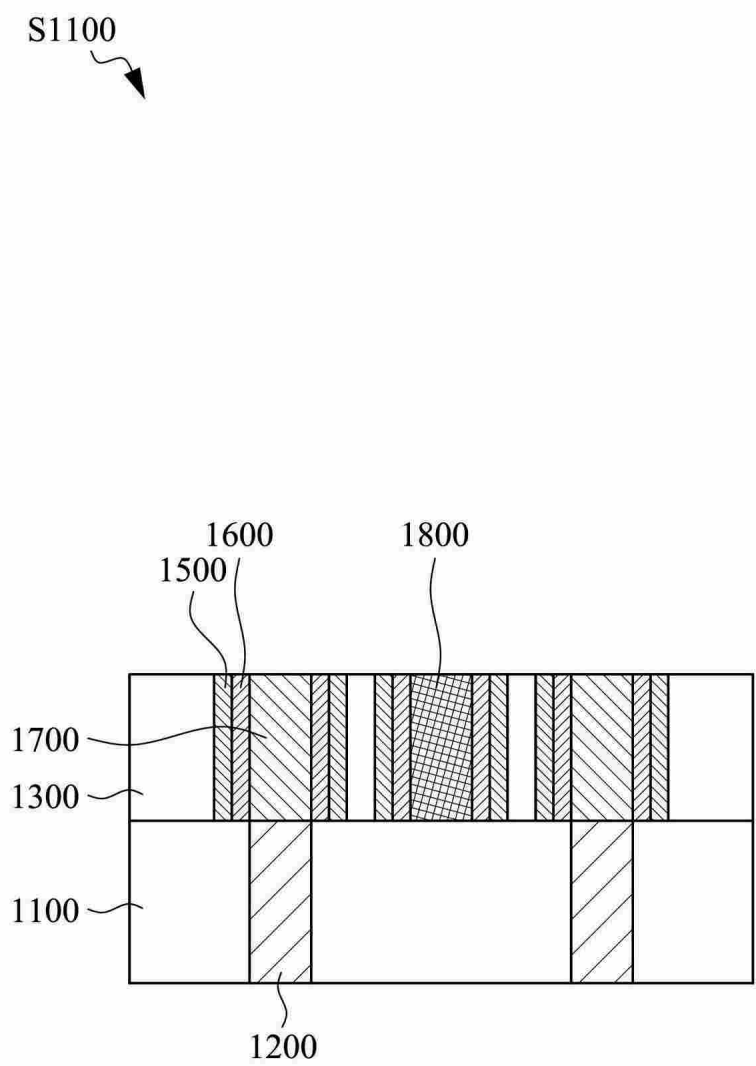


圖 14A

(27)

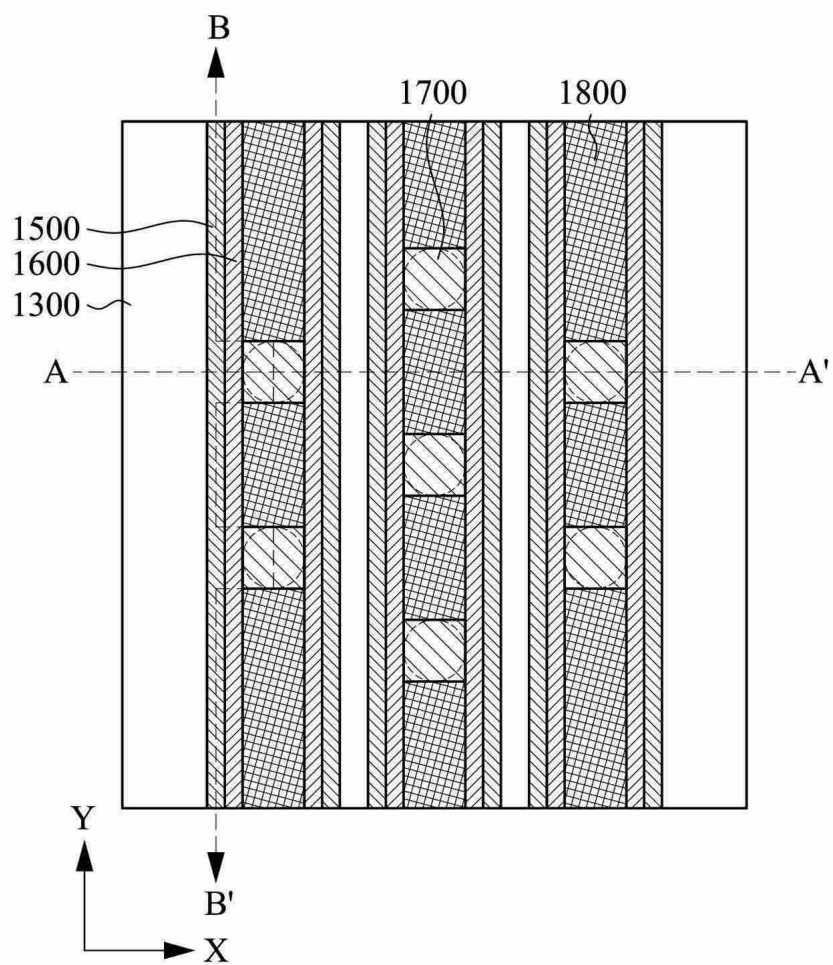


圖 14B

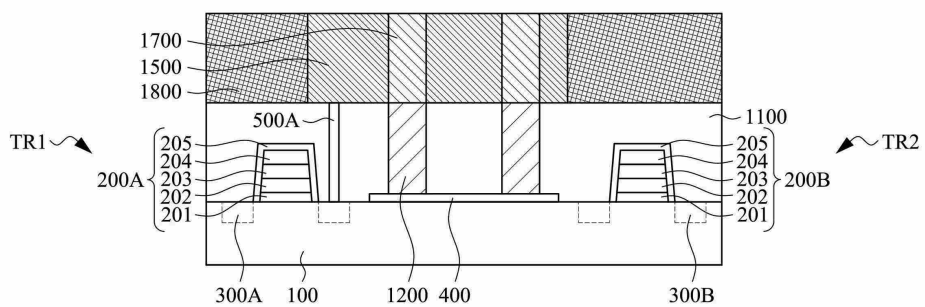


圖 14C

(28)

S1200
↘

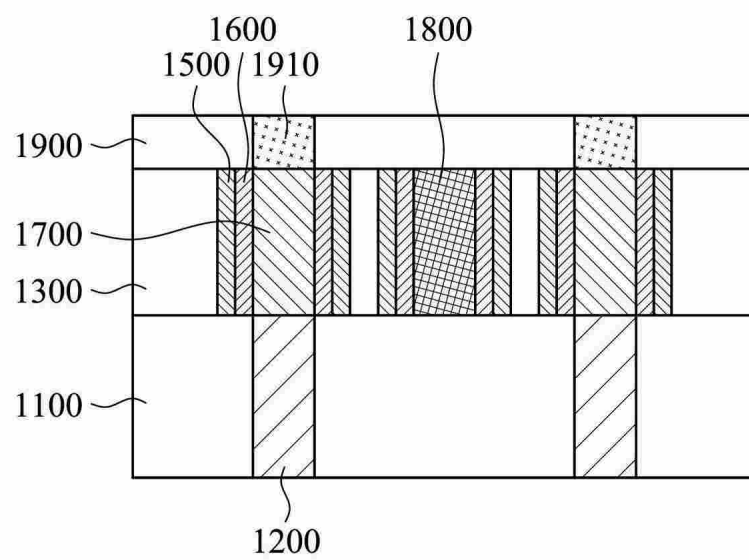


圖 15A

(29)

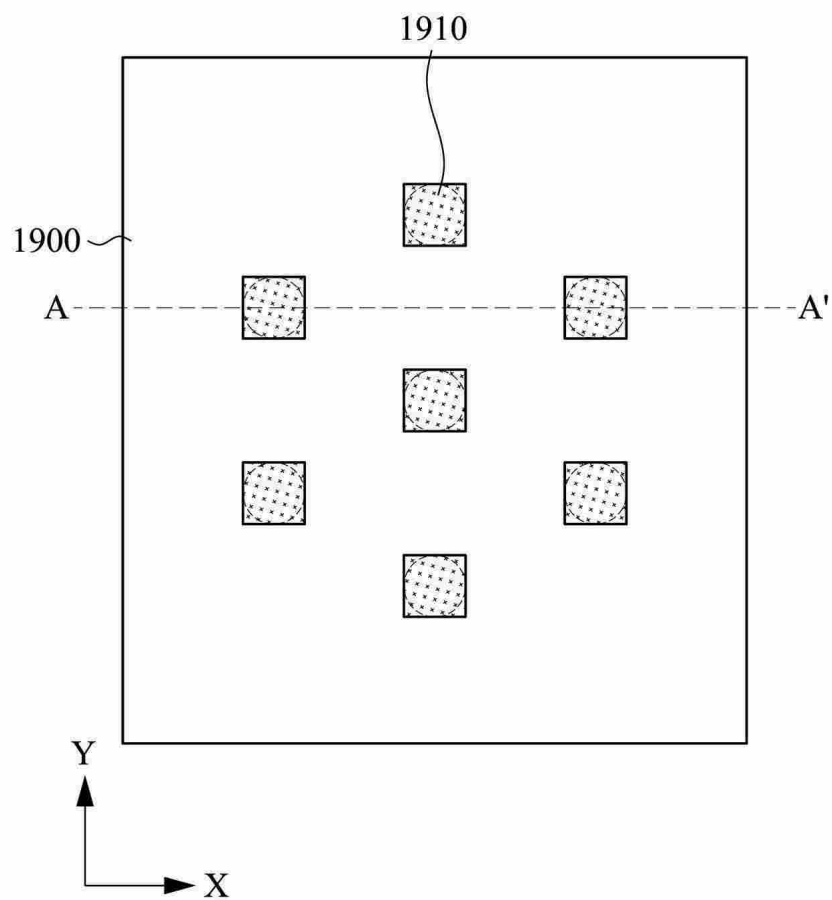


圖 15B

(30)

S1300

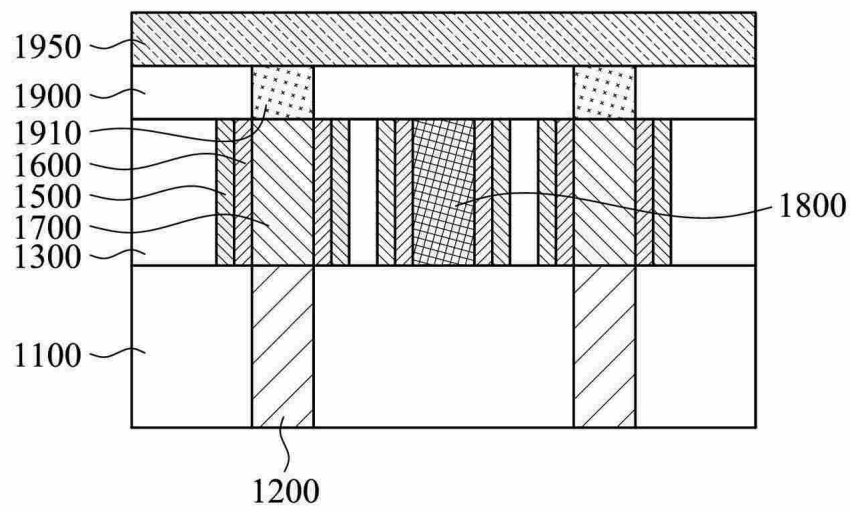


圖 16A

(31)

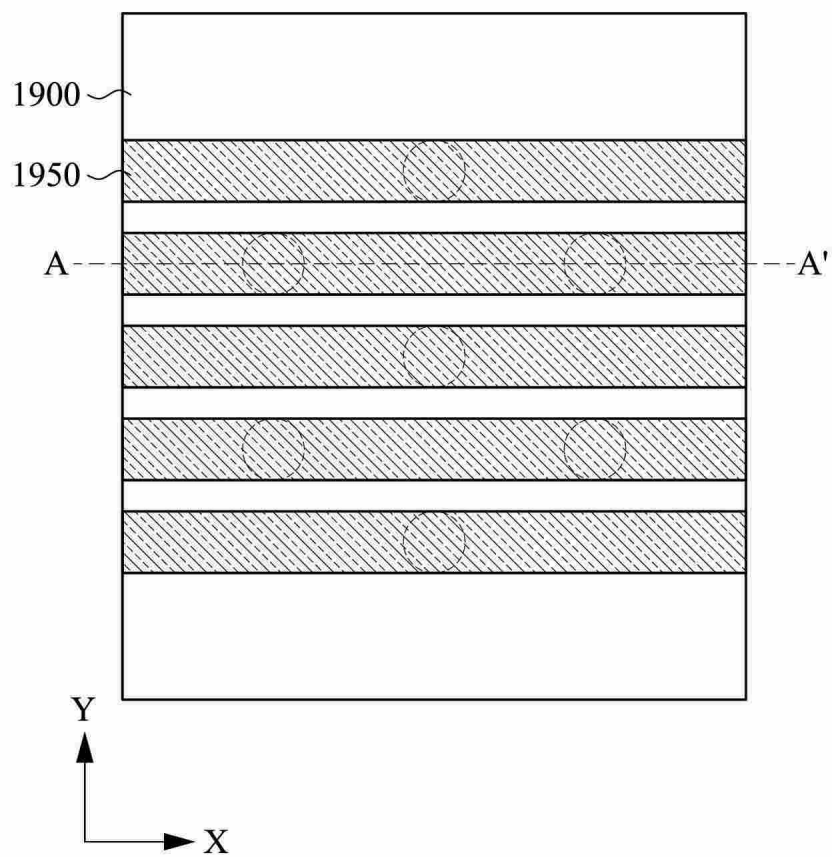


圖 16B

S1400

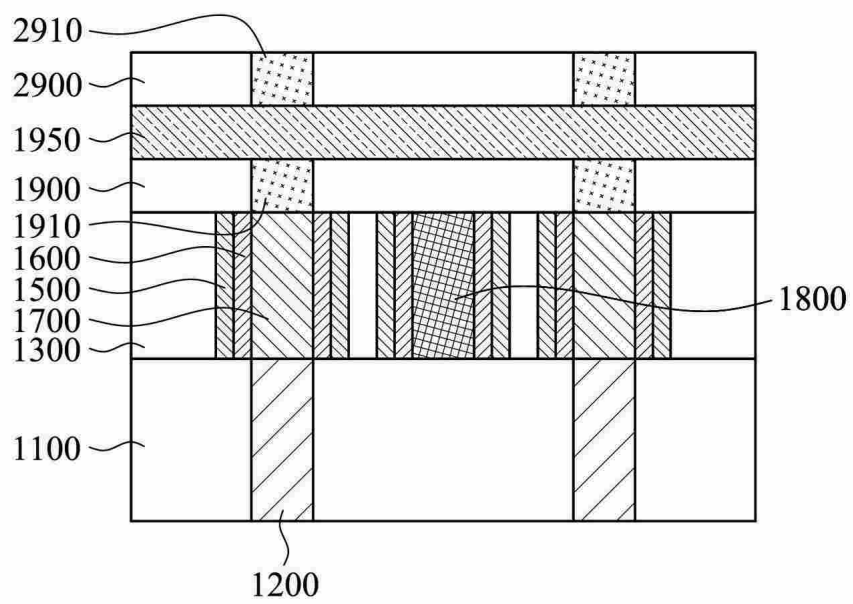


圖 17A

(33)

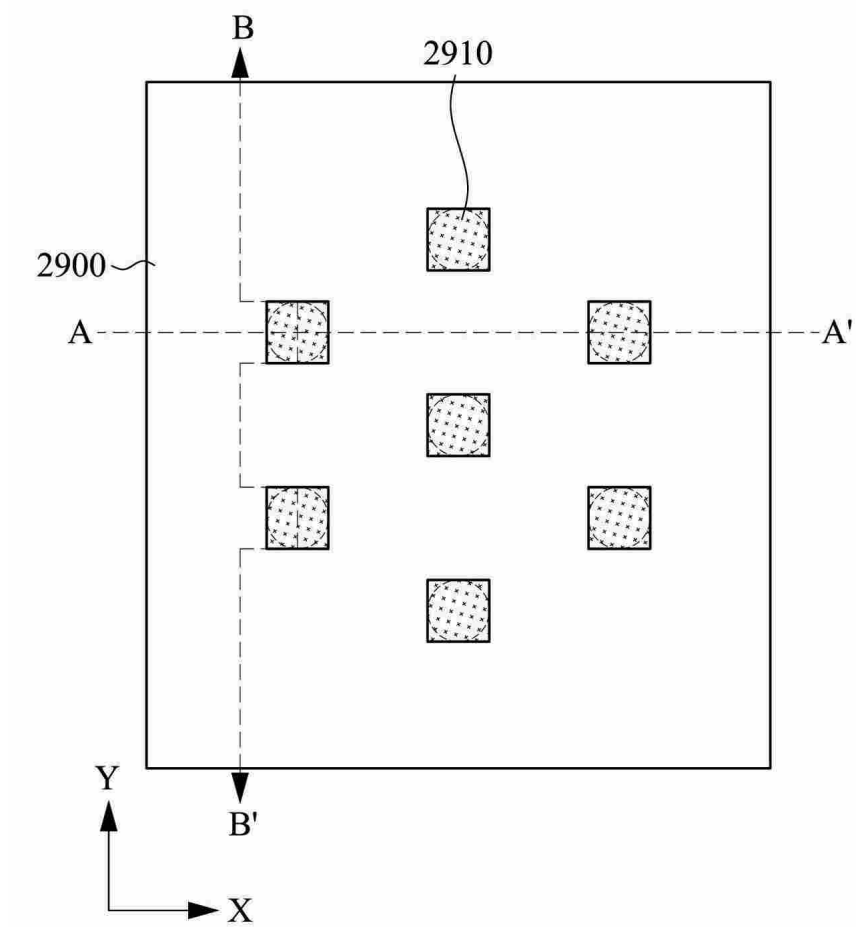


圖 17B

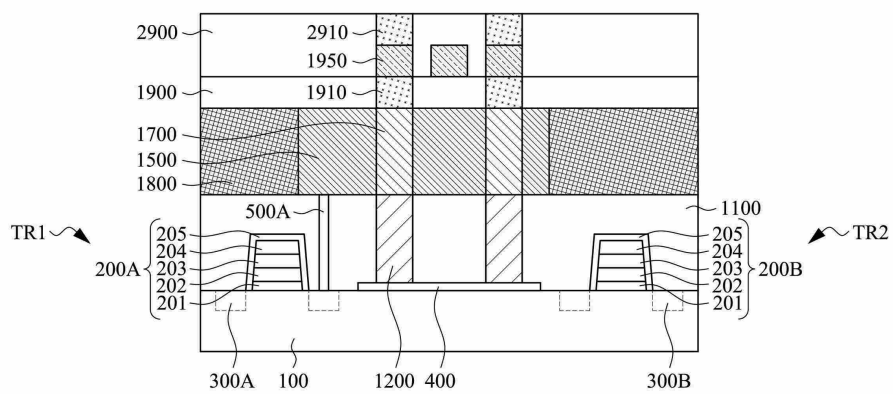


圖 17C

(34)

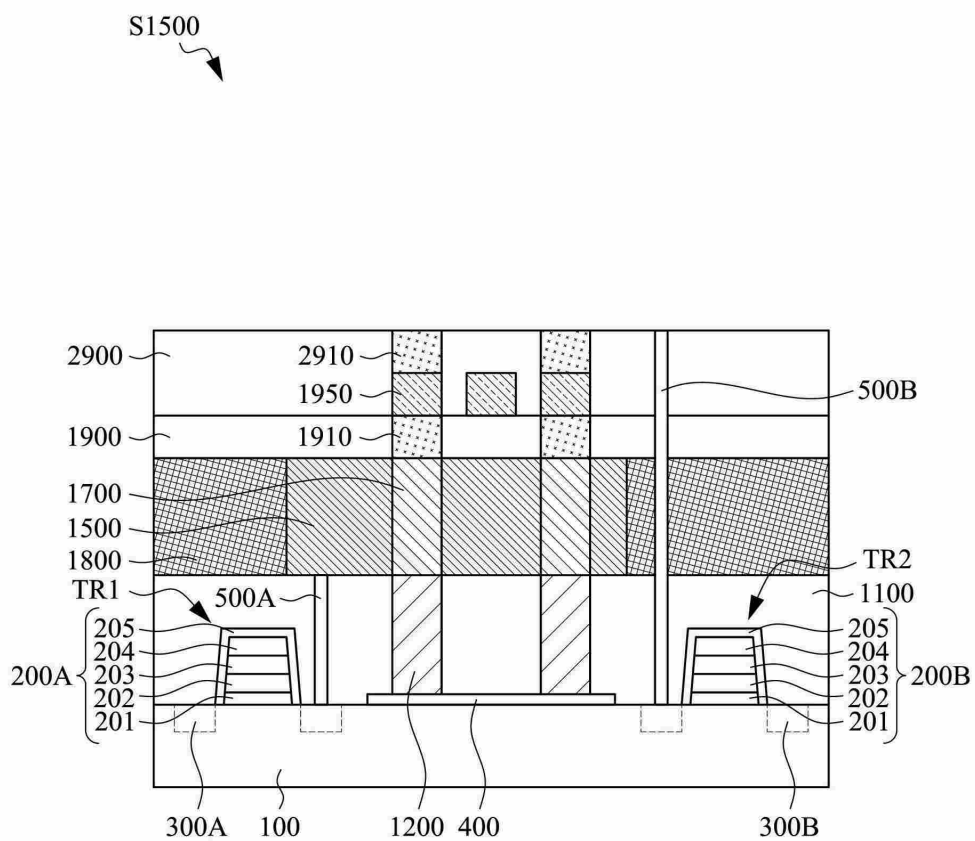


圖 18A

(35)

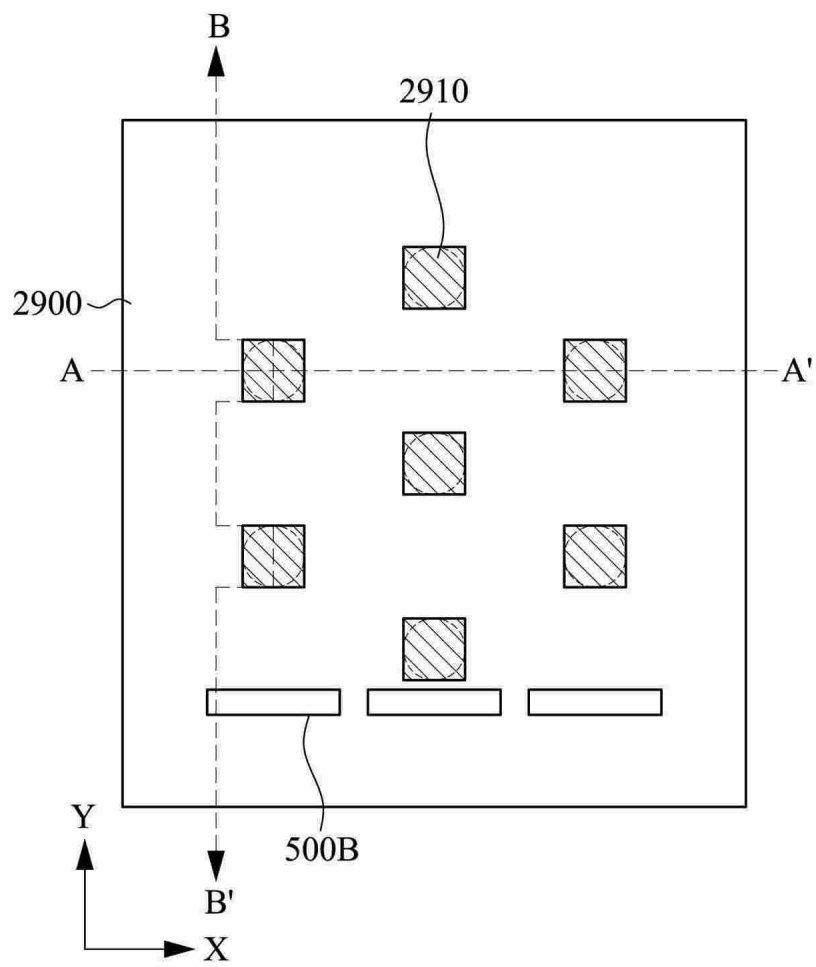


圖 18B

S1600

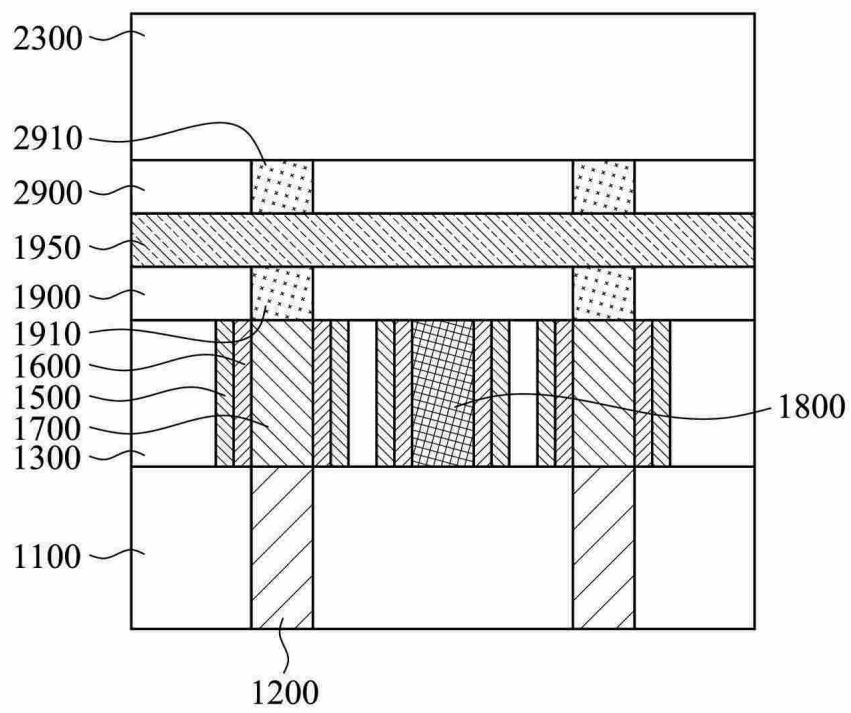


圖 19A

(37)

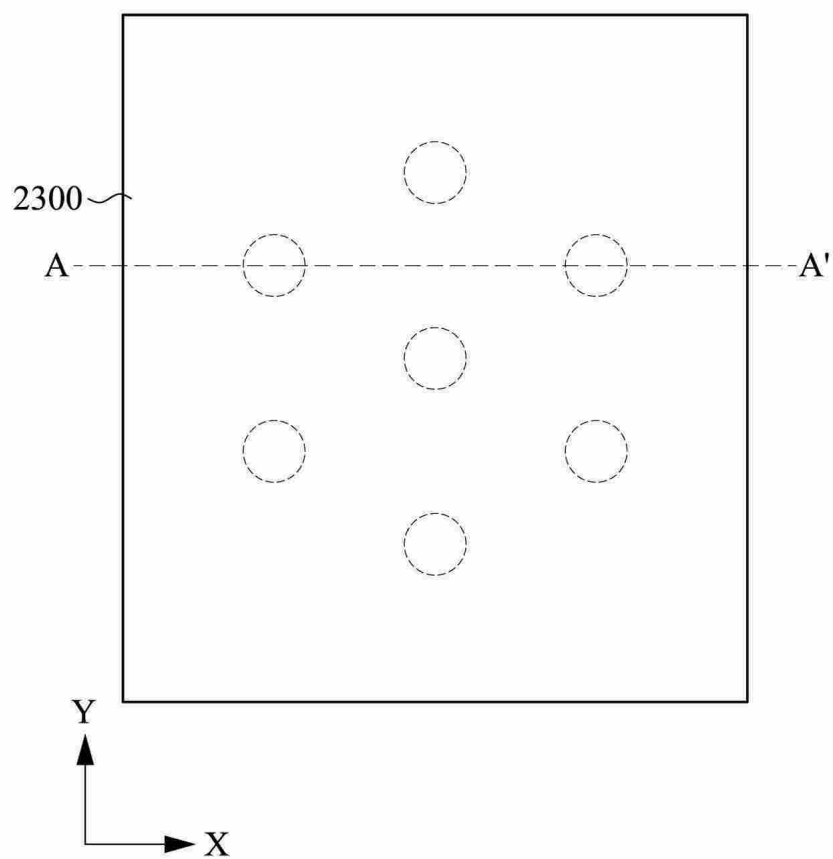


圖 19B

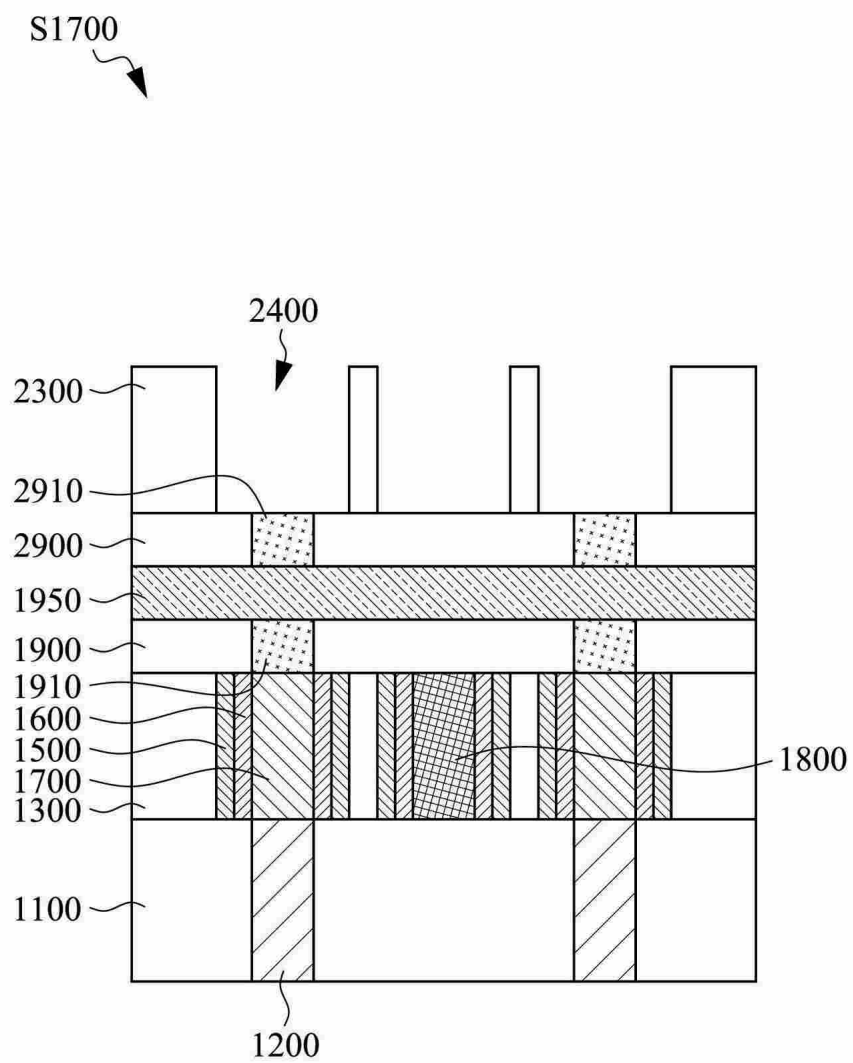


圖 20A

(39)

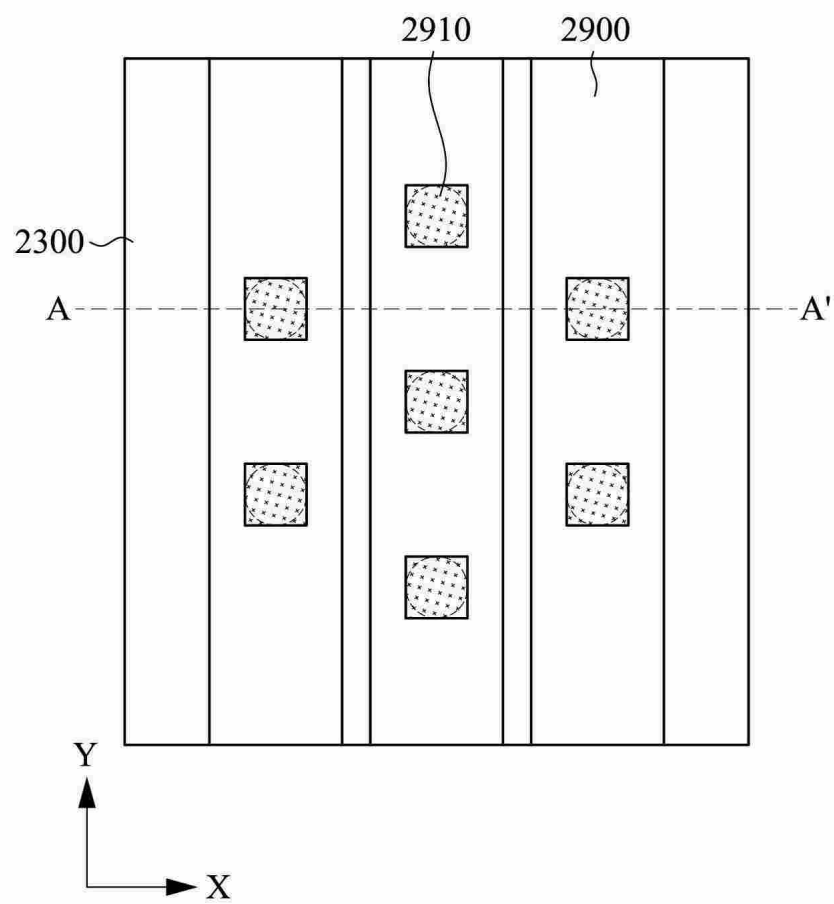


圖 20B

(40)

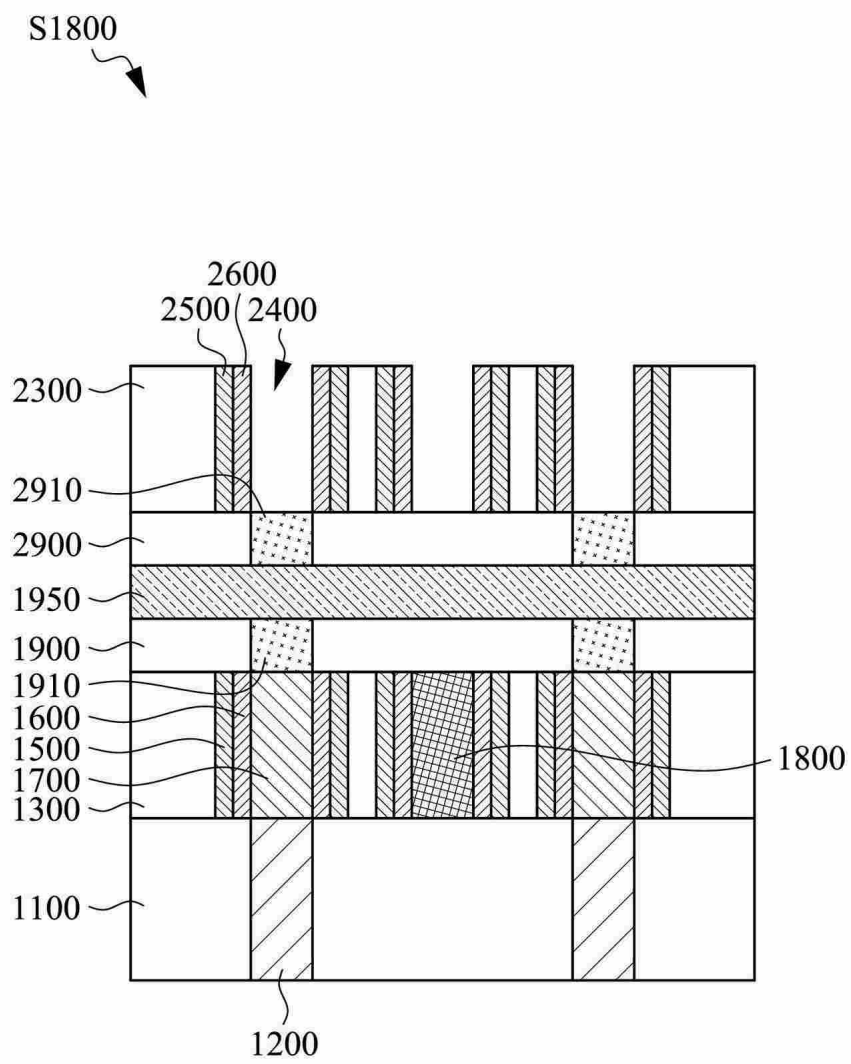


圖 21A

(41)

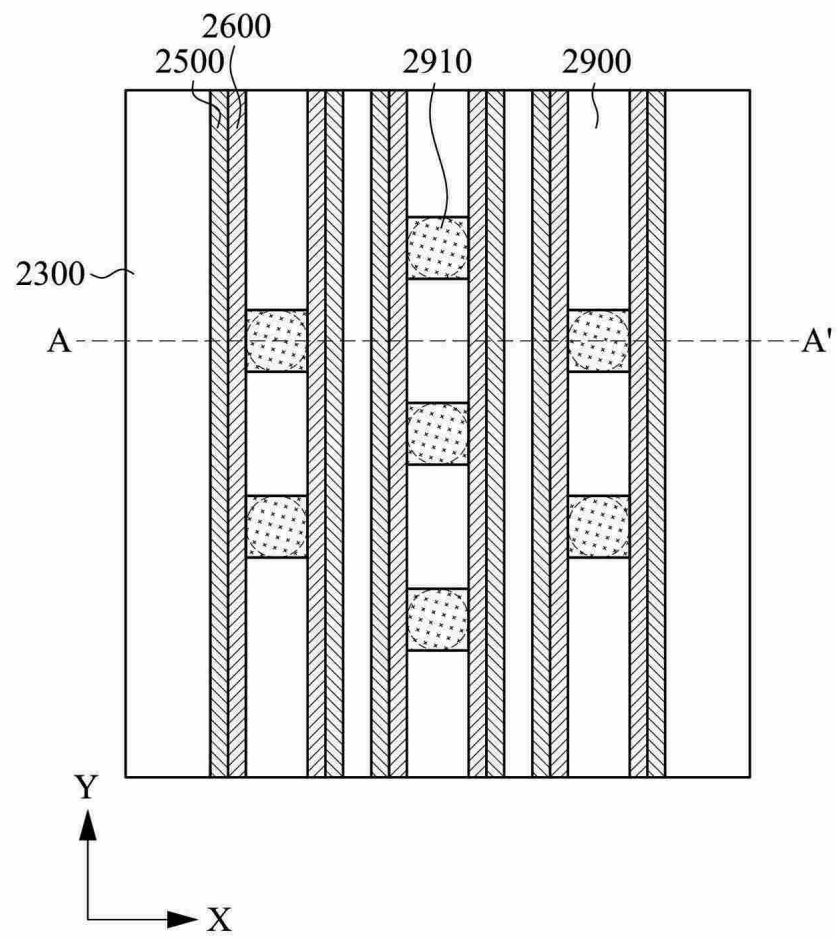


圖 21B

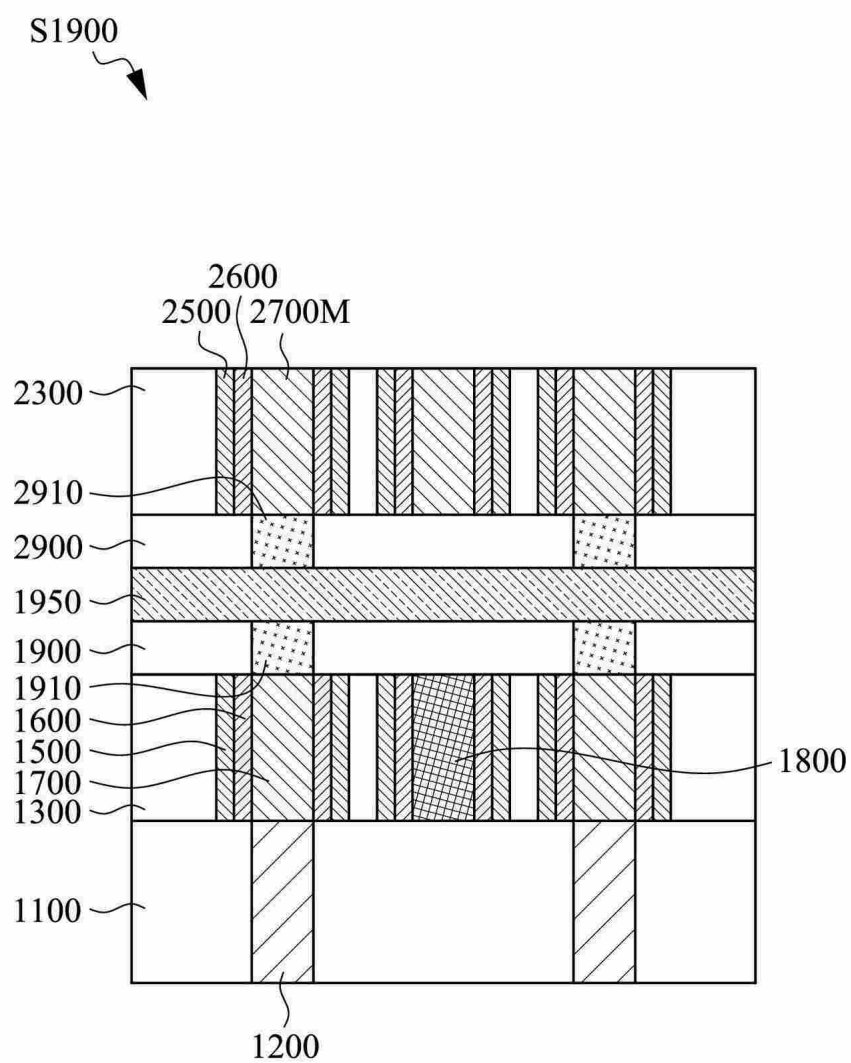


圖 22A

(43)

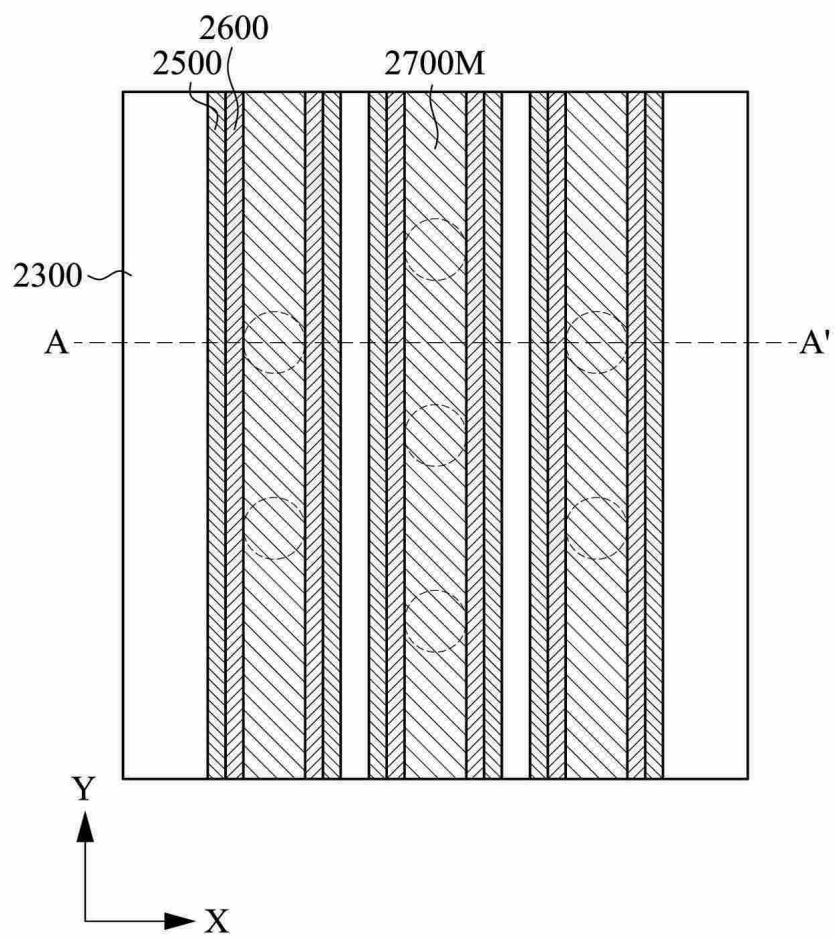


圖 22B

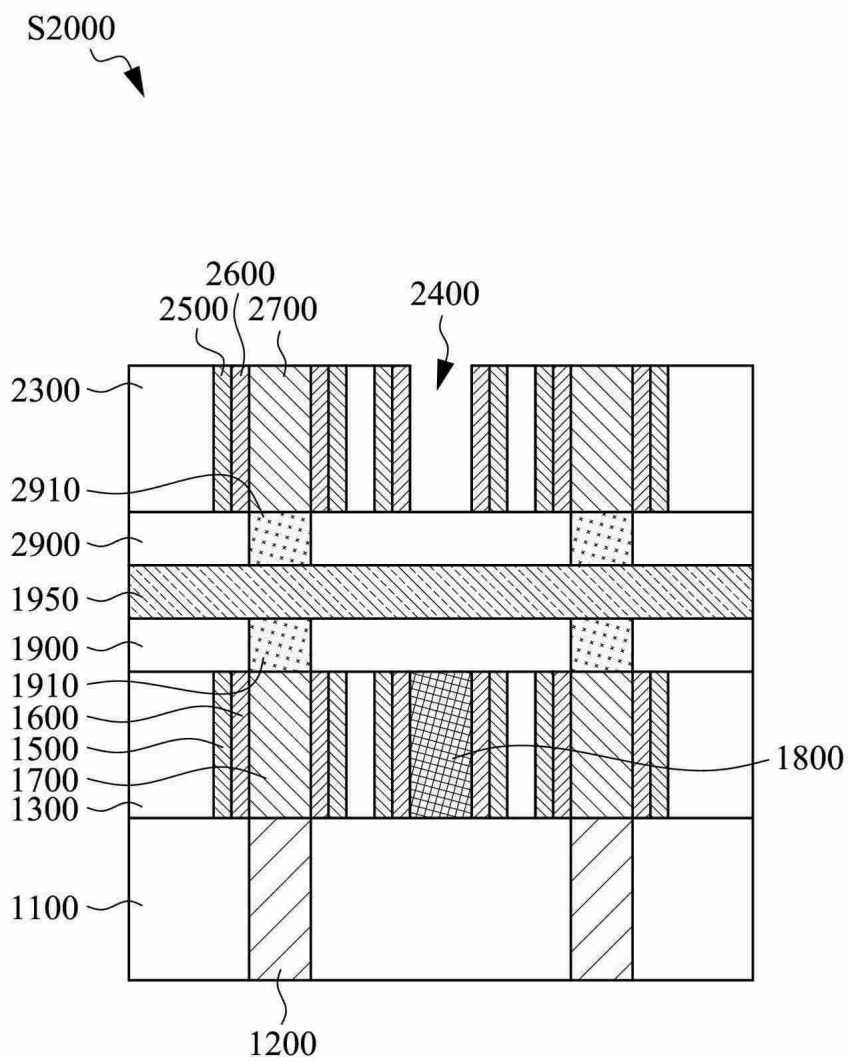


圖 23A

(45)

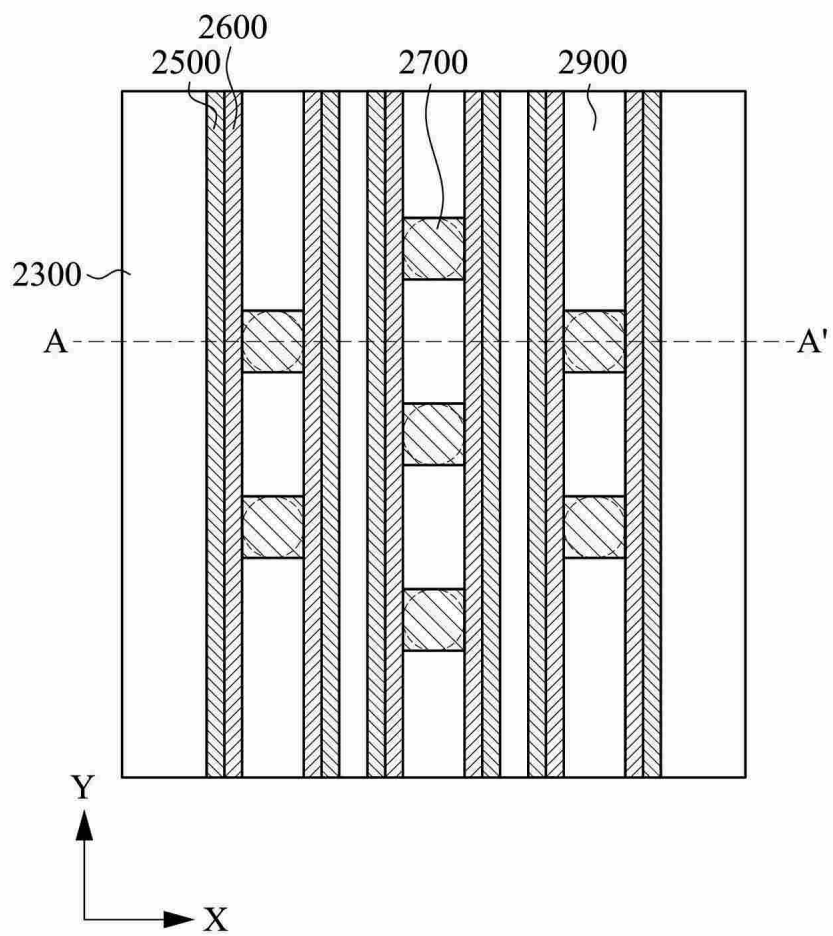


圖 23B

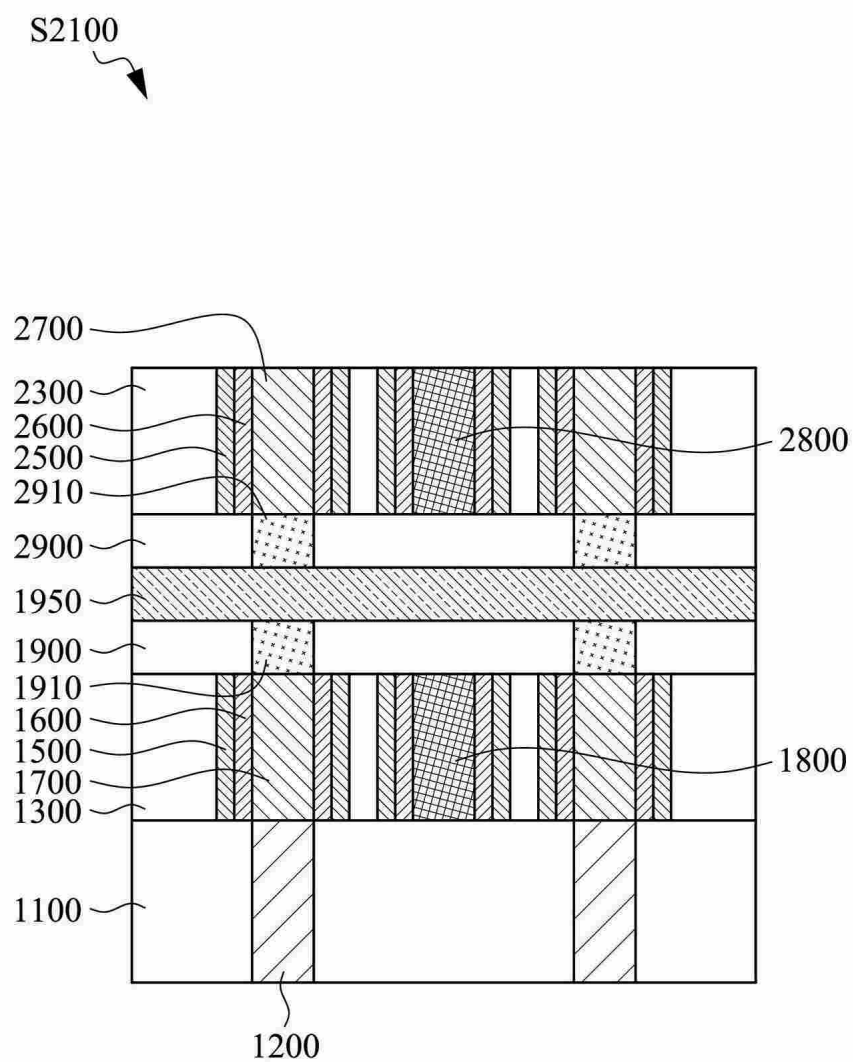


圖 24A

(47)

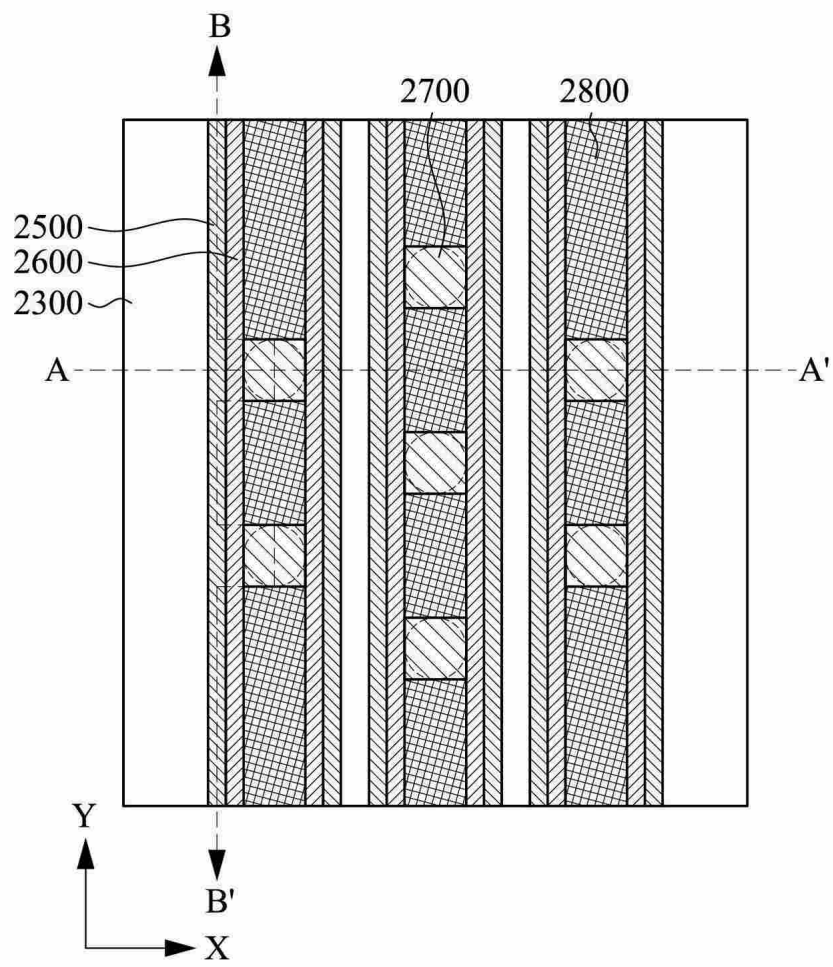


圖 24B

(48)

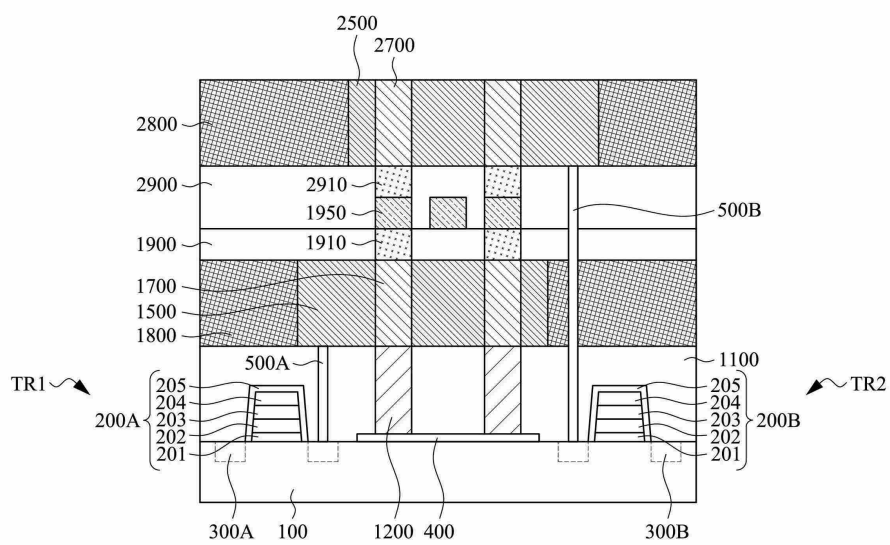


圖 24C

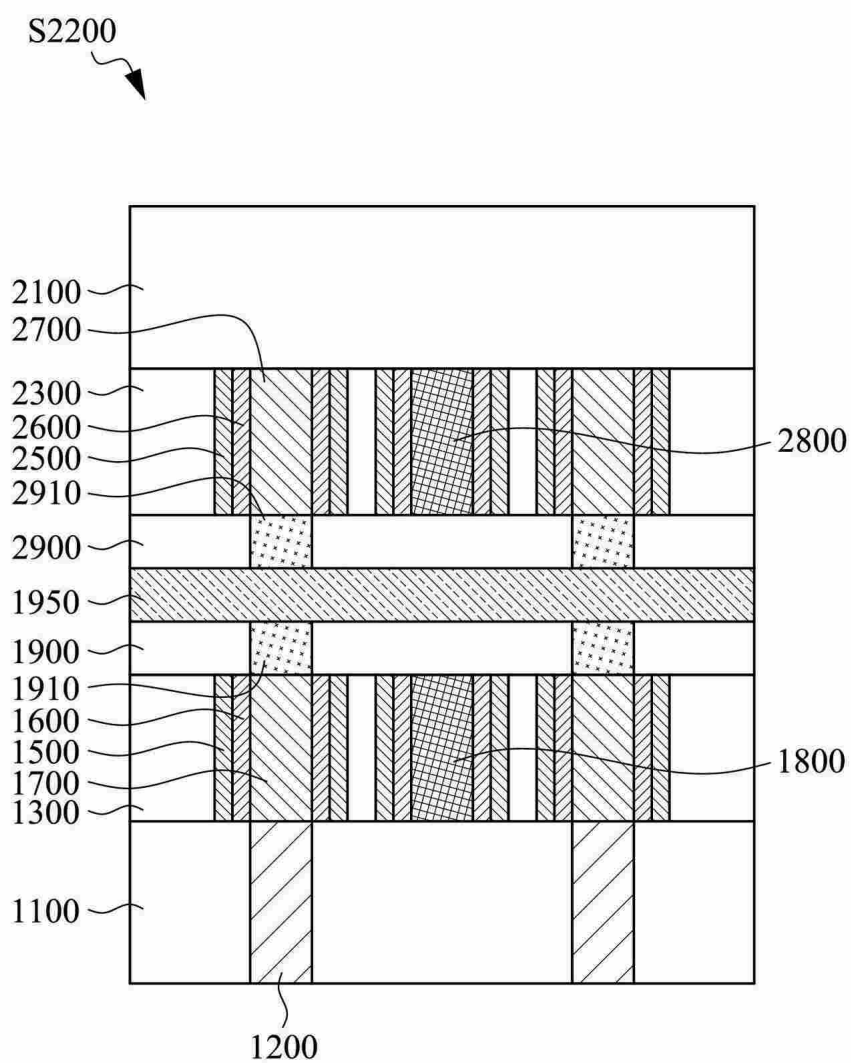


圖 25A

(50)

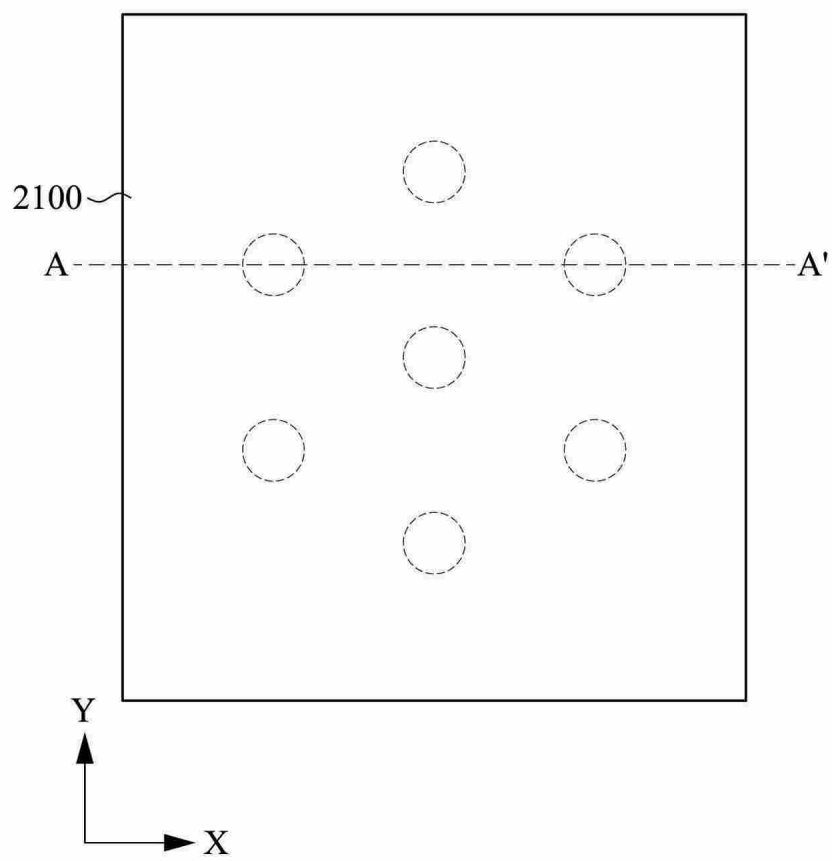


圖 25B

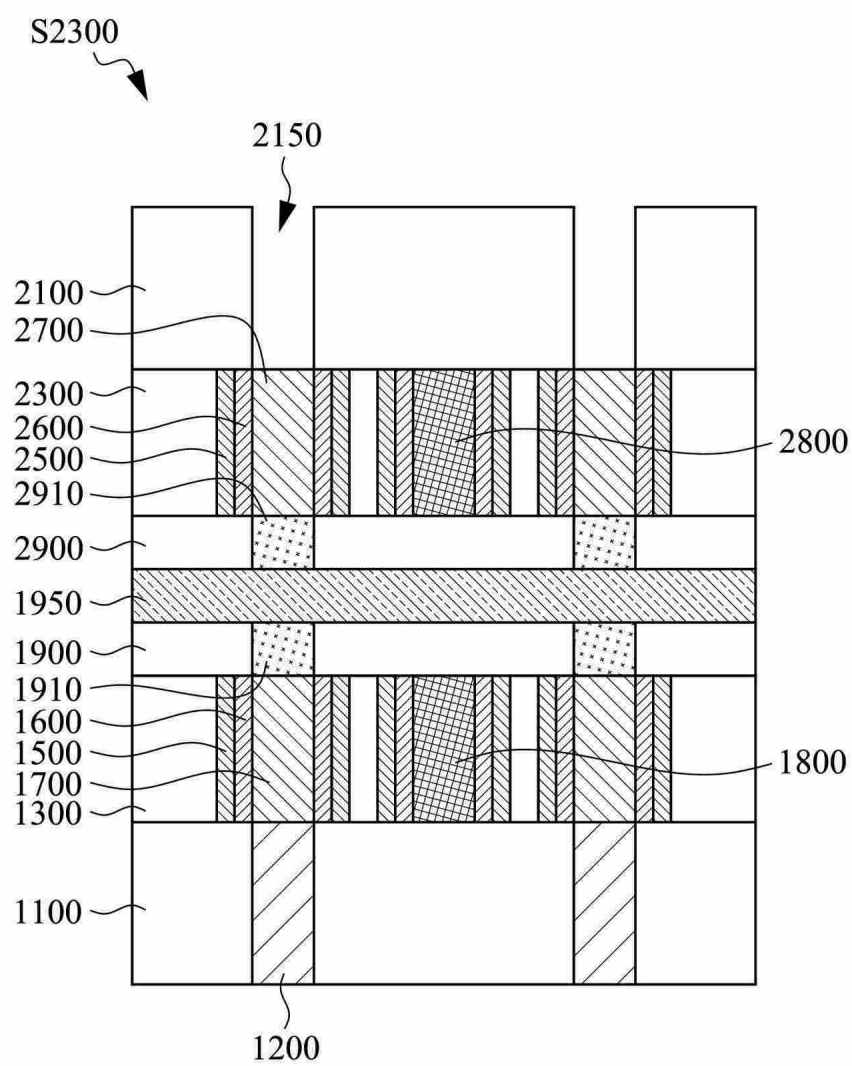


圖 26A

(52)

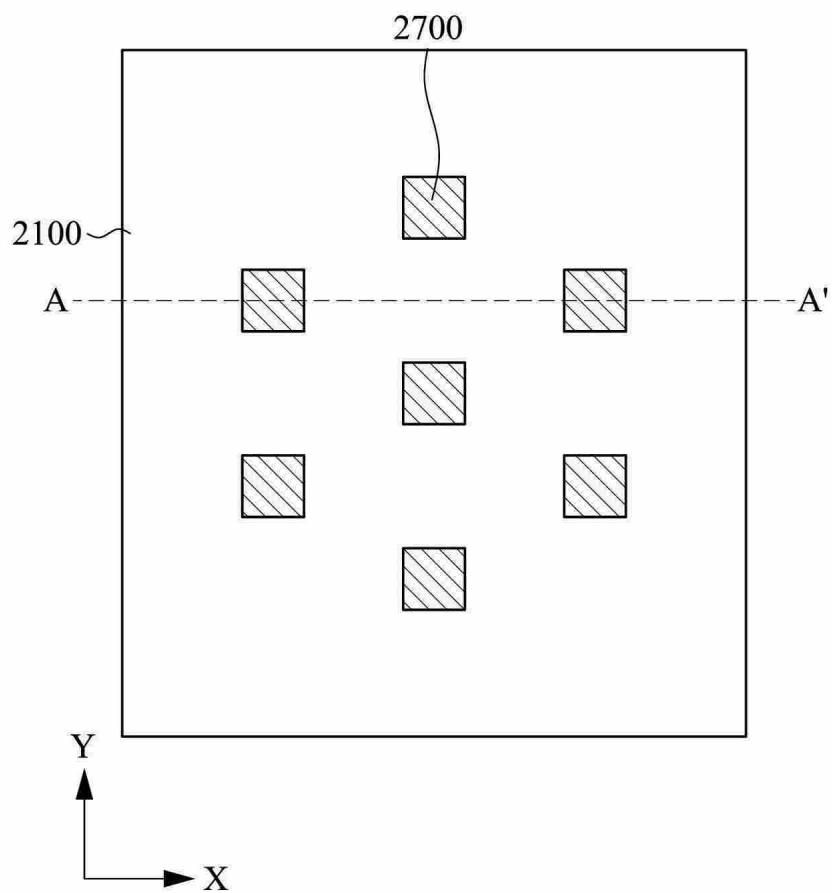


圖 26B

(54)

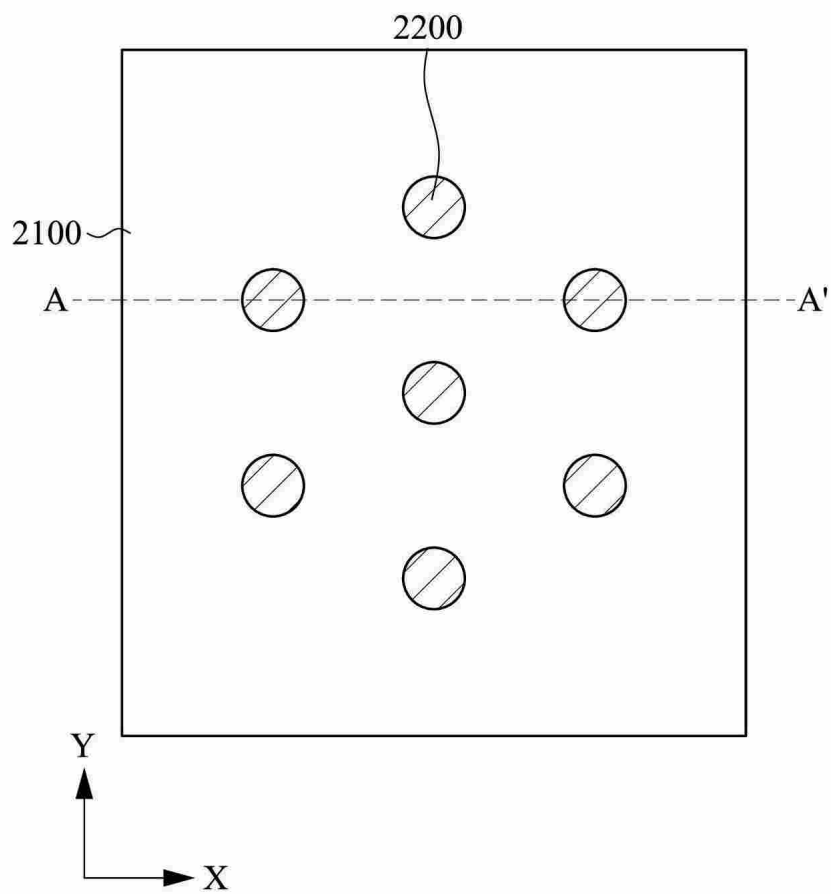


圖 27B

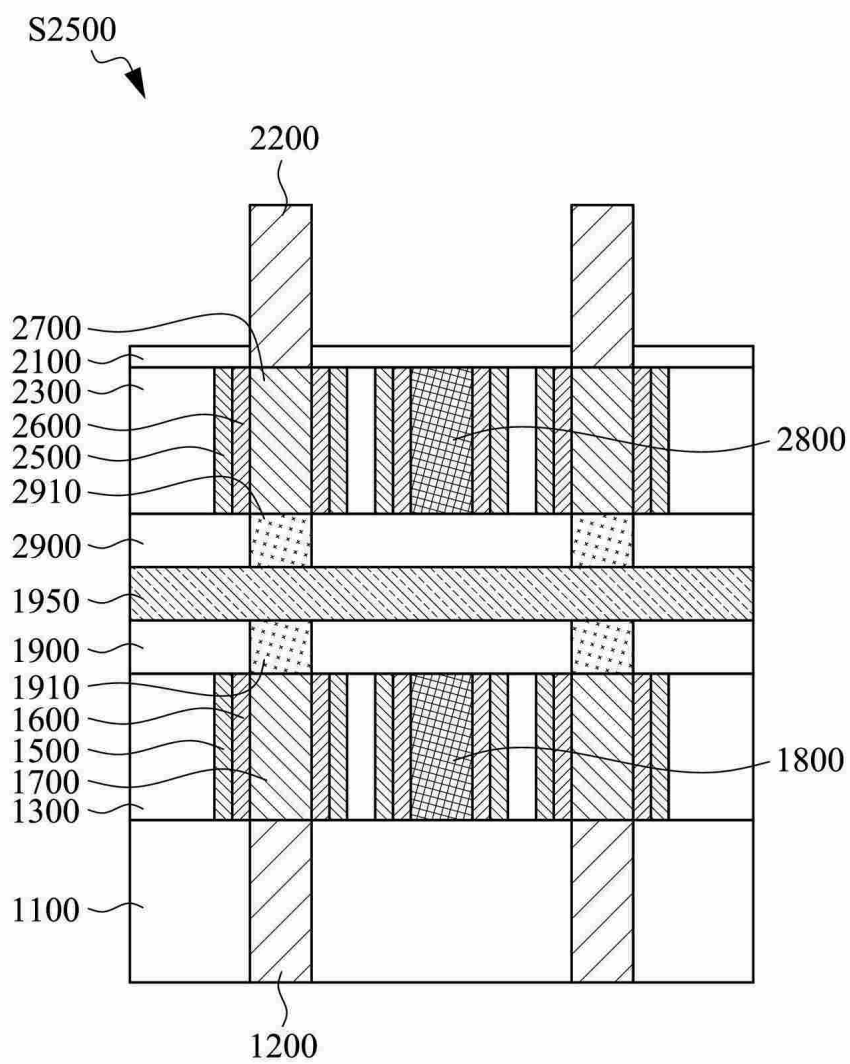


圖 28A

(56)

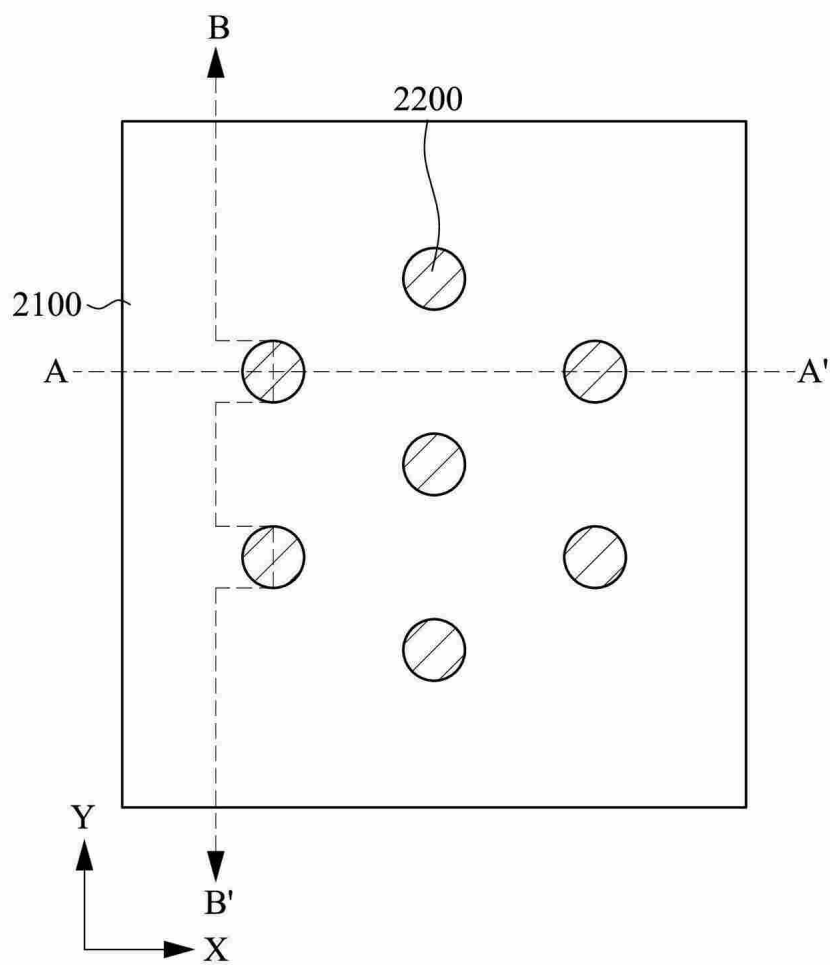


圖 28B

(57)

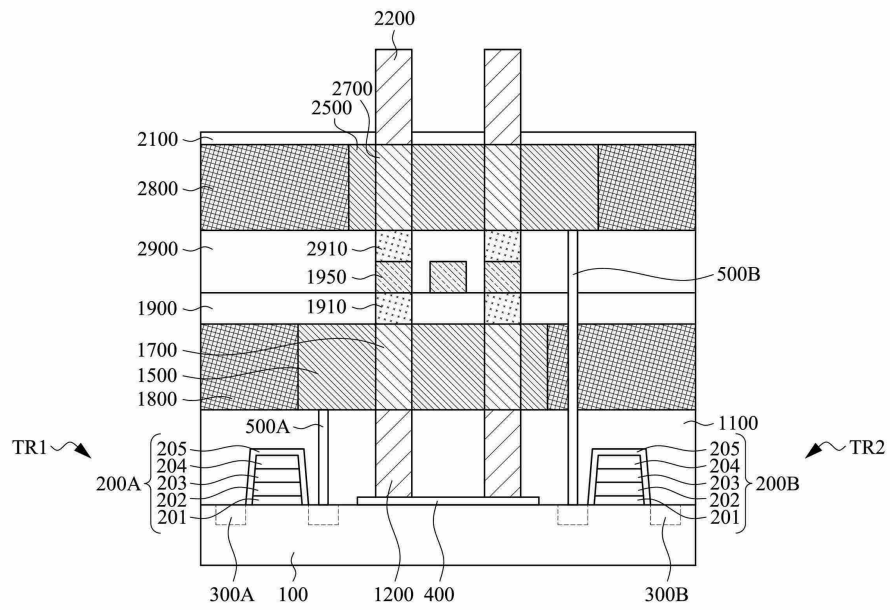


圖 28C