

【11】證書號數：I939133

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : *G11C7/18* (2006.01) *G11C8/14* (2006.01)
 H10W20/40 (2026.01) *H10W72/00* (2026.01)
 H10D84/80 (2025.01) *H10D62/60* (2025.01)
 H10D62/10 (2025.01)

發明

全 36 頁

【54】名 稱：半導體裝置

【21】申請案號：114128877

【22】申請日：中華民國 114 (2025) 年 07 月 30 日

【30】優先權：2025/03/17

美國

19/081,162

【72】發明人：許平 (TW) HSU, PING

【71】申請人：南亞科技股份有限公司

NANYA TECHNOLOGY
CORPORATION

新北市泰山區南林路 98 號

【74】代理人：陳長文；馮博生

【56】參考文獻：

TW 202533411A

US 2008/0278995A1

審查人員：蔡明宏

【57】申請專利範圍

1. 一種半導體元件，包括：
一基底，具有複數個摻雜區；
兩位元線結構，形成在該基底上，沿一第一方向延伸，並彼此分離；
兩分隔層，設置於該基底上，沿垂直於該第一方向的一第二方向延伸，沿該第一方向彼此分離，並同時接觸該兩位元線結構；以及
一單元接觸結構，配置在該基底上，包括：
一底部接觸層，設置於該基底上並透過該兩位元線結構和該兩分隔層封閉；
一襯層，設置於該基底與該底部接觸層之間、於該兩位元線結構與該底部接觸層之間，以及於該兩分隔層與該底部接觸層之間；以及
一頂部接觸層，設置於該襯層和該底部接觸層上，
其中該兩位元線結構包括配置在其間的一氣隙，
其中該複數個摻雜區是由磷化矽、磷摻雜矽碳、碳化矽、矽鍺、矽-鍺-錫合金或矽-鍺-硼合金所形成。
2. 如請求項 1 所述之半導體元件，其中該底部接觸層包括鎢、鈦或氮化鈦。
3. 如請求項 2 所述之半導體元件，其中該頂部接觸層包括一材料，其中該頂部接觸層的該材料與該底部接觸層的一材料相同。
4. 如請求項 2 所述之半導體元件，其中該頂部接觸層的一頂部表面低於該複數個位元線結構的頂部表面。
5. 如請求項 4 所述之半導體元件，其中該襯層包括 n 型摻雜物或 p 型摻雜物。
6. 如請求項 4 所述之半導體元件，其中該襯層包括摻雜多晶矽、摻雜多晶鍺或摻雜多晶矽鍺。

7. 如請求項 4 所述之半導體元件，其中從一頂視透視圖來看，該底部接觸層包括一矩形剖面輪廓或一正方形剖面輪廓。
8. 如請求項 1 所述之半導體元件，更包括複數個間隔結構，設置於該單元接觸結構與該兩位元線結構之間。
9. 如請求項 8 所述之半導體元件，其中該複數個間隔結構分別包括設置於該兩位元線結構當中之二者與該單元接觸結構之間的一位元線內間隔層、設置於該位元線內間隔層與該單元接觸結構之間的一位元線中間間隔層，以及設置於該位元線中間間隔層與該單元接觸結構之間的一位元線外側間隔層。

圖式簡單說明

參閱實施方式與申請專利範圍合併考量圖式時，可得更全面了解本申請案之揭示內容，圖式中相同的元件符號係指相同的元件。

圖 1 為流程圖，例示本揭露實施例之半導體元件的製造方法。

圖 2 為示意圖，例示本揭露實施例之中間半導體元件的俯視圖。

圖 3 為示意圖，例示沿本揭露之圖 2 中 A-A'線和 B-B'線取得的剖面圖。

圖 4 為示意圖，例示本揭露實施例之中間半導體元件的俯視圖。

圖 5 為示意圖，例示沿本揭露之圖 4 中 A-A'線和 B-B'線取得的剖面圖。

圖 6 為示意圖，例示本揭露實施例之中間半導體元件的俯視圖。

圖 7 為示意圖，例示沿本揭露之圖 6 中 A-A'線和 B-B'線取得的剖面圖。

圖 8 為示意圖，例示本揭露實施例之中間半導體元件的俯視圖。

圖 9 為示意圖，例示沿本揭露之圖 8 中 A-A'線和 B-B'線取得的剖面圖。

圖 10 為示意圖，例示本揭露實施例之中間半導體元件的俯視圖。

圖 11 為示意圖，例示沿本揭露之圖 10 中 A-A'線和 B-B'線取得的剖面圖。

圖 12 為示意圖，例示本揭露實施例之中間半導體元件的俯視圖。

圖 13 為示意圖，例示沿本揭露之圖 12 中 A-A'線和 B-B'線取得的剖面圖。

圖 14 為示意圖，例示本揭露實施例之中間半導體元件的俯視圖。

圖 15 為示意圖，例示沿本揭露之說明製造半導體元件的製程部分之圖 14 中 A-A'線和 B-B'線取得的剖面圖。

圖 16 為示意圖，例示沿本揭露之說明製造半導體元件的製程部分之圖 14 中 A-A'線和 B-B'線取得的剖面圖。

圖 17 為示意圖，例示本揭露實施例之中間半導體元件的俯視圖。

圖 18 為示意圖，例示沿本揭露之圖 17 中 A-A'線和 B-B'線取得的示意剖面圖。

圖 19 為示意圖，例示本揭露實施例之中間半導體元件的俯視圖。

圖 20 為示意圖，例示沿本揭露之說明製造半導體元件的製程部分之圖 19 中 A-A'線和 B-B'線取得的剖面圖。

圖 21 為示意圖，例示沿本揭露之說明製造半導體元件的製程部分之圖 19 中 A-A'線和 B-B'線取得的剖面圖。

圖 22 為示意圖，例示沿本揭露之說明製造半導體元件的製程部分之圖 19 中 A-A'線和 B-B'線取得的剖面圖。

圖 23 為示意圖，例示沿本揭露之說明製造半導體元件的製程部分之圖 19 中 A-A'線和 B-B'線取得的剖面圖。

圖 24 為示意圖，例示本揭露實施例之中間半導體元件的俯視圖。

圖 25 為示意圖，例示沿本揭露之說明製造半導體元件的製程部分之圖 24 中 A-A'線和 B-B'線取得的剖面圖。

(3)

圖 26 為示意圖，例示沿本揭露之說明製造半導體元件的製程部分之圖 24 中 A-A'線和 B-B'線取得的剖面圖。

圖 27 為示意圖，例示本揭露實施例之中間半導體元件的俯視圖。

圖 28 為示意圖，例示沿本揭露之說明製造半導體元件的製程部分之圖 27 中 A-A'線和 B-B'線取得的剖面圖。

圖 29 為示意圖，例示沿本揭露之說明製造半導體元件的製程部分之圖 27 中 A-A'線和 B-B'線取得的剖面圖。

圖 30 為示意圖，例示本揭露實施例之中間半導體元件的俯視圖。

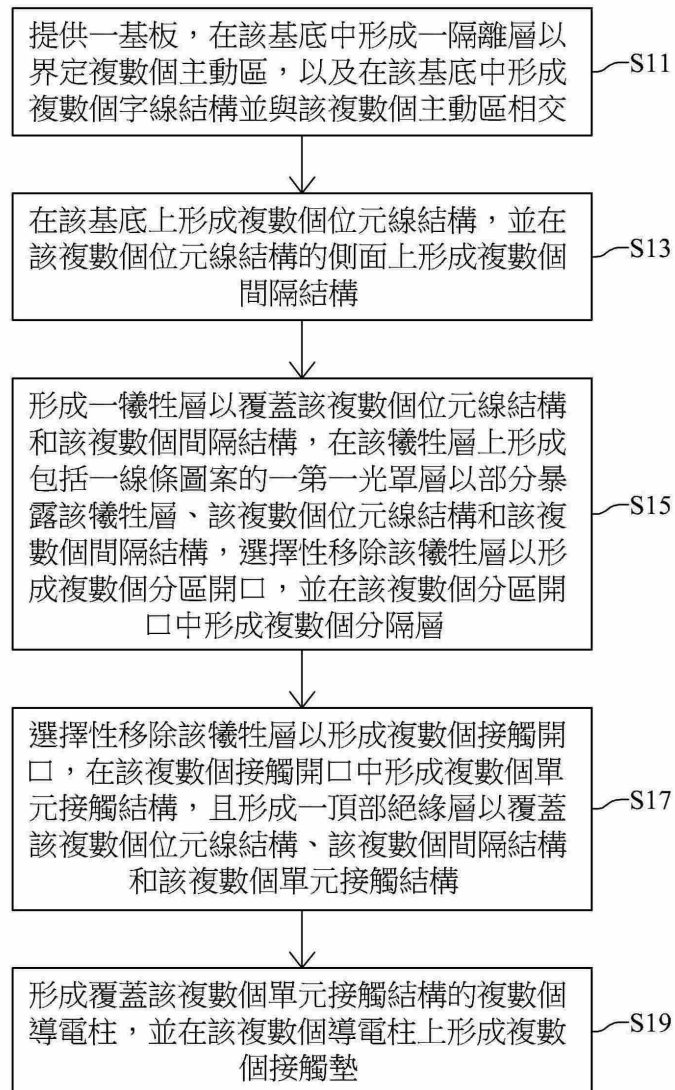
圖 31 為示意圖，例示沿本揭露之說明製造半導體元件的製程部分之圖 30 中 A-A'線和 C-C'線取得的剖面圖。

圖 32 為示意圖，例示沿本揭露之說明製造半導體元件的製程部分之圖 30 中 A-A'線和 C-C'線取得的剖面圖。

圖 33 為示意圖，例示沿本揭露之說明製造半導體元件的製程部分之圖 30 中 A-A'線和 C-C'線取得的剖面圖。

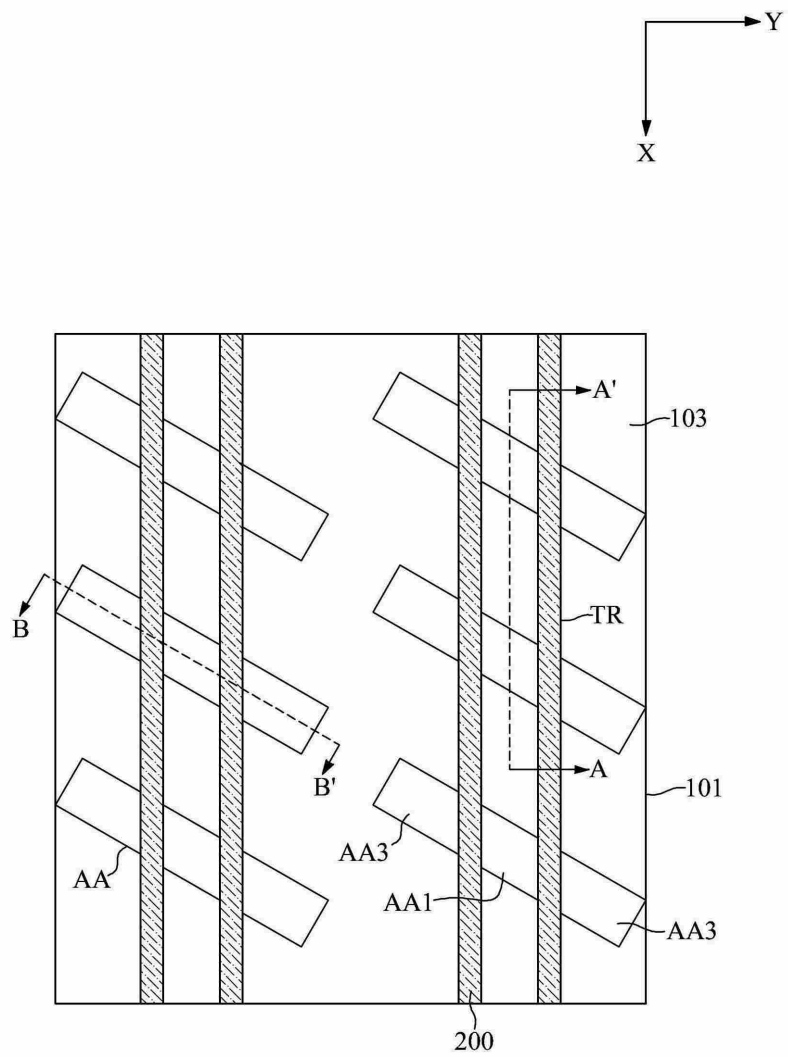
(4)

10



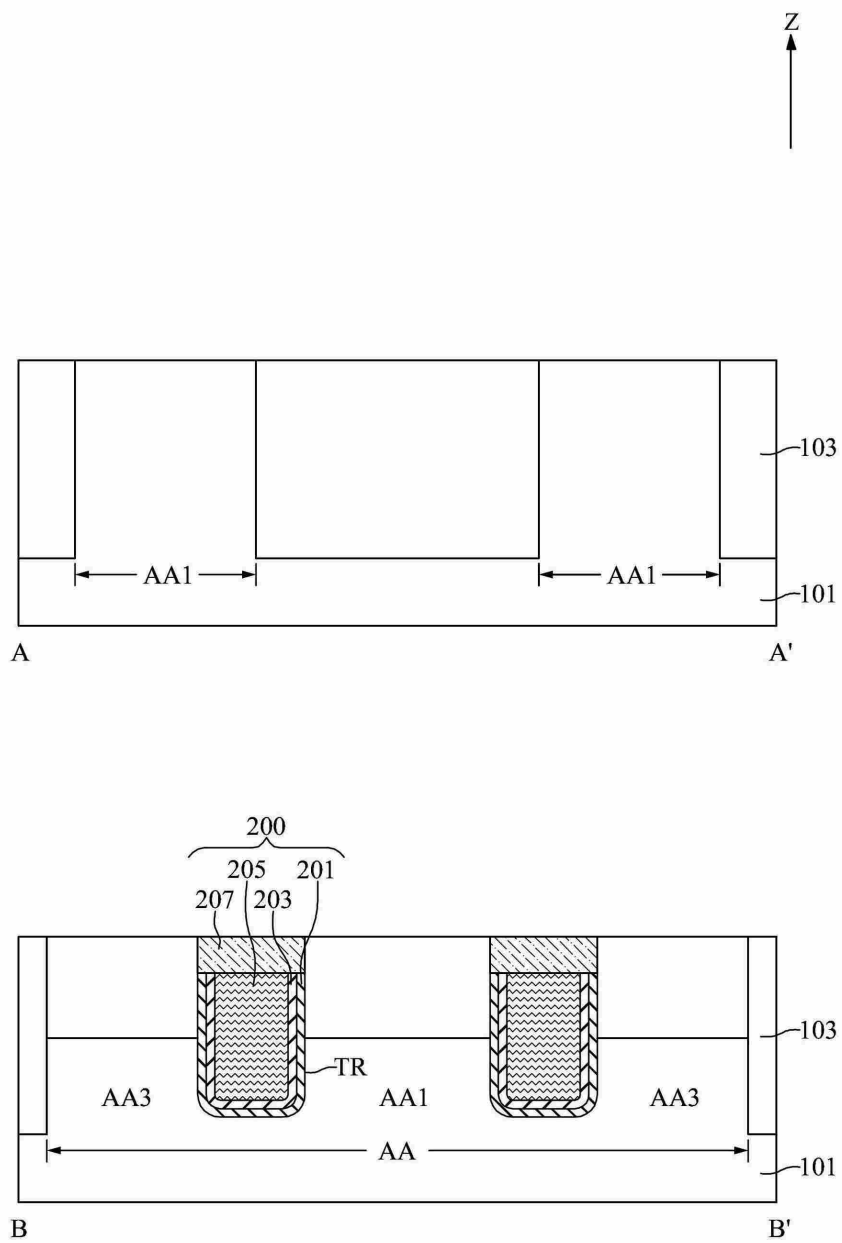
【圖1】

(5)



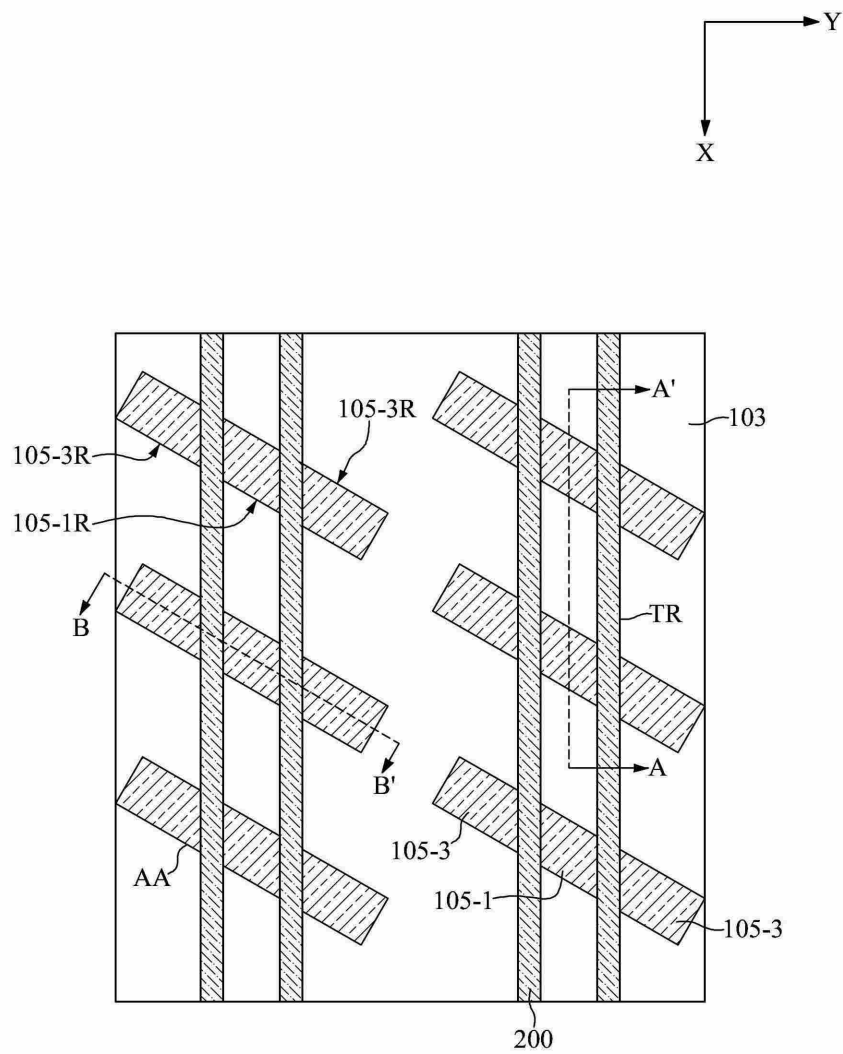
【圖2】

(6)



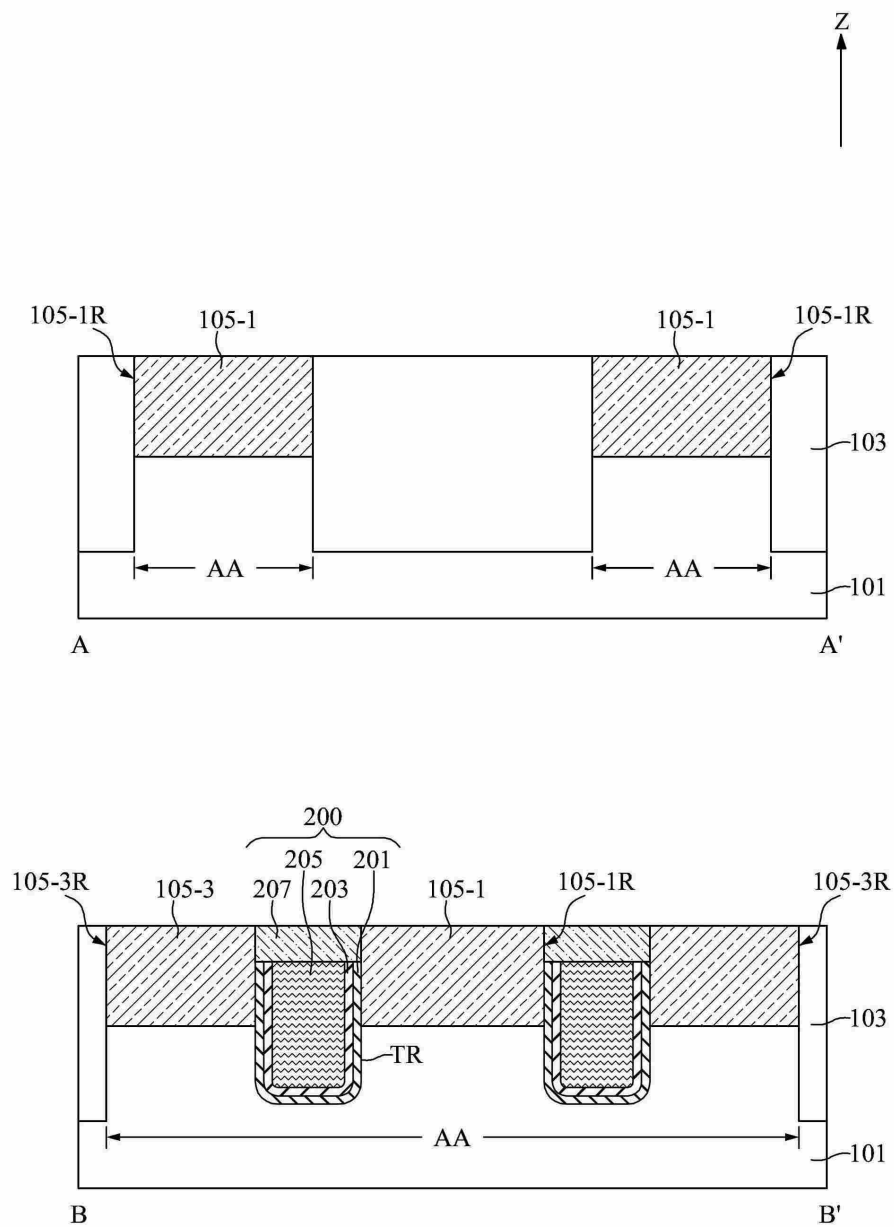
【圖3】

(7)



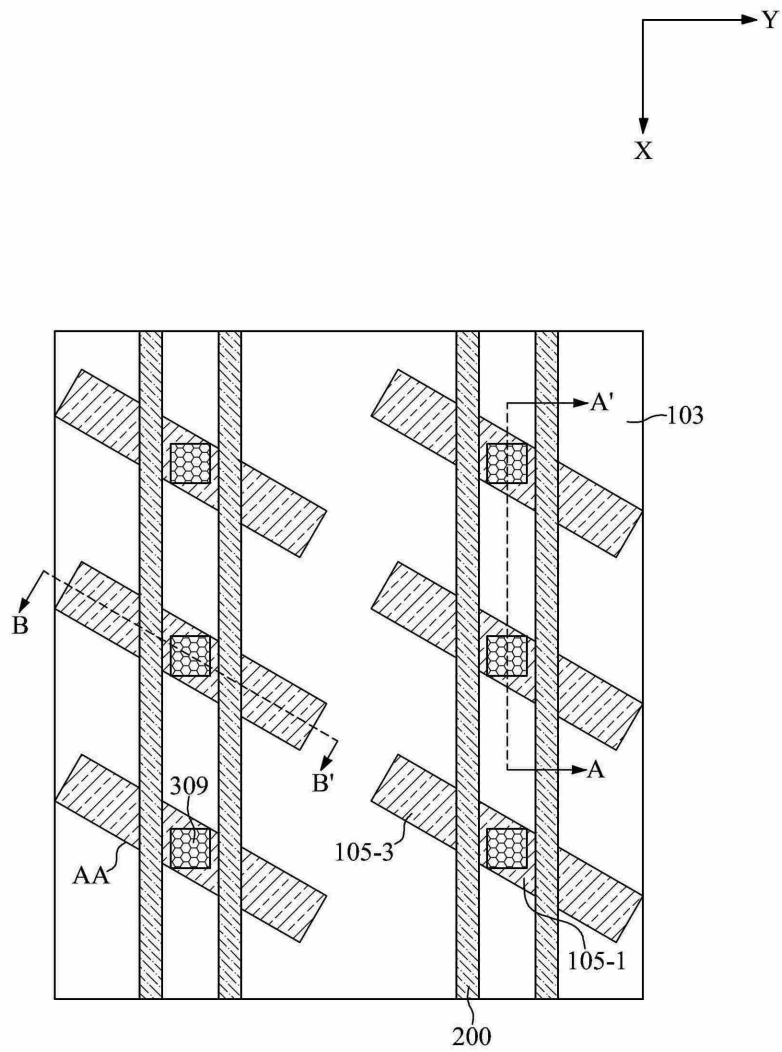
【圖4】

(8)



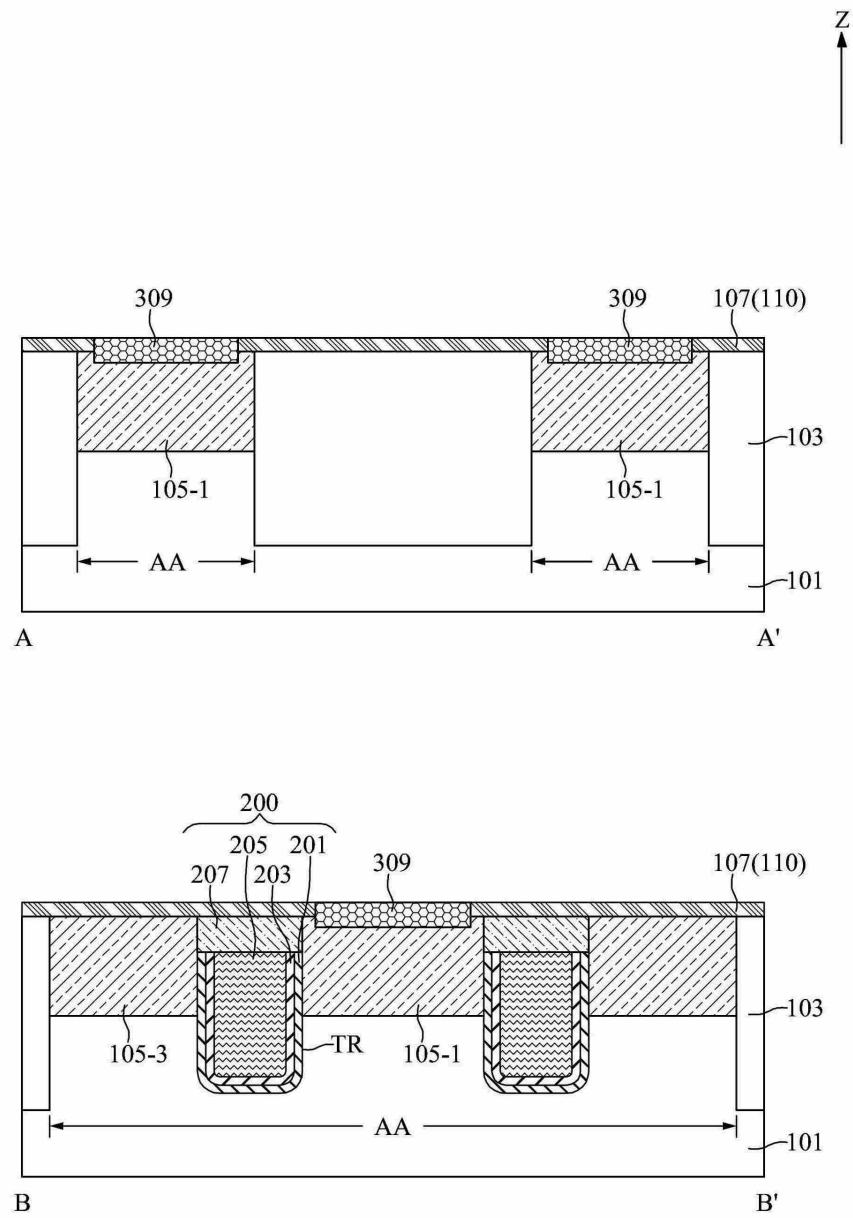
【圖5】

(9)



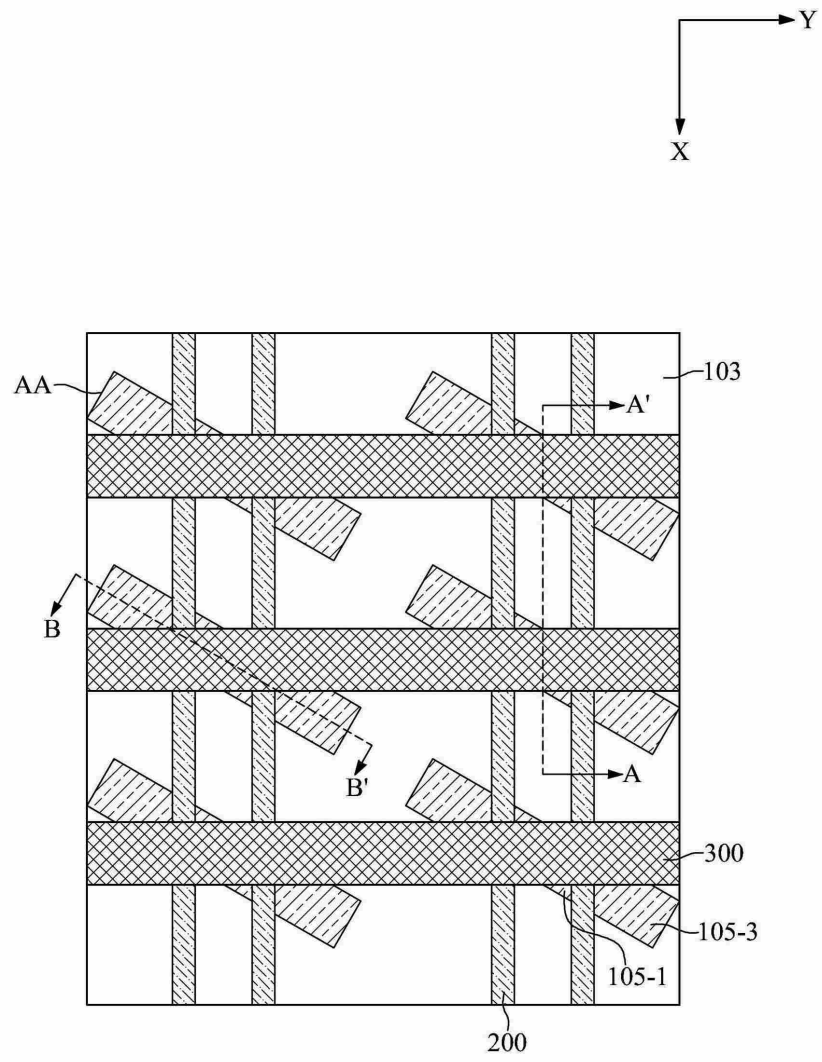
【圖6】

(10)



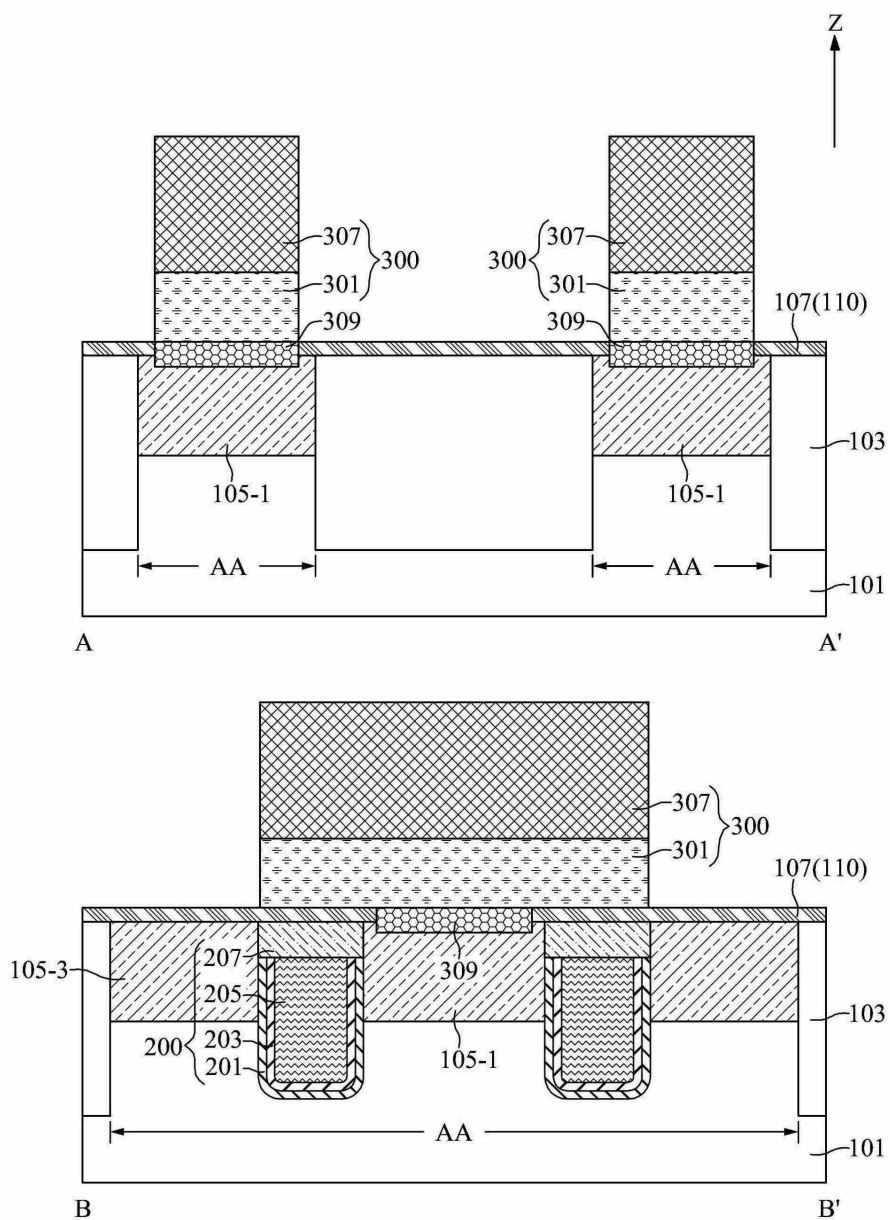
【圖7】

(11)



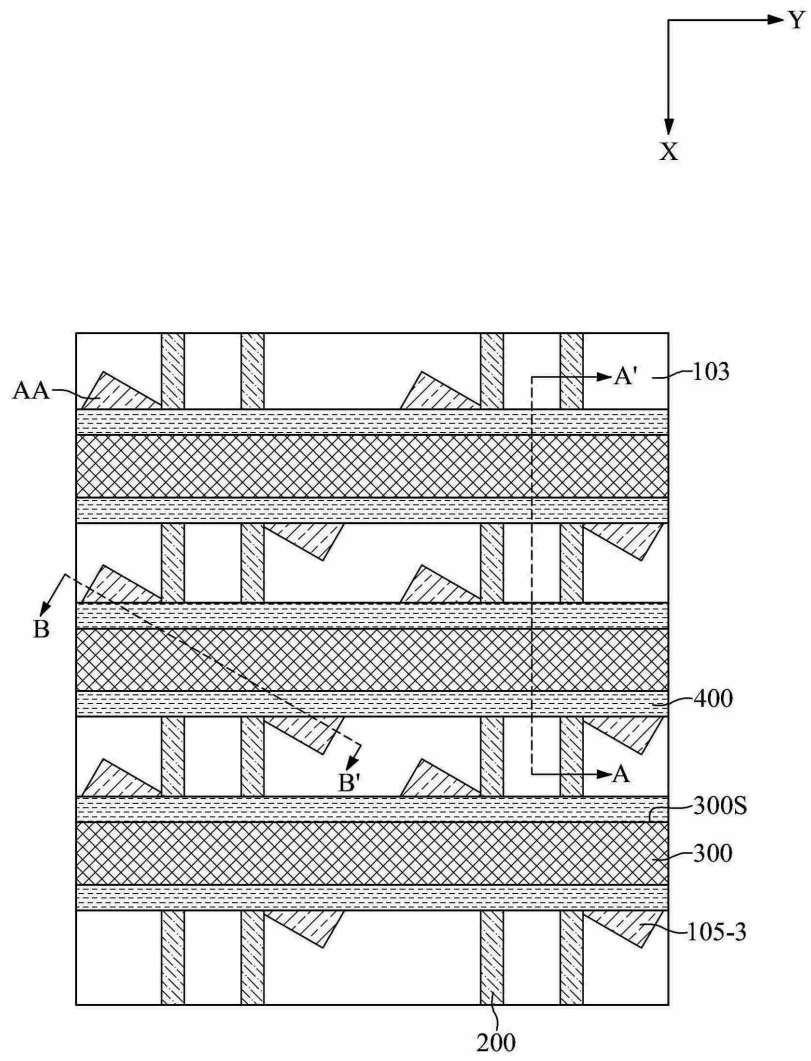
【圖8】

(12)



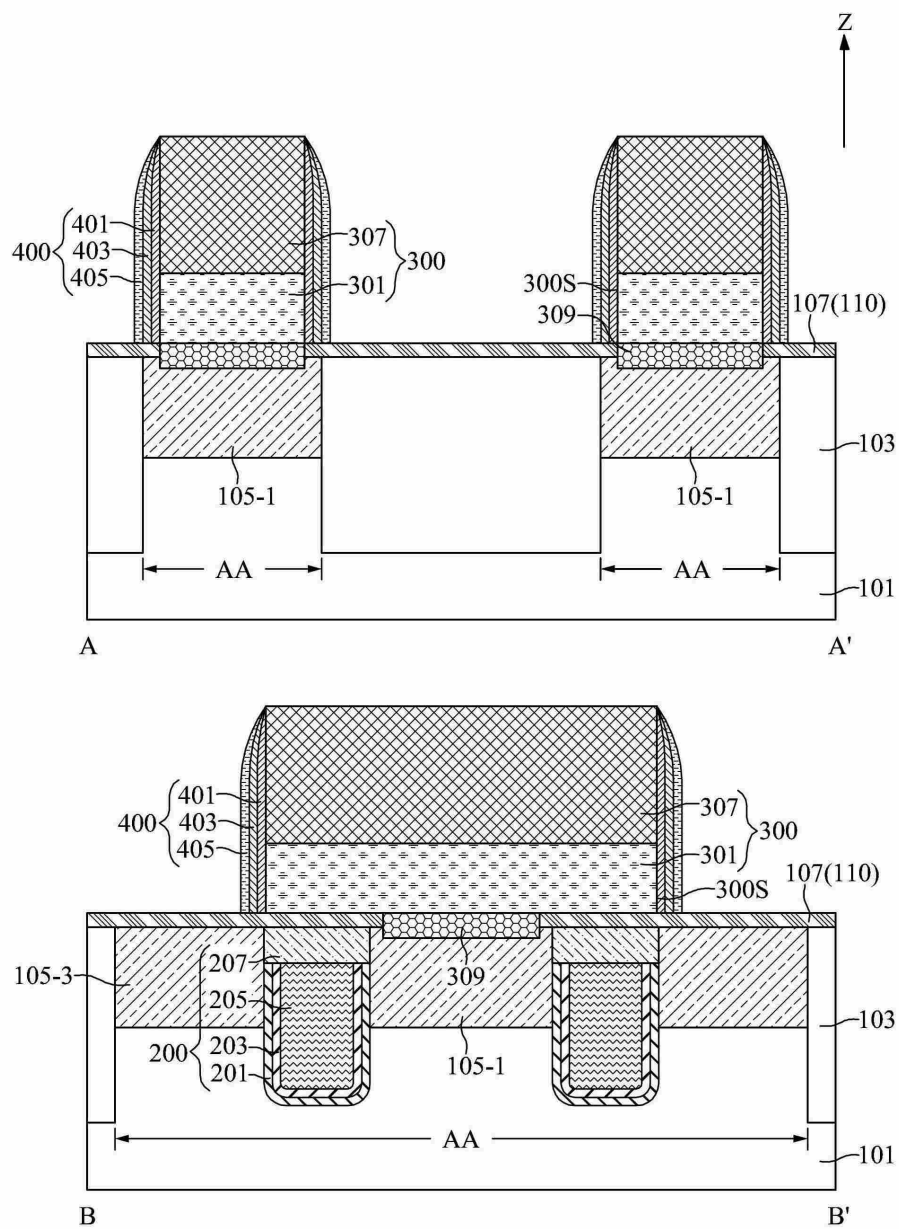
【圖9】

(13)



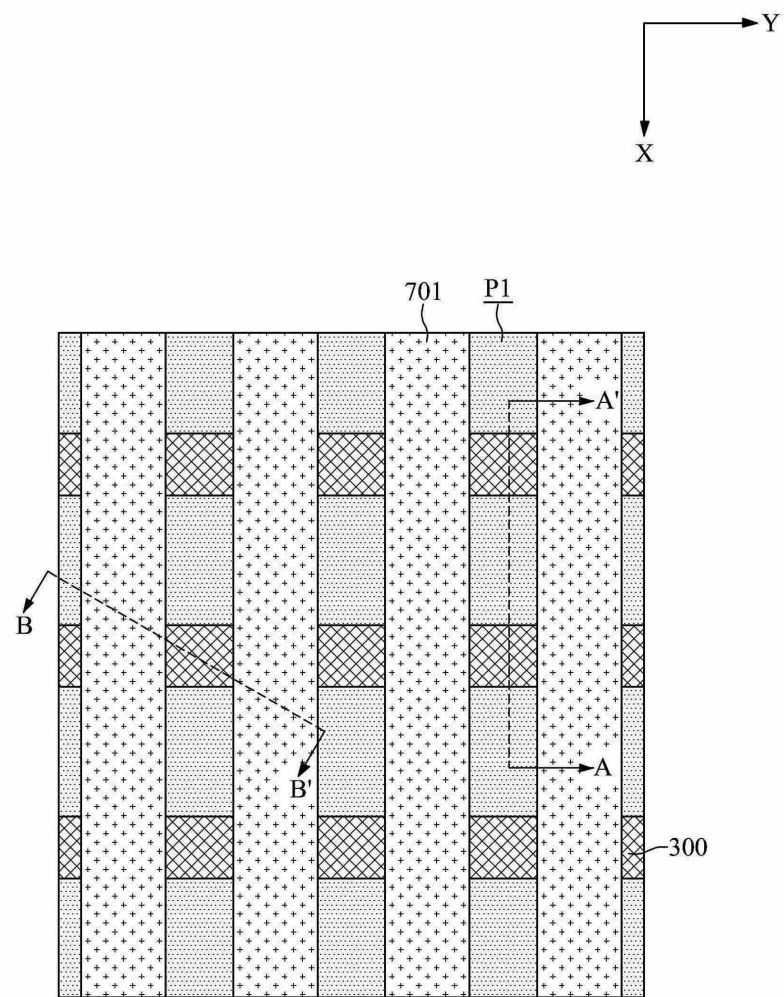
【圖10】

(14)



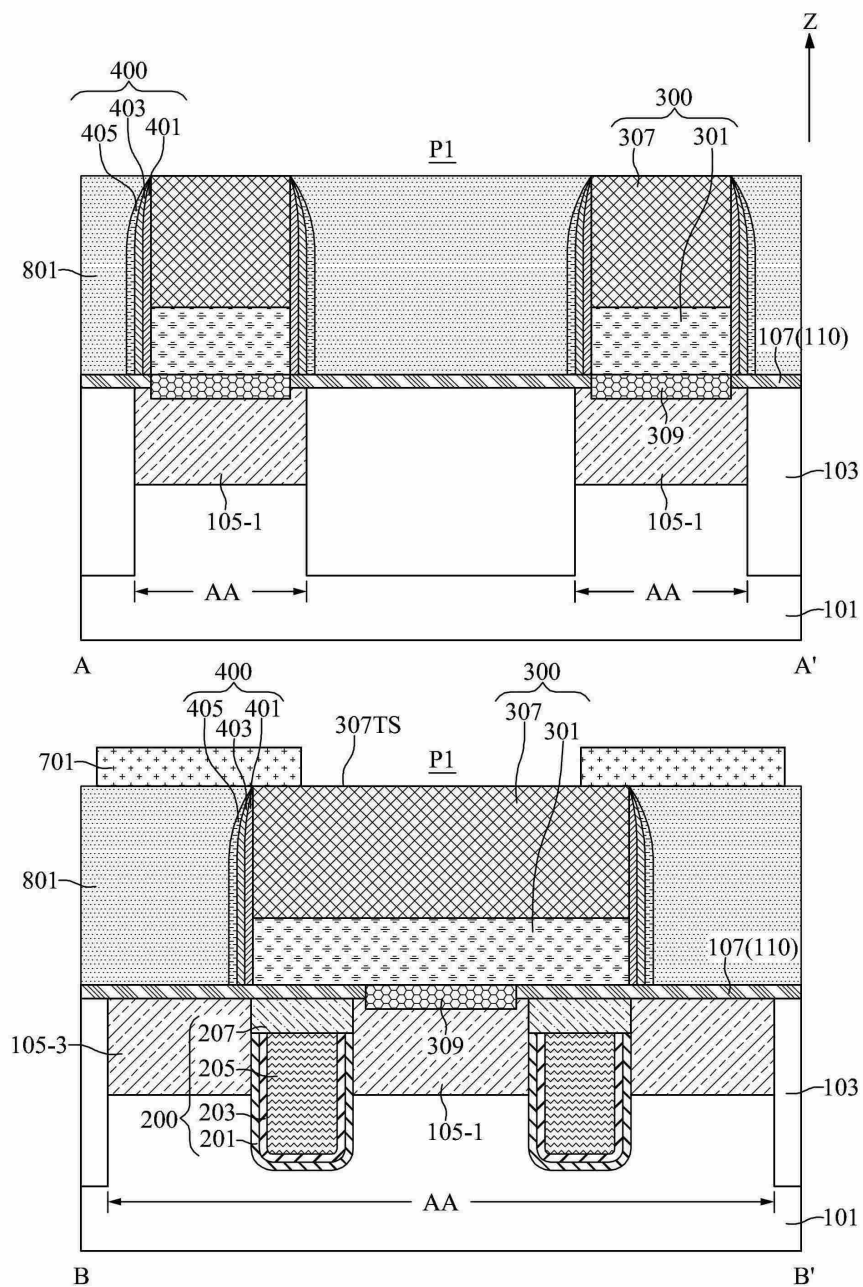
【圖11】

(15)



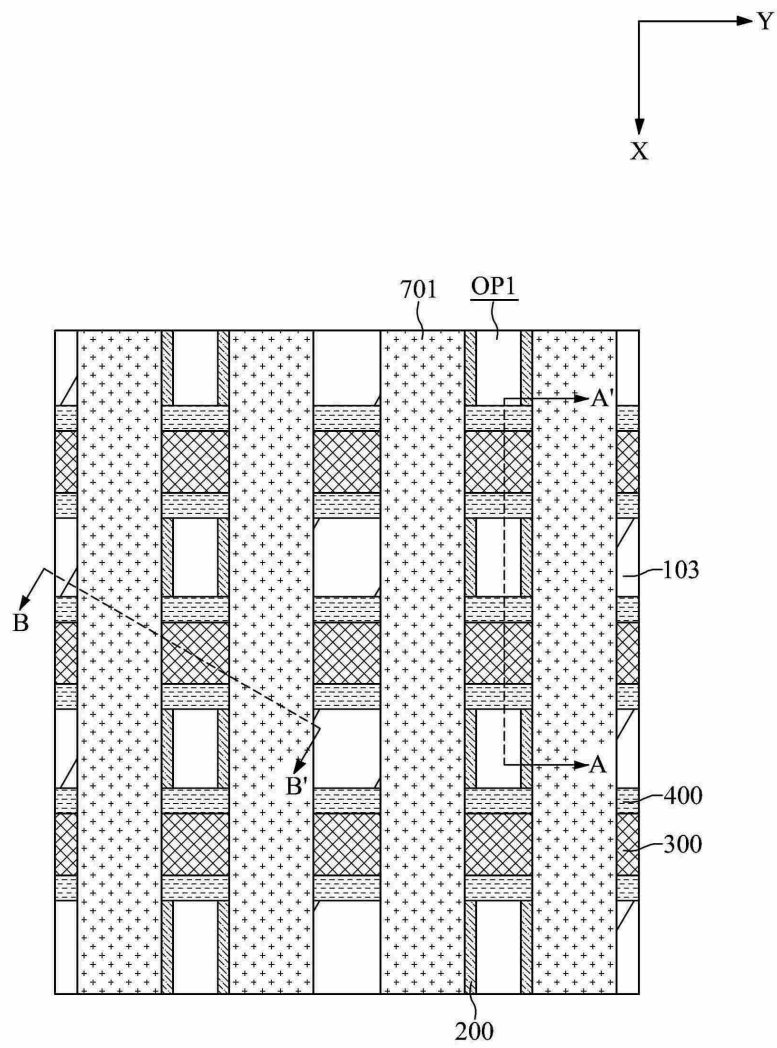
【圖12】

(16)



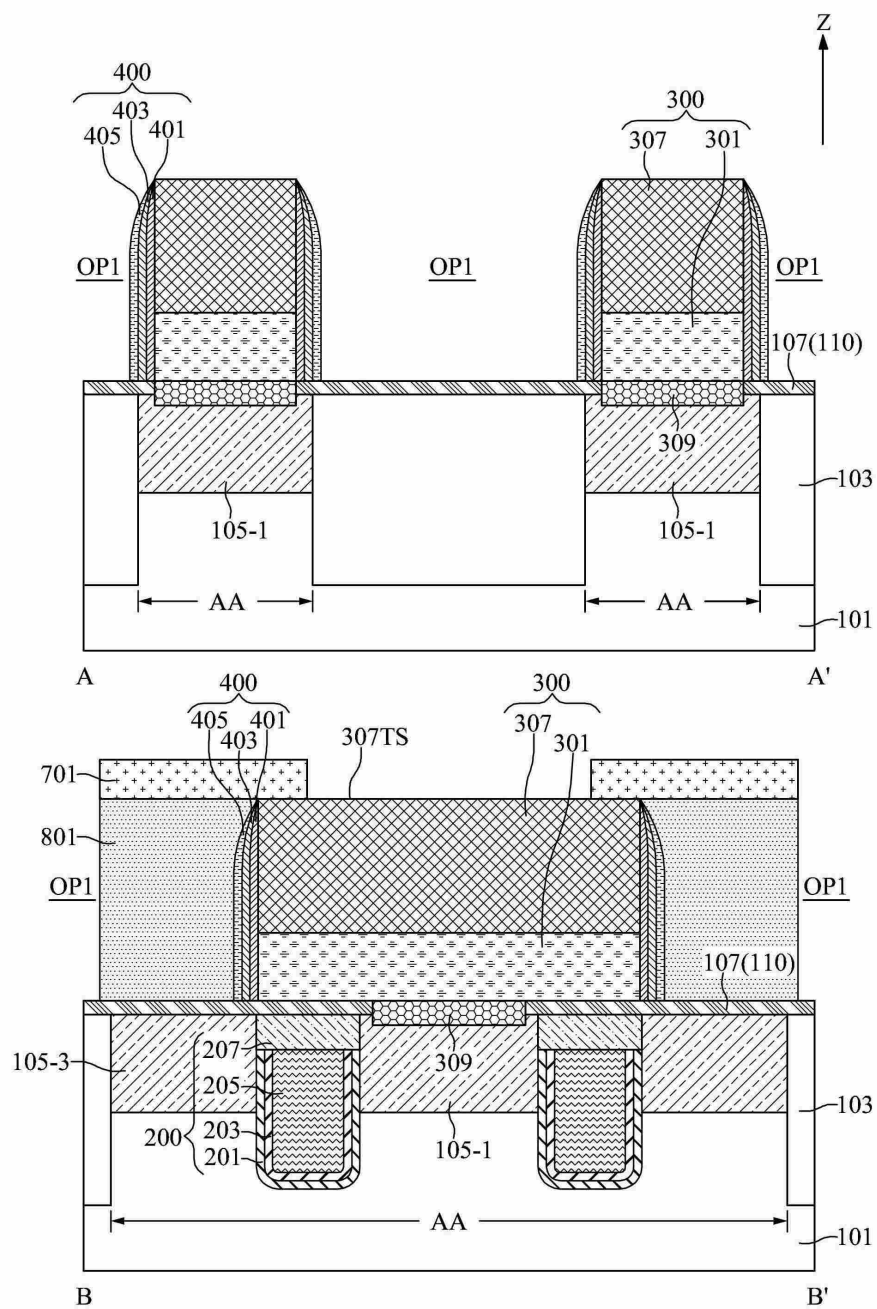
【圖13】

(17)



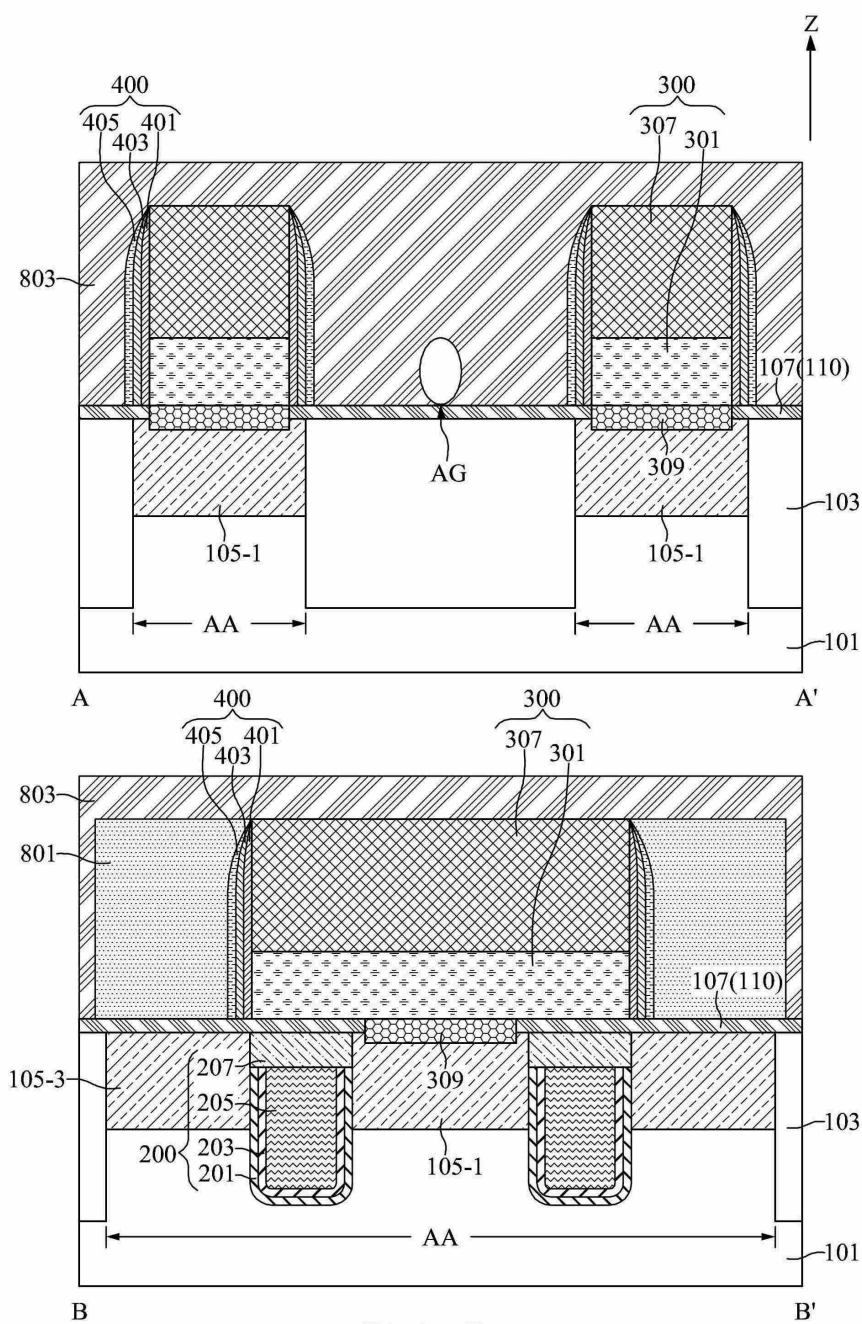
【圖14】

(18)



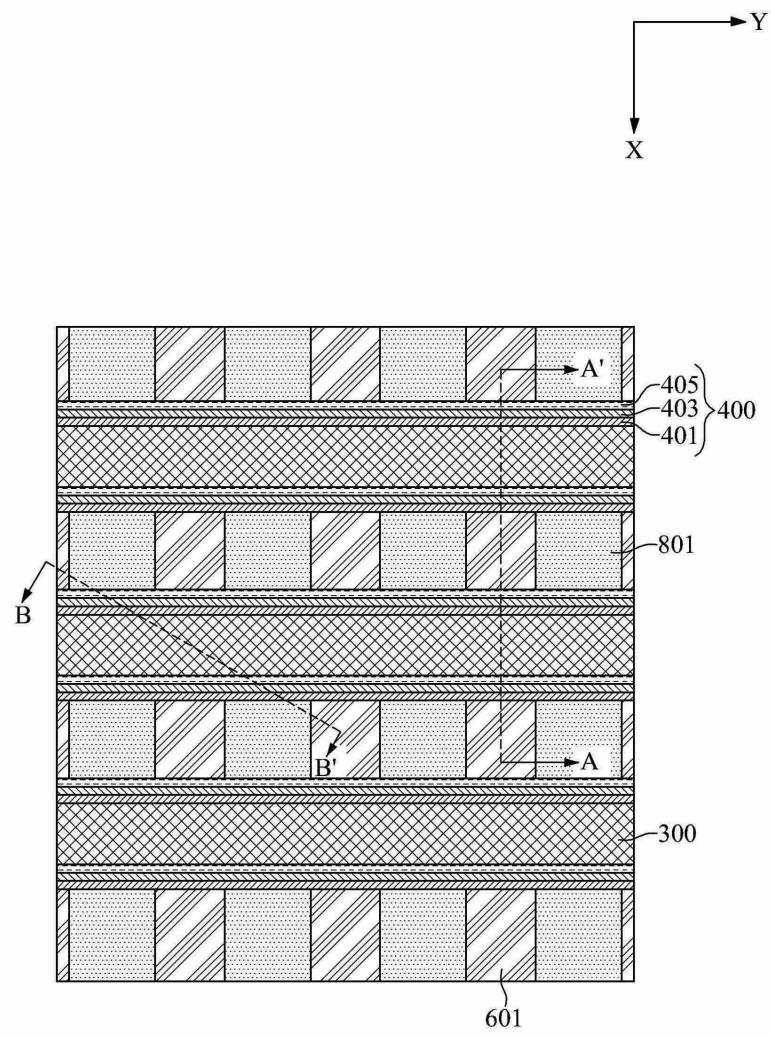
【圖15】

(19)



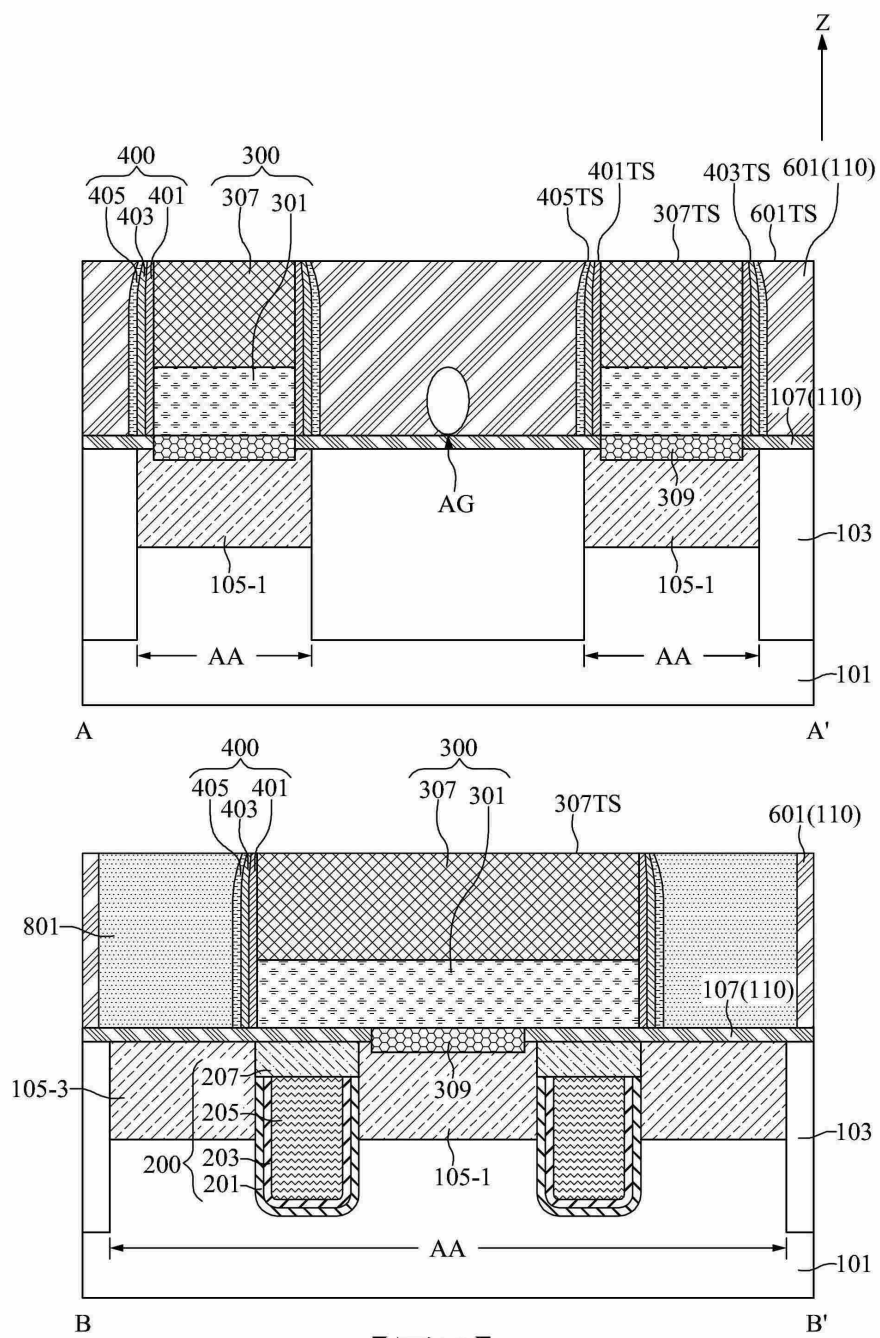
【圖16】

(20)



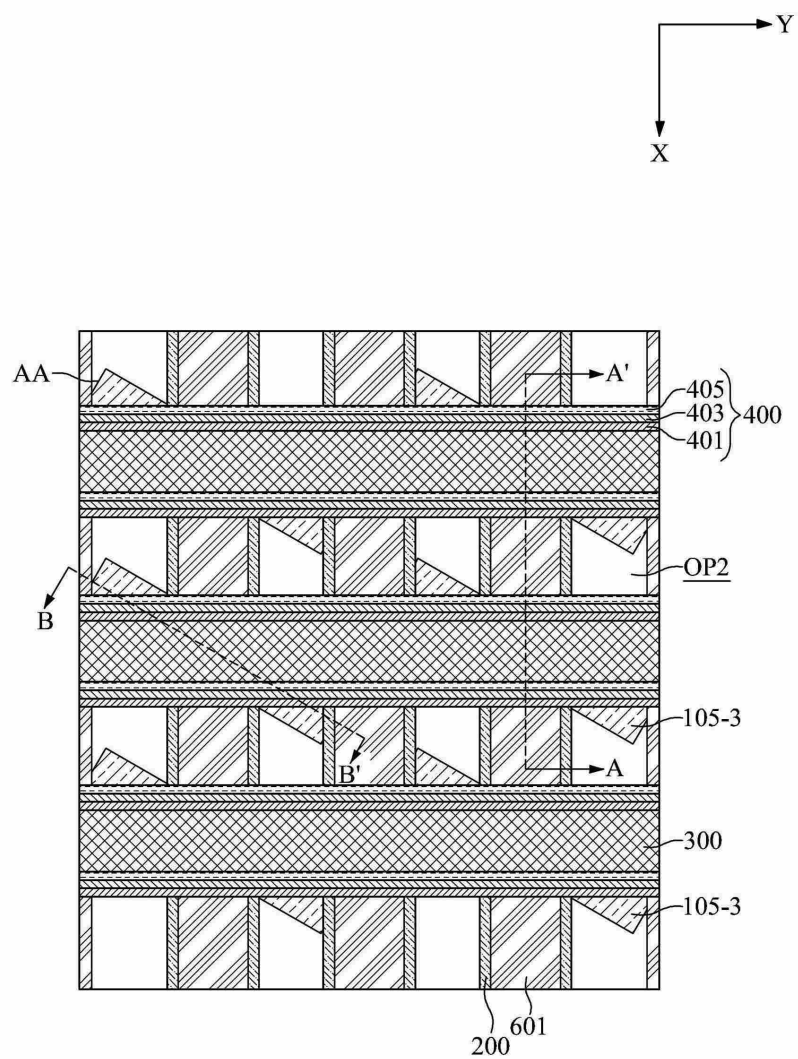
【圖17】

(21)



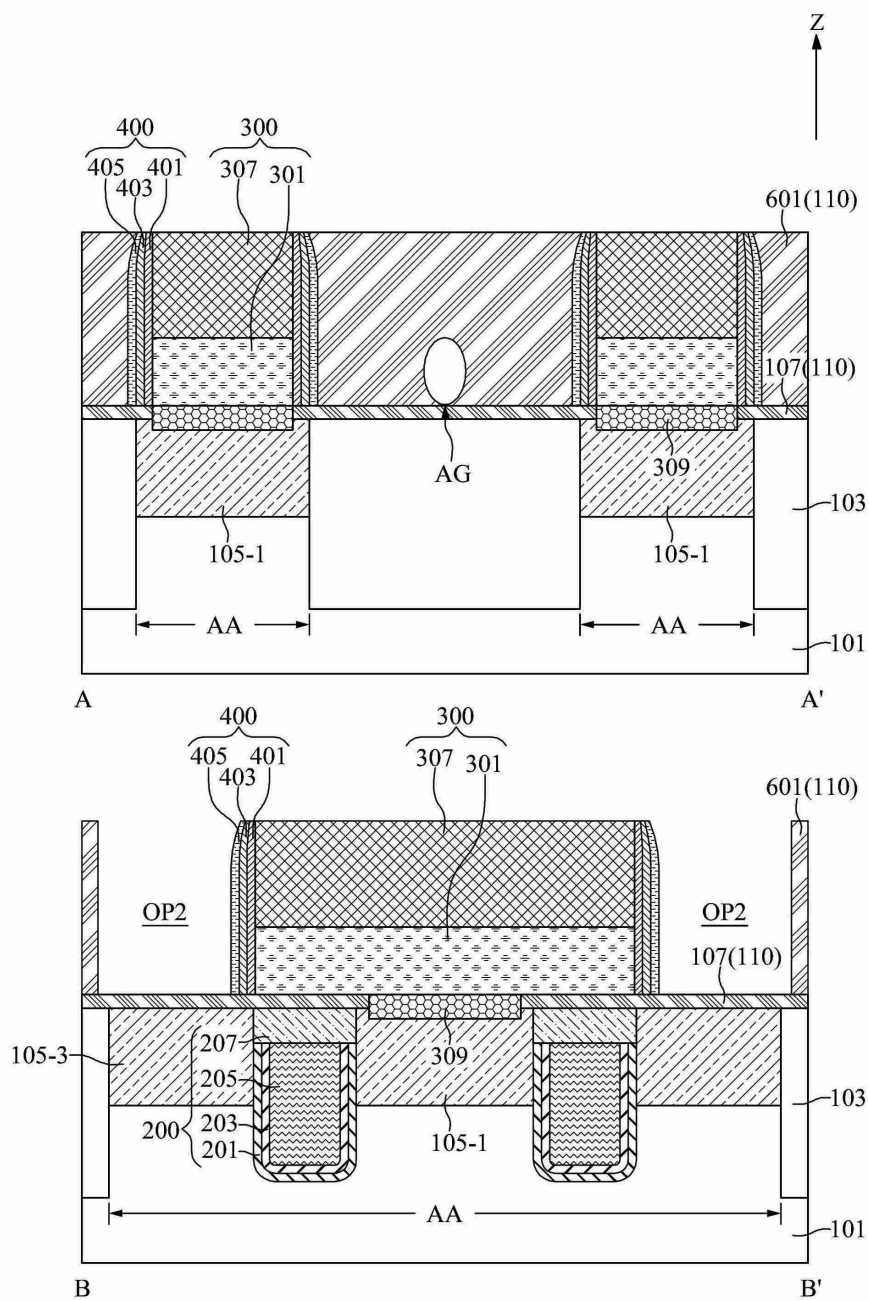
【圖18】

(22)



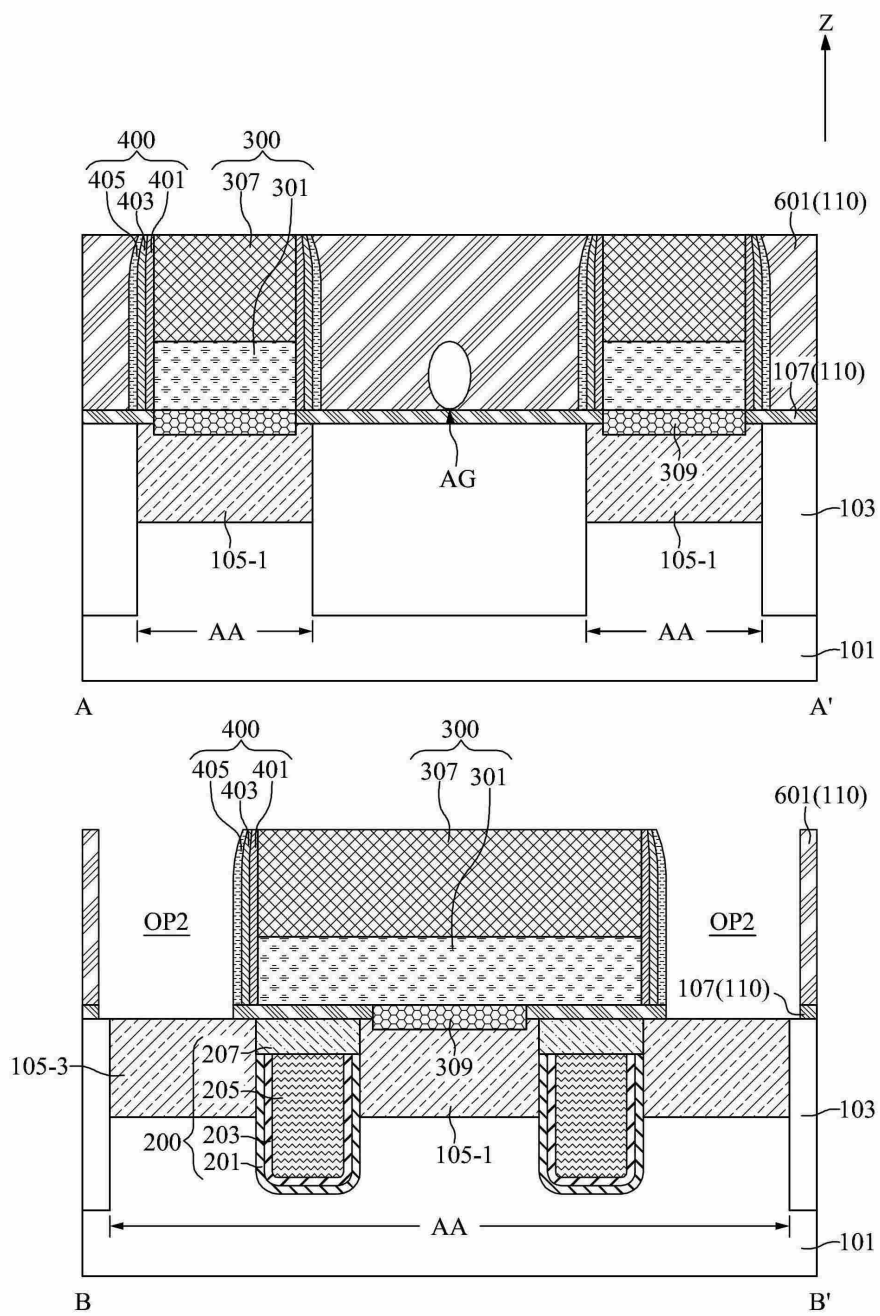
【圖19】

(23)



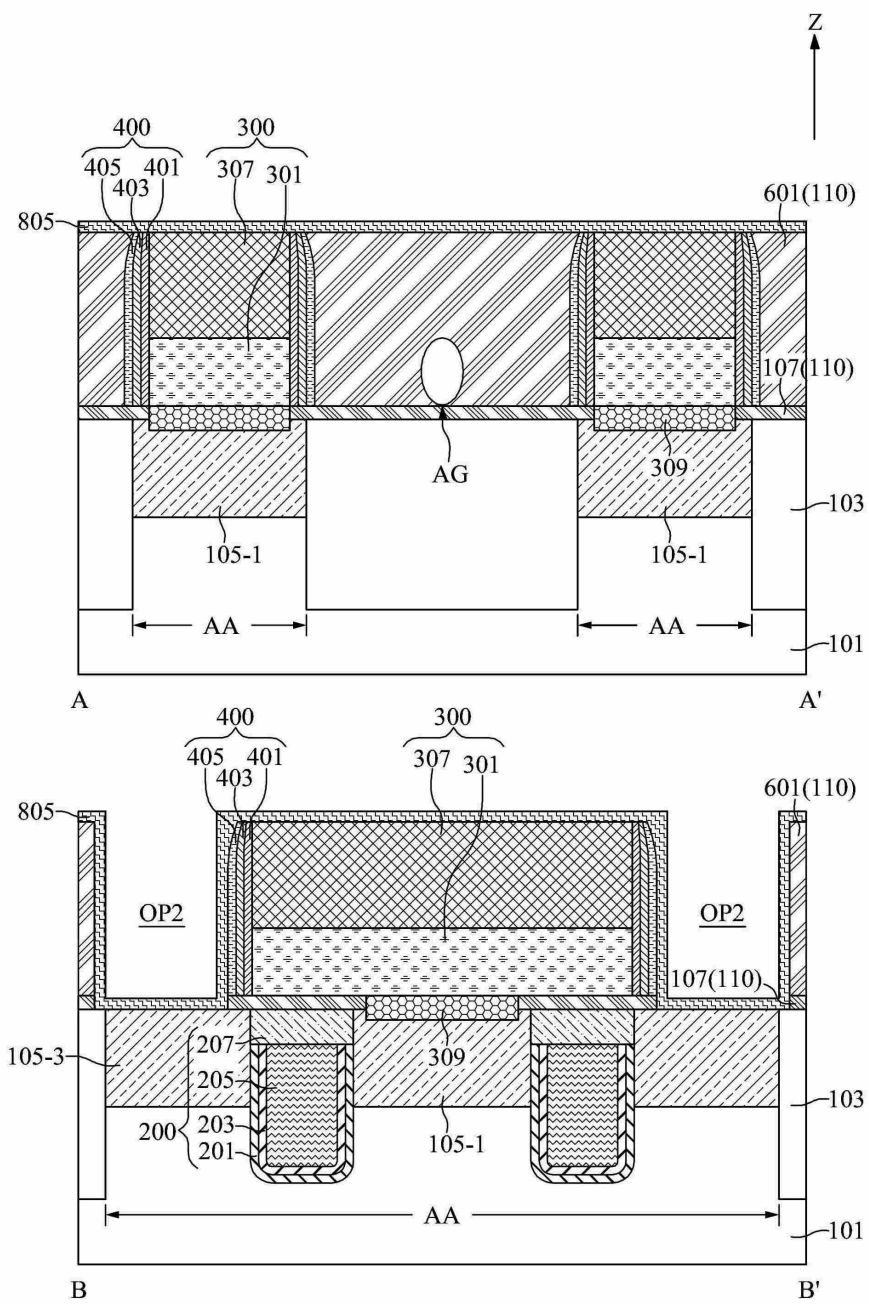
【圖20】

(24)



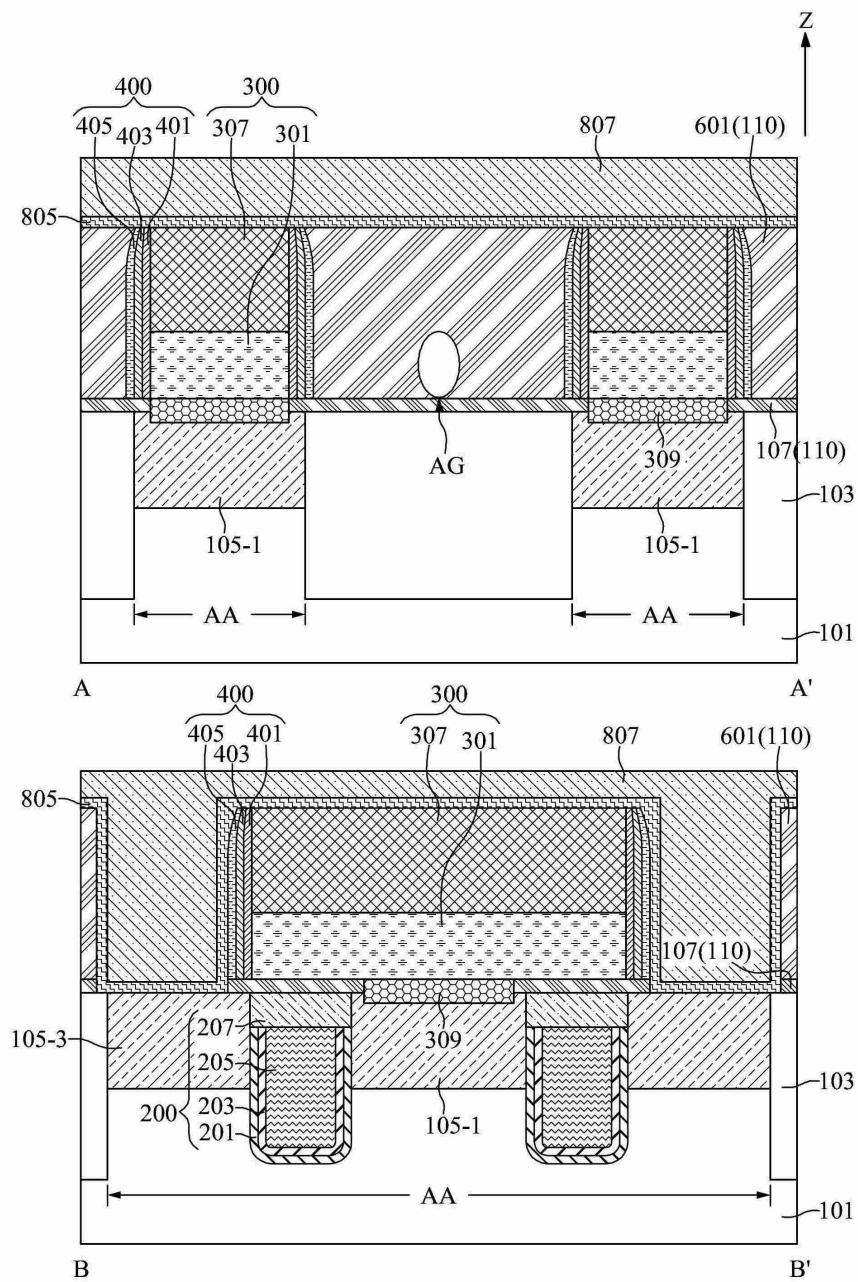
【圖21】

(25)



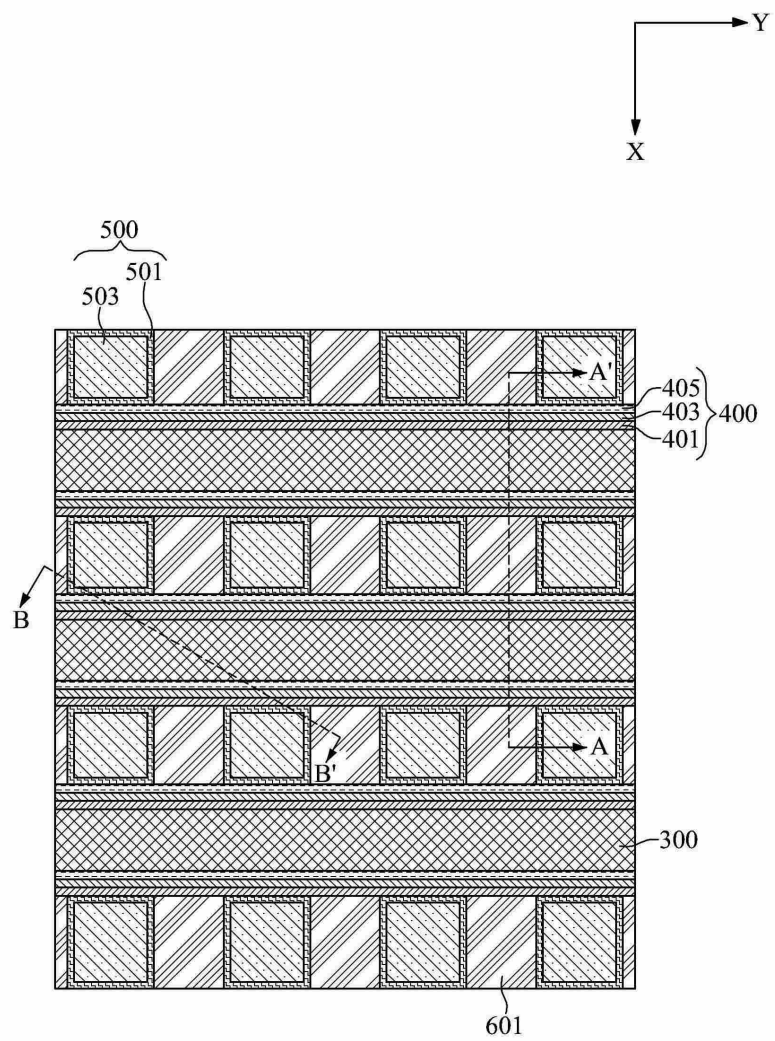
【圖22】

(26)



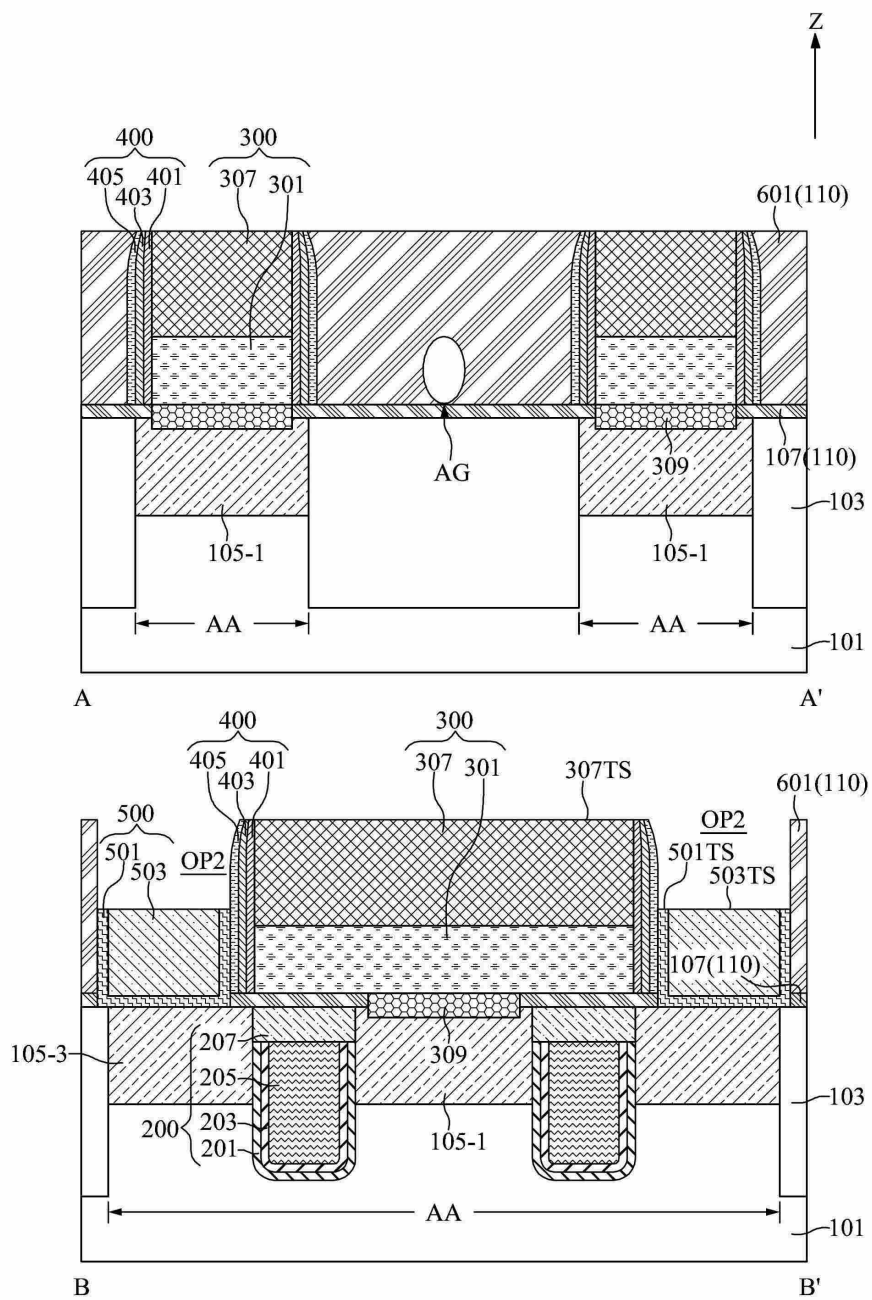
【圖23】

(27)

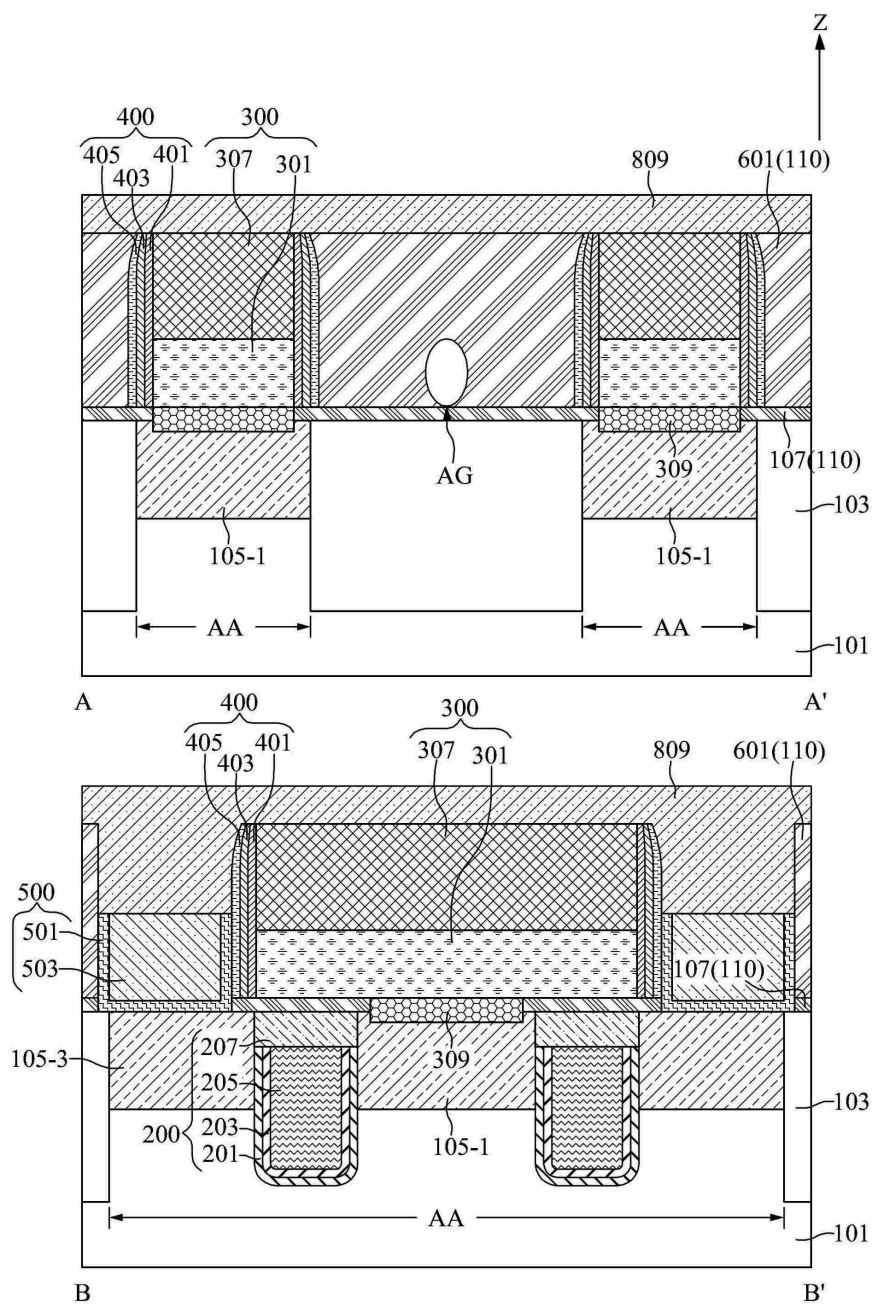


【圖24】

(28)

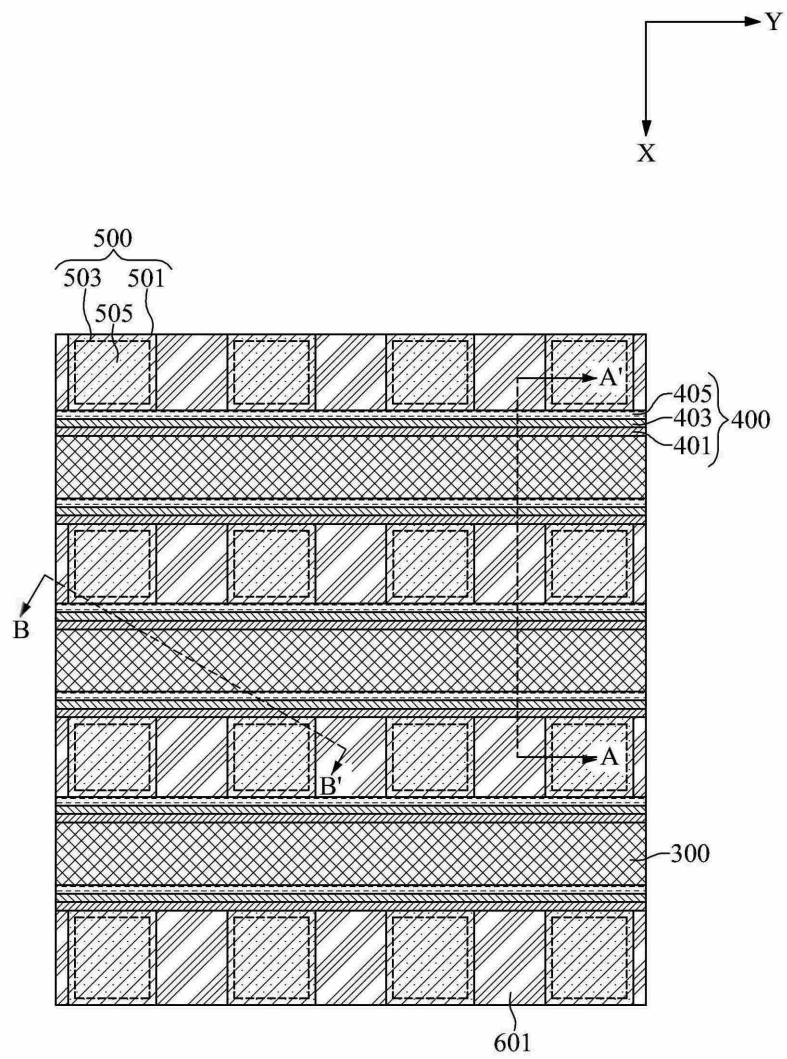


【圖25】



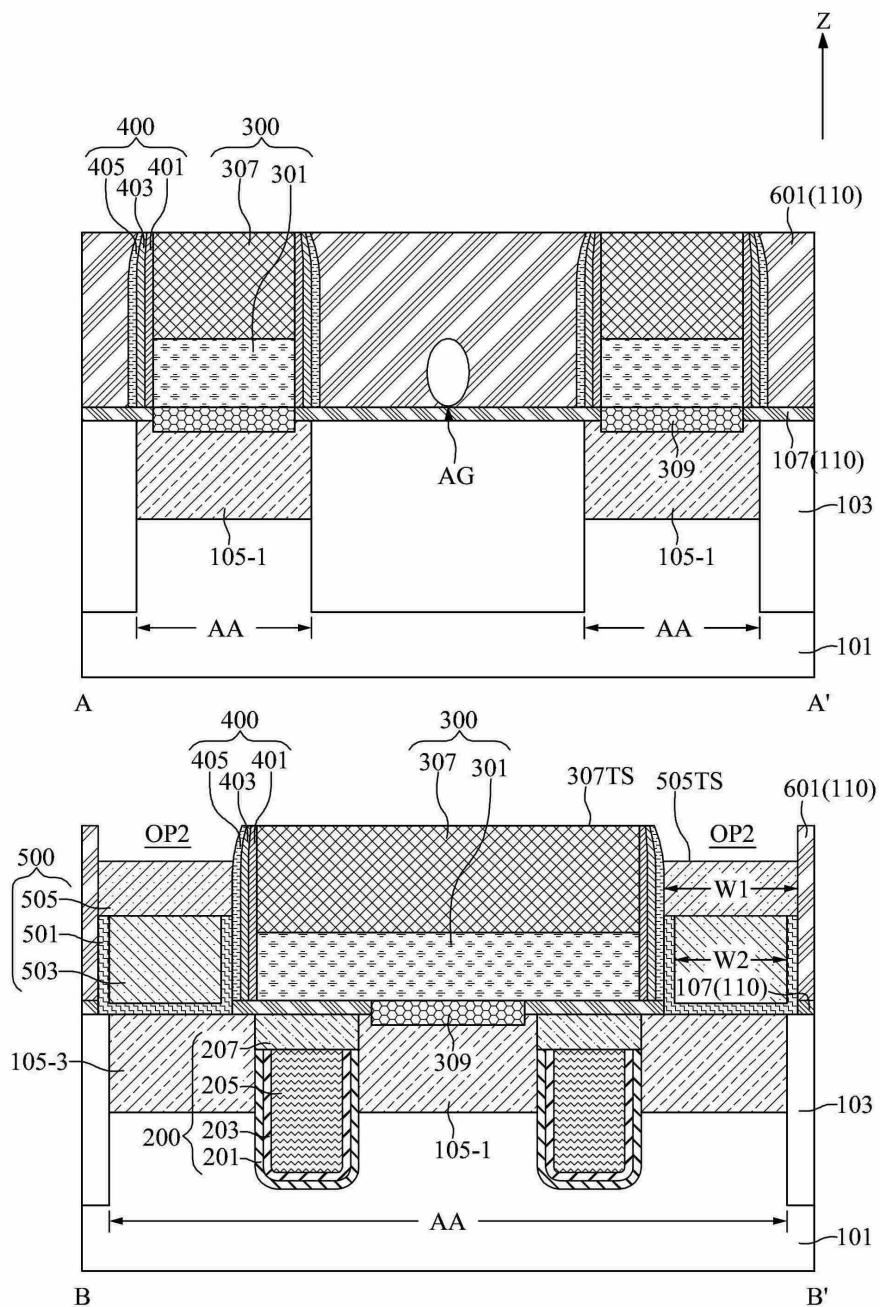
【圖26】

(30)



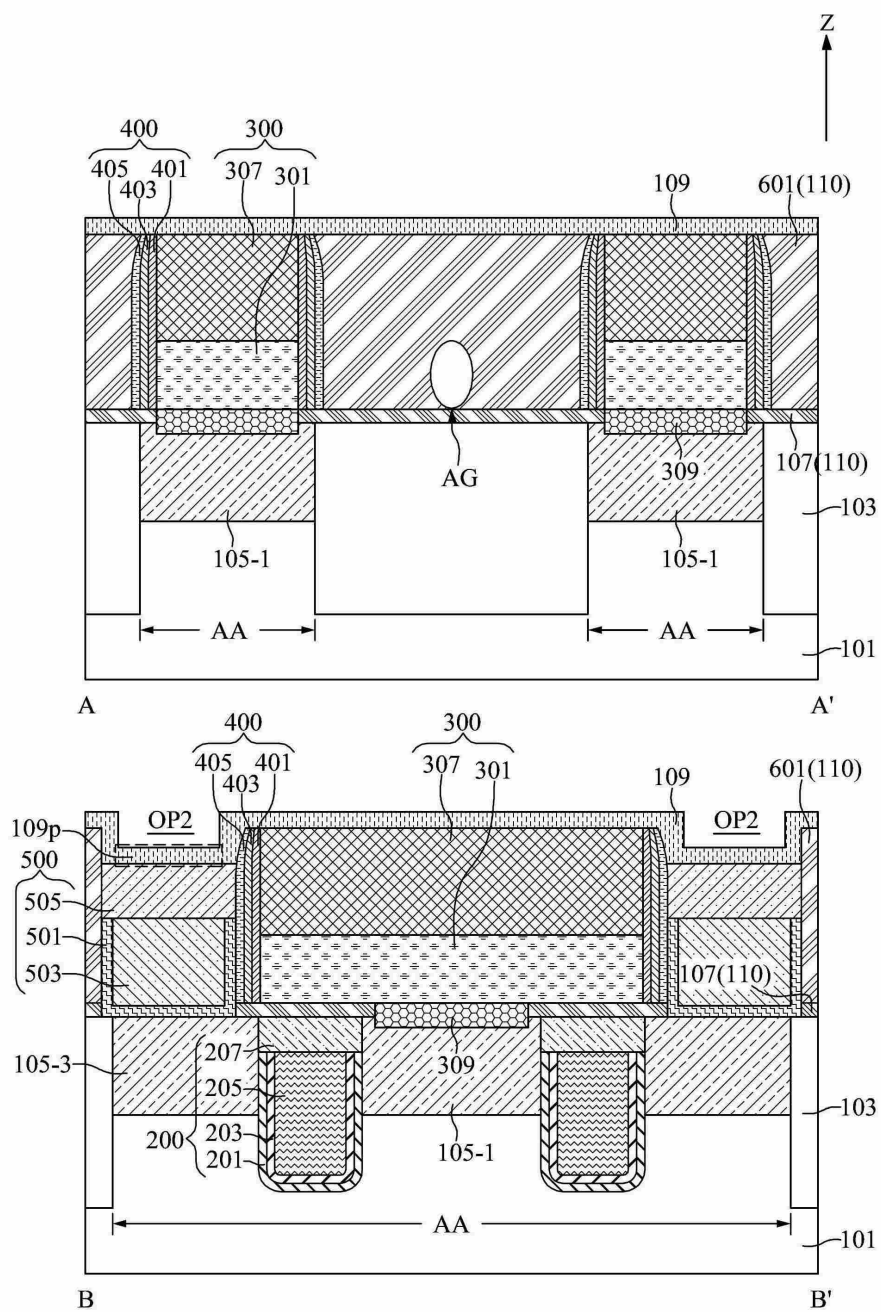
【圖27】

(31)



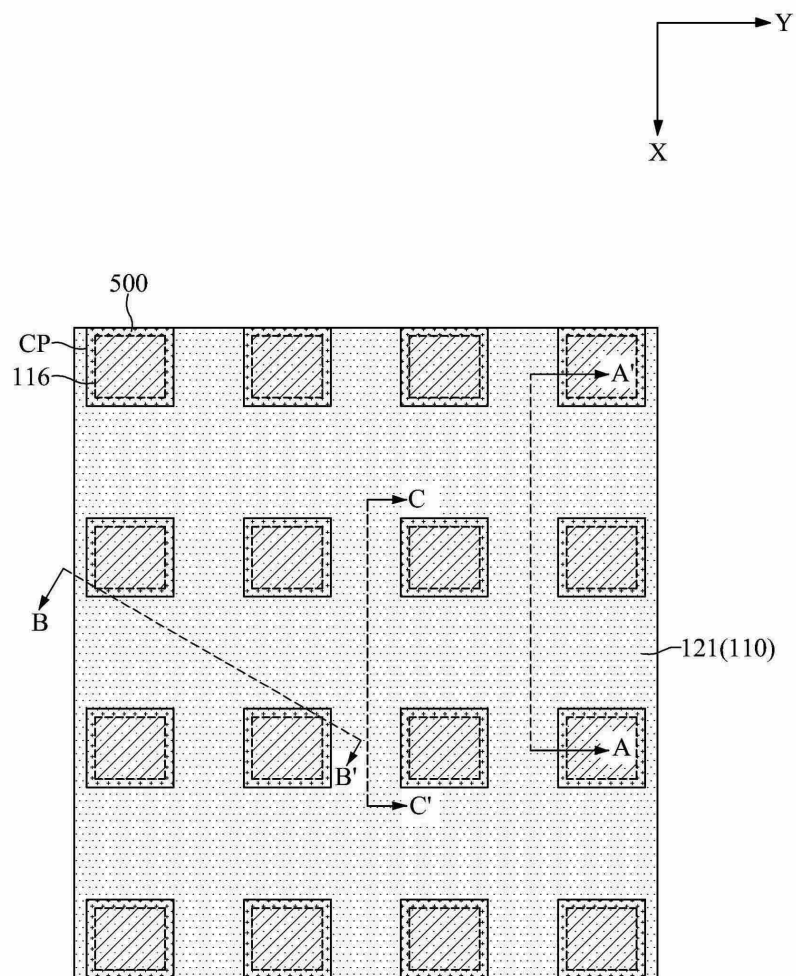
【圖28】

(32)



【圖29】

(33)



【圖30】

- 10363 -

- 10364 -

- 10365 -