

【11】證書號數：I939146

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10P14/60 (2026.01) H10W76/42 (2026.01)
H10W76/05 (2026.01)

發明

全 11 頁

【54】名稱：具有覆蓋絕緣襯墊的半導體元件及其製造方法

【21】申請案號：114129764

【22】申請日：中華民國 114 (2025) 年 08 月 05 日

【30】優先權：2025/04/10

美國

19/175,178

【72】發明人：莊英政 (TW) CHUANG, YING-CHENG

【71】申請人：南亞科技股份有限公司

NANYA TECHNOLOGY
CORPORATION

新北市泰山區南林路 98 號

【74】代理人：陳長文；馮博生

【56】參考文獻：

US 2005/0199956A1

US 2021/0098447A1

審查人員：謝懷毅

【57】申請專利範圍

1. 一種半導體元件，包括：
 - 一基底，具有一陣列區以及鄰近該陣列區的一外圍區；
 - 一第一溝槽，朝內設置在該陣列區中；
 - 一盆地，朝內設置在該外圍區中；
 - 一填充絕緣層，完全填充該第一溝槽並覆蓋該基底在該陣列區內的一上表面；
 - 一上絕緣層，設置在該填充絕緣層上並設置在該陣列區內；以及
 - 一覆蓋絕緣襯墊，共形地完全覆蓋該上絕緣層以及該盆地的一內表面，其中，該覆蓋絕緣襯墊以及該上絕緣層直接相互接觸。
2. 如請求項 1 所述之半導體元件，還包括一外圍絕緣層，共形地設置在該覆蓋絕緣襯墊以及該盆地的該內表面之間。
3. 如請求項 1 所述之半導體元件，還包括一下絕緣層，共形地沿著該第一溝槽設置，並設置在該填充絕緣層以及該陣列區內的該基底之間。
4. 如請求項 3 所述之半導體元件，還包括一修復層，共形地設置在該填充絕緣層以及該陣列區內的該基底之間。
5. 如請求項 3 所述之半導體元件，其中該下絕緣層包括：
 - 一下部，共形地沿著該第一溝槽設置，並且設置在該填充絕緣層以及該陣列區內的該基底之間；以及
 - 一上部，共形地設置在該下部以及該填充絕緣層之間。
6. 如請求項 5 所述之半導體元件，其中該上部一厚度大約在 5nm 到大約 15nm 之間。
7. 如請求項 5 所述之半導體元件，其中該下部的一厚度大約 1nm。
8. 如請求項 5 所述之半導體元件，其中該下部以及該上部包括氧化矽。
9. 如請求項 1 所述之半導體元件，其中該覆蓋絕緣襯墊包括氮化矽。
10. 如請求項 1 所述之半導體元件，其中該上絕緣層包括氮化矽。
11. 如請求項 2 所述之半導體元件，其中該外圍絕緣層包括氧化矽。

(2)

12. 如請求項 8 所述之半導體元件，其中該上部的一原子組成包括矽、氧、氮以及氫。

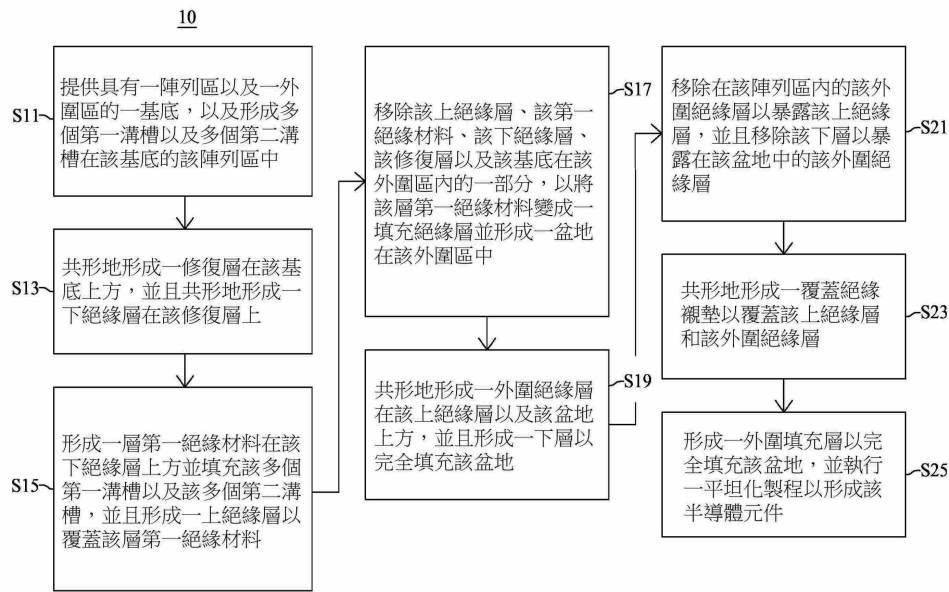
13. 如請求項 8 所述之半導體元件，其中該下部的一原子組成包括矽以及氧。

圖式簡單說明

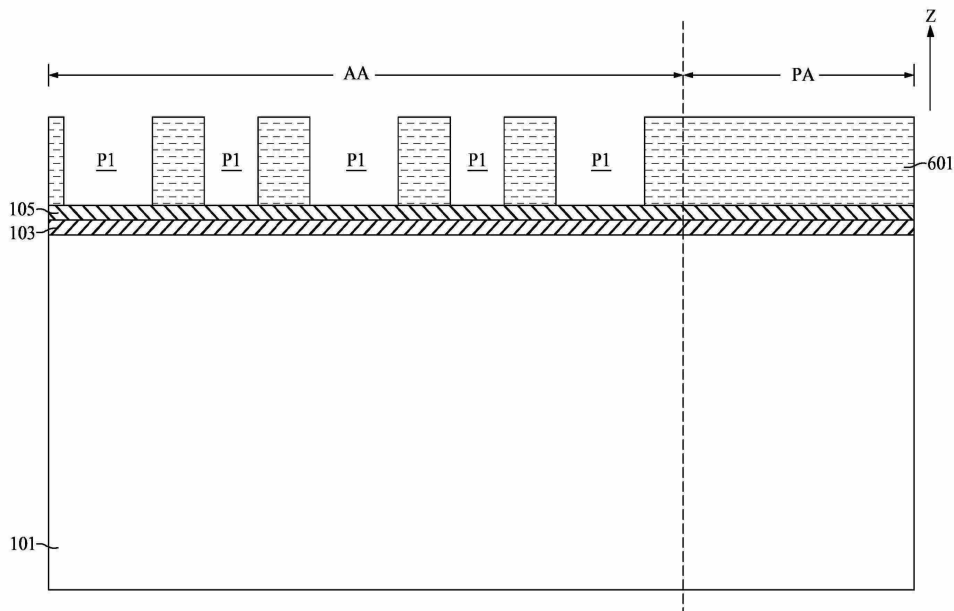
藉由參考詳細描述以及申請專利範圍而可以獲得對本揭露更完整的理解。本揭露還應理解為與圖式的元件編號相關聯，而圖式的元件編號在整個描述中代表類似的元件。

圖 1 是流程示意圖，例示本揭露一實施例的半導體元件的製備方法。

圖 2 到圖 20 是剖視示意圖，例示本揭露一實施製備半導體元件的流程。

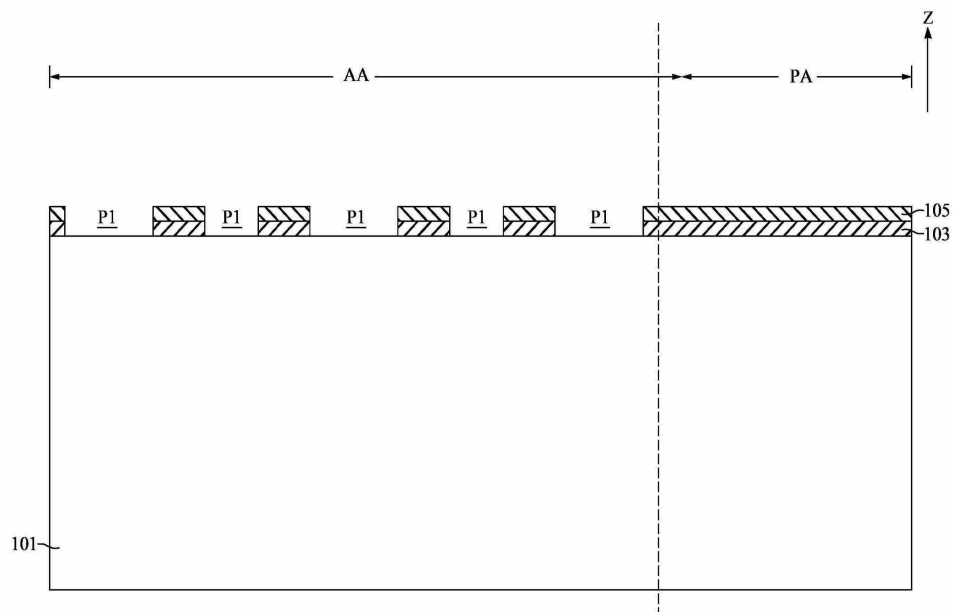


【圖1】

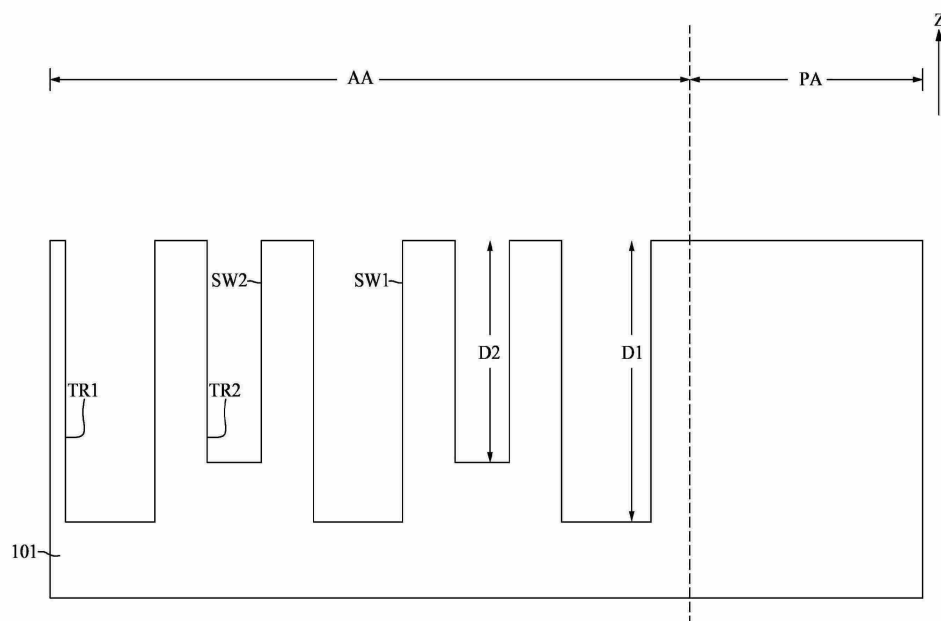


【圖2】

(3)

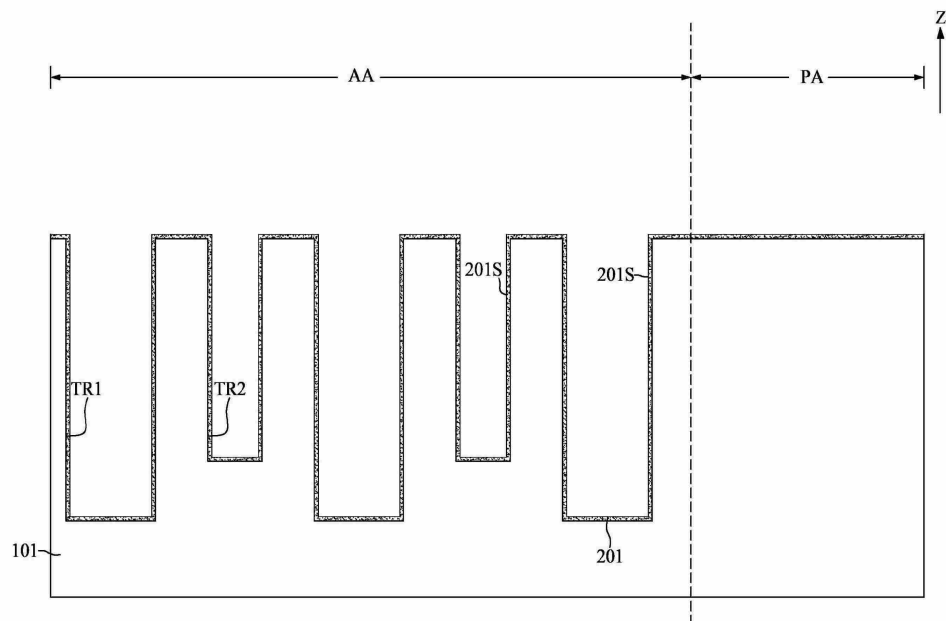


【圖3】

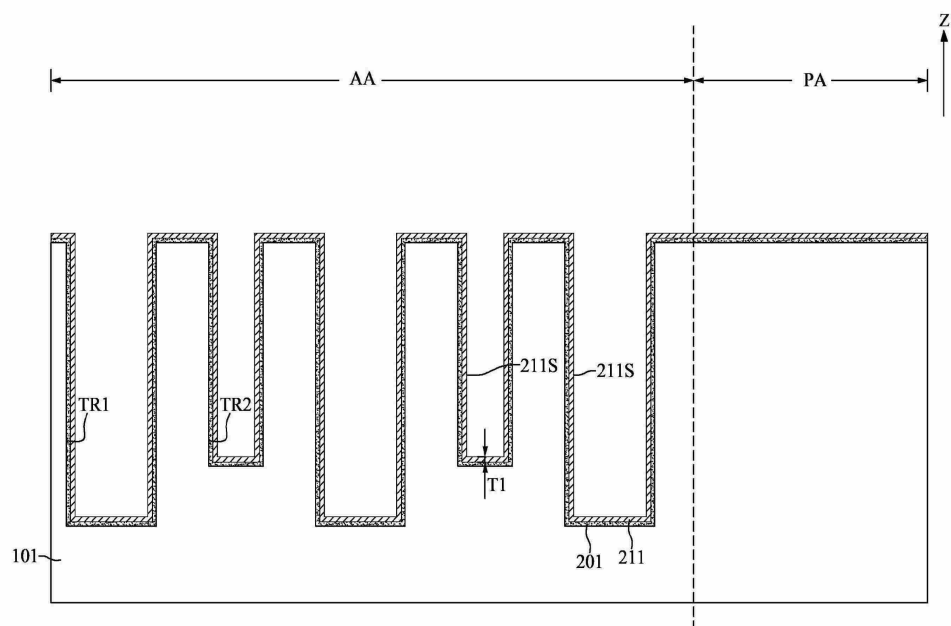


【圖4】

(4)

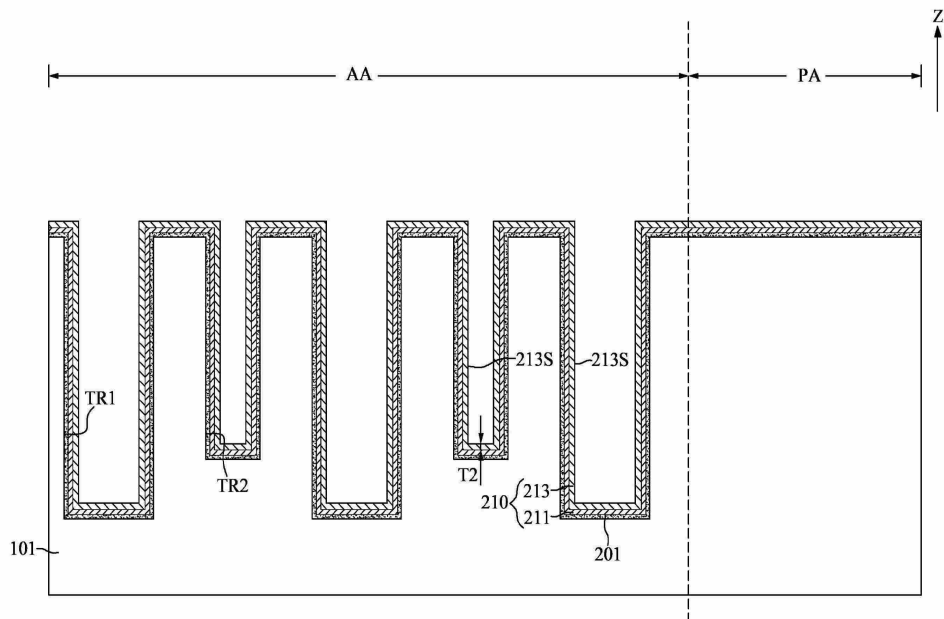


【圖5】

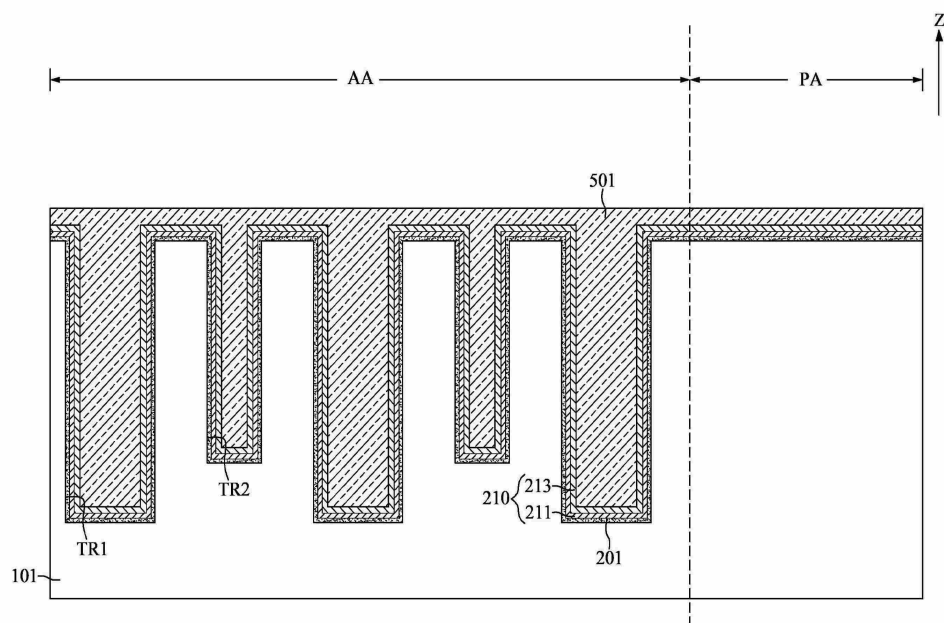


【圖6】

(5)

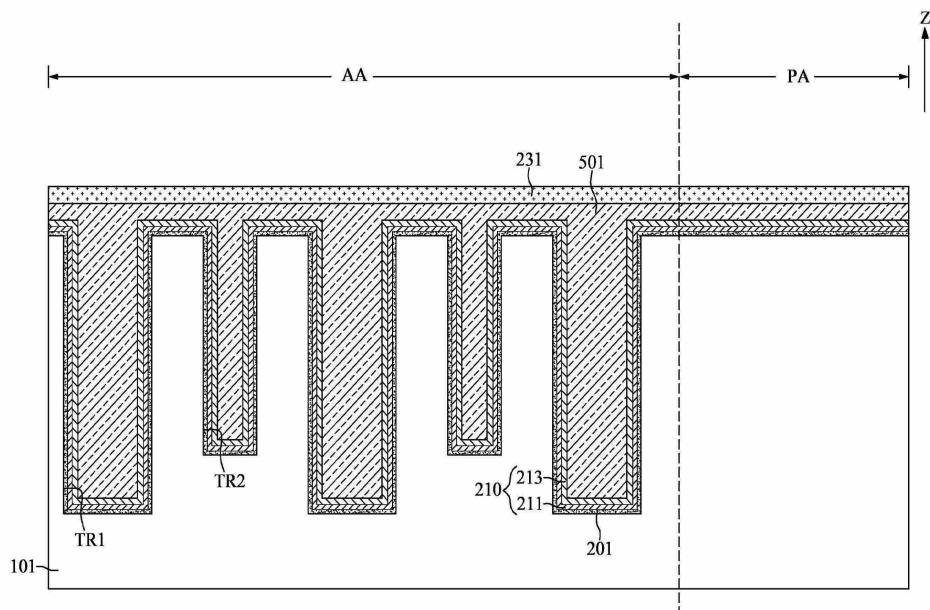


【圖7】

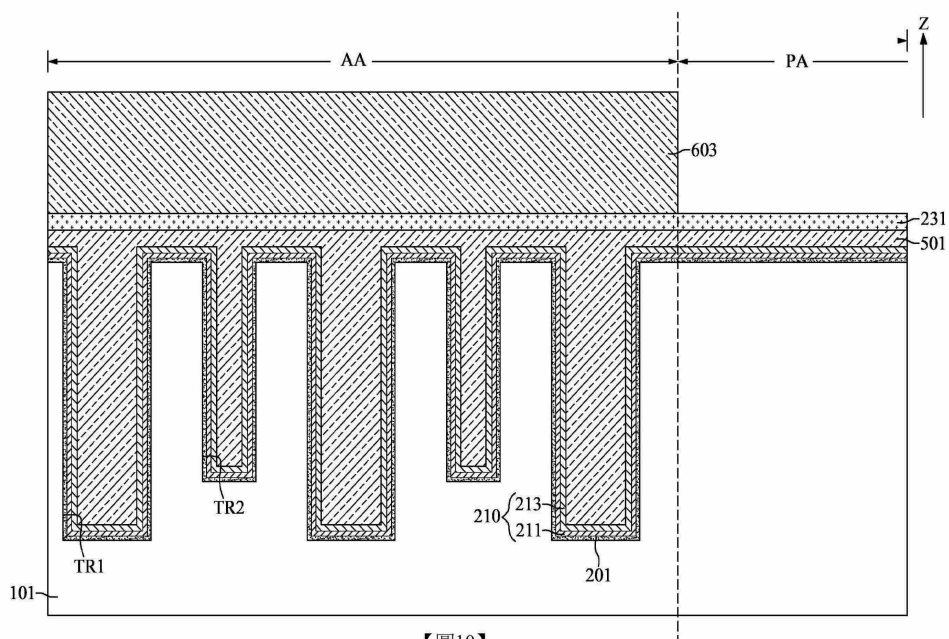


【圖8】

(6)

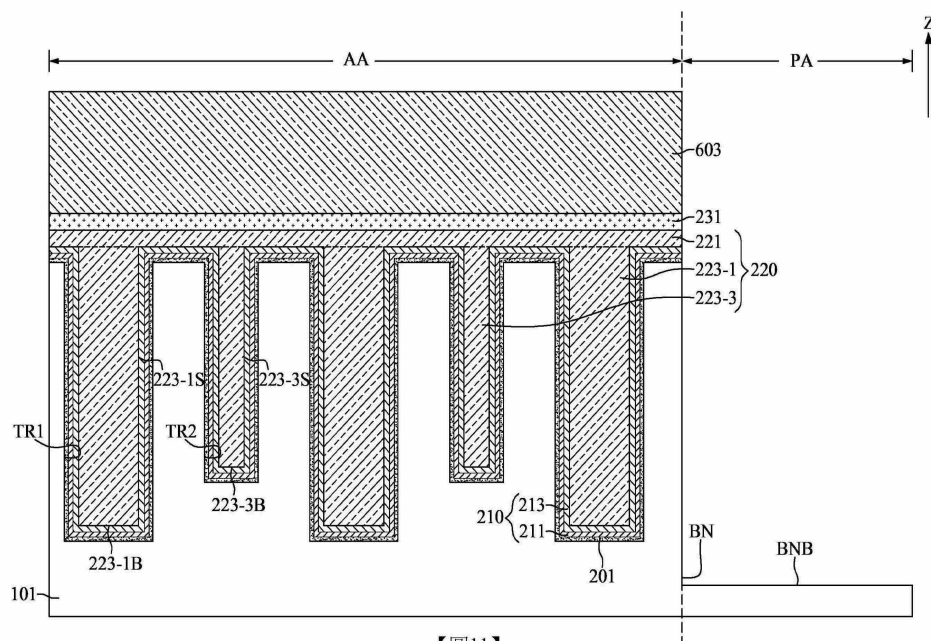


【圖9】

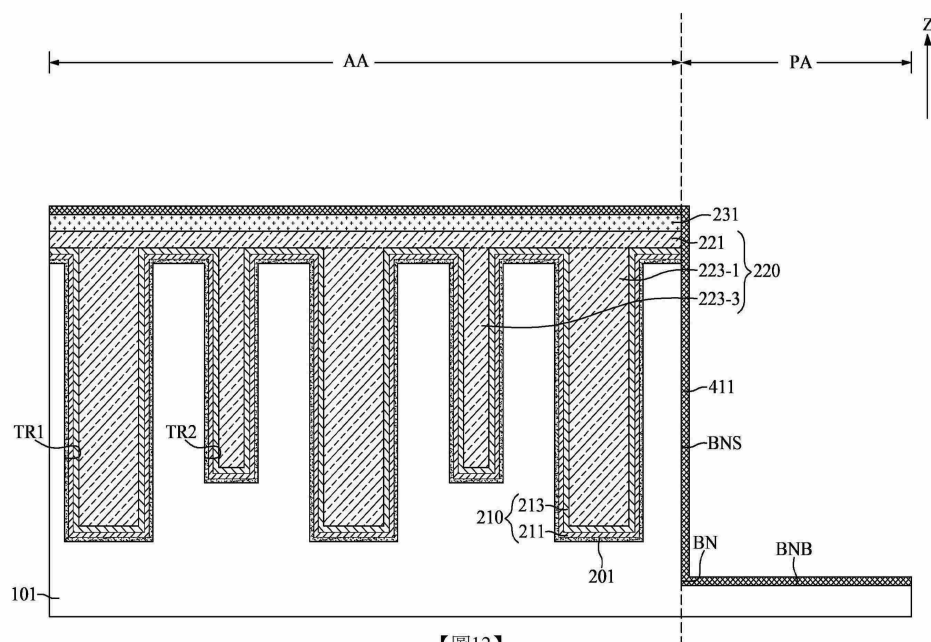


【圖10】

(7)

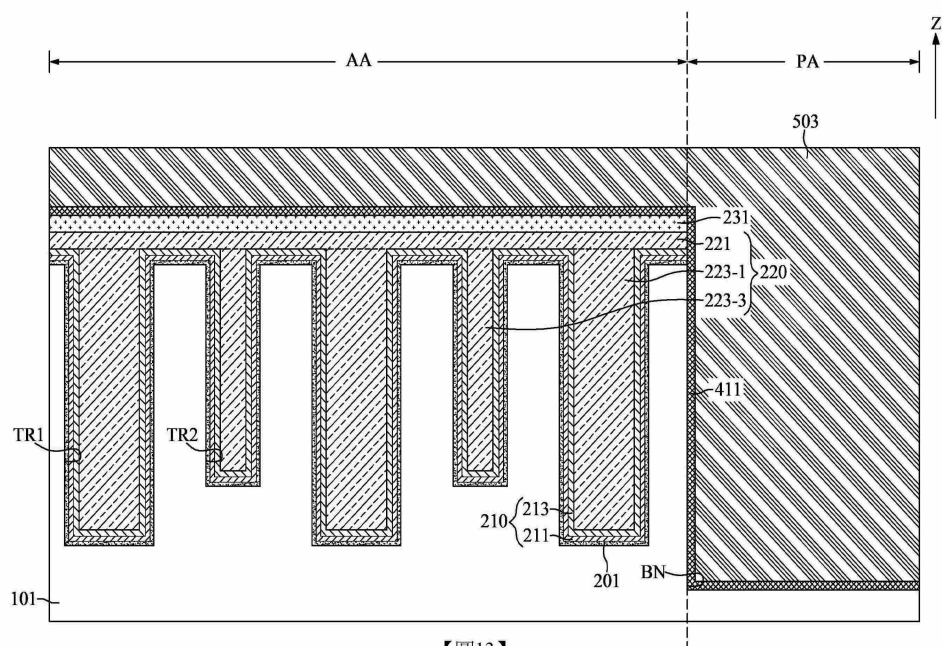


【圖11】

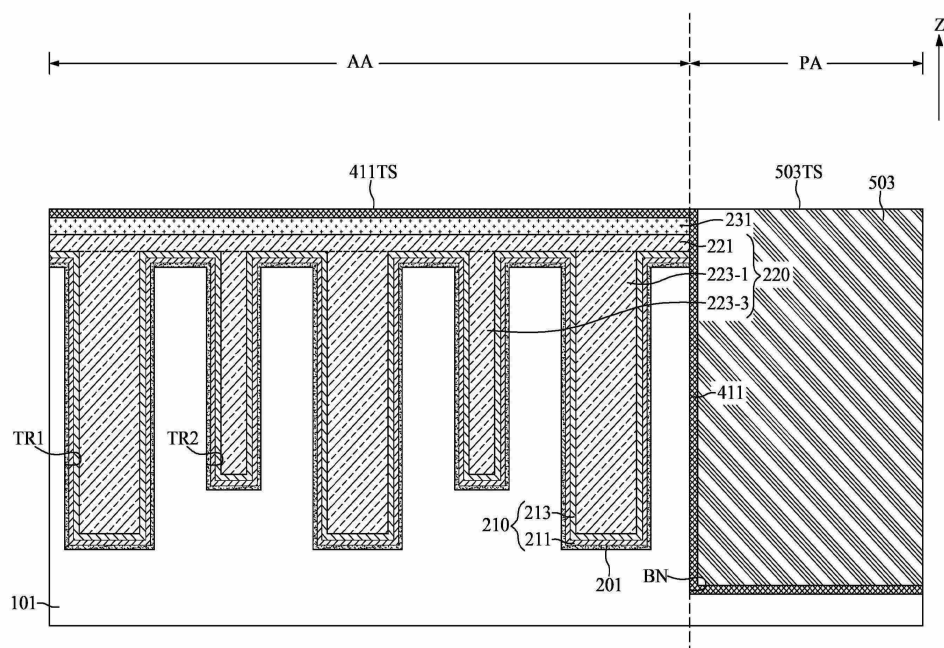


【圖12】

(8)

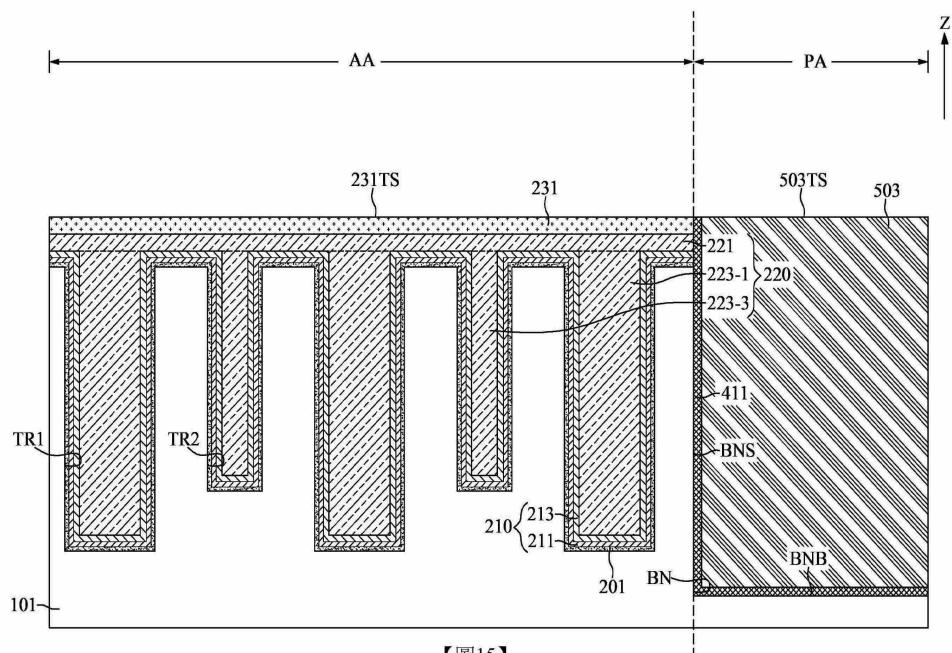


【圖13】

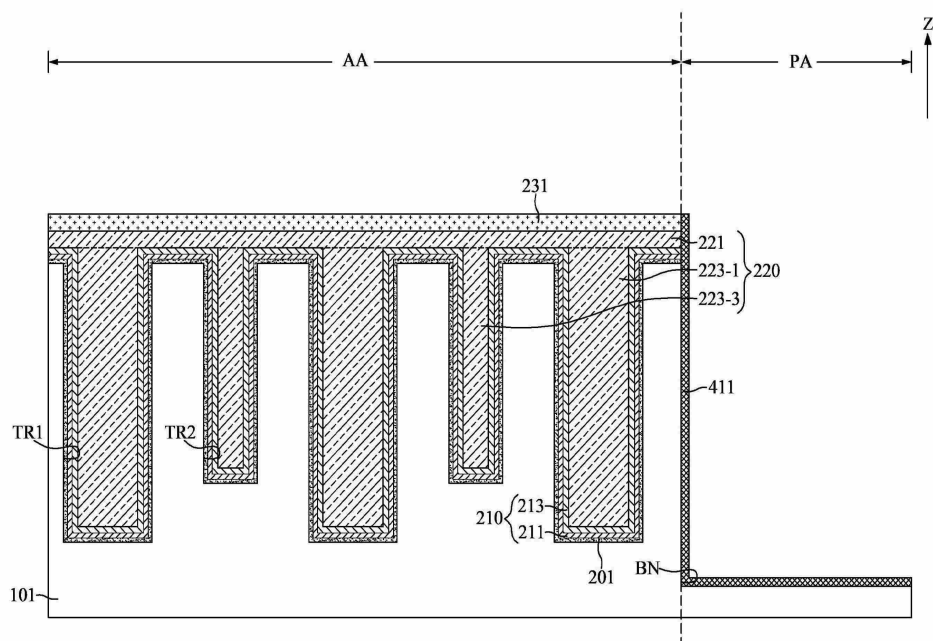


【圖14】

(9)

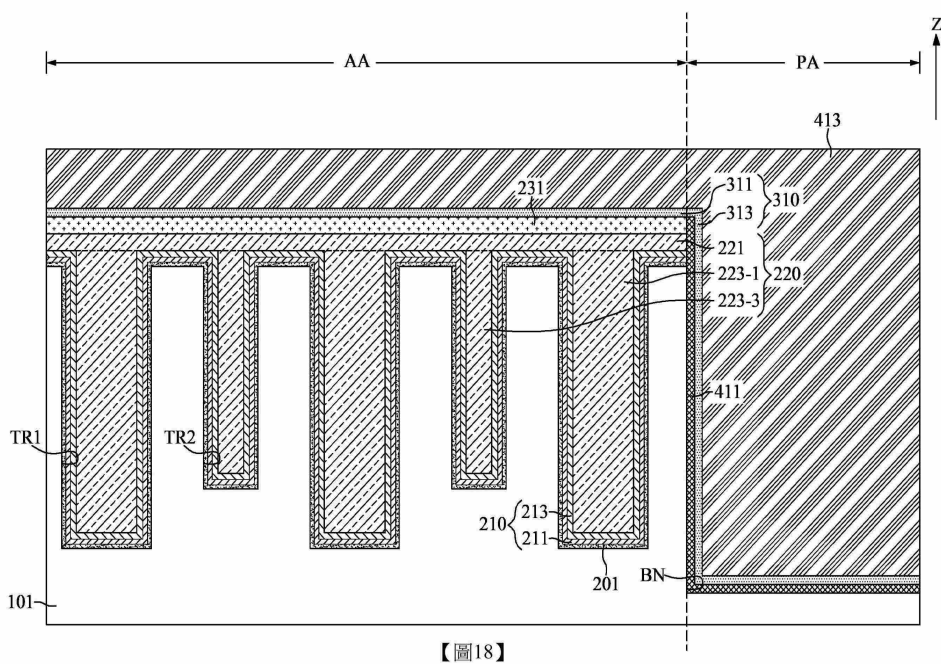
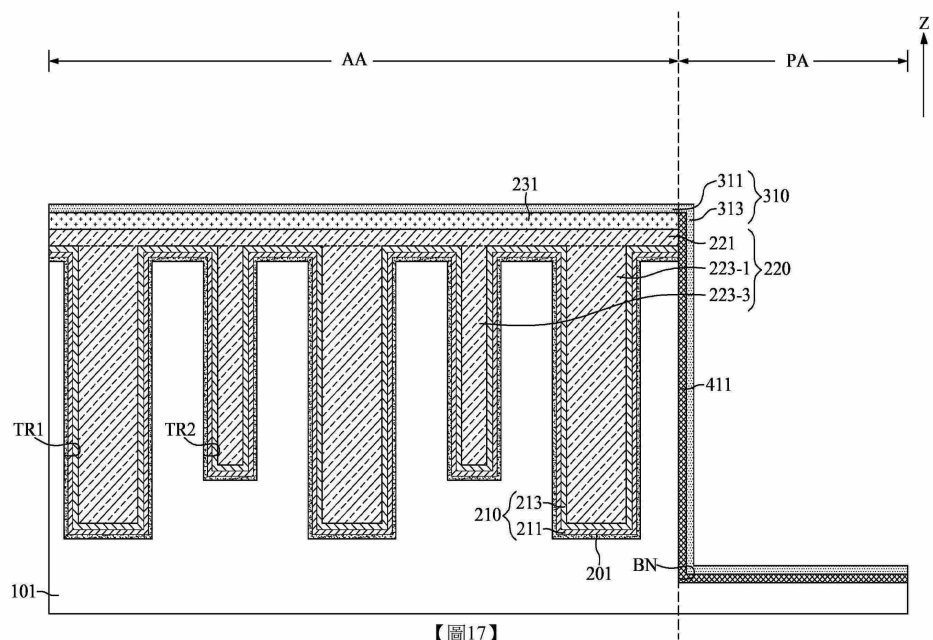


【圖15】

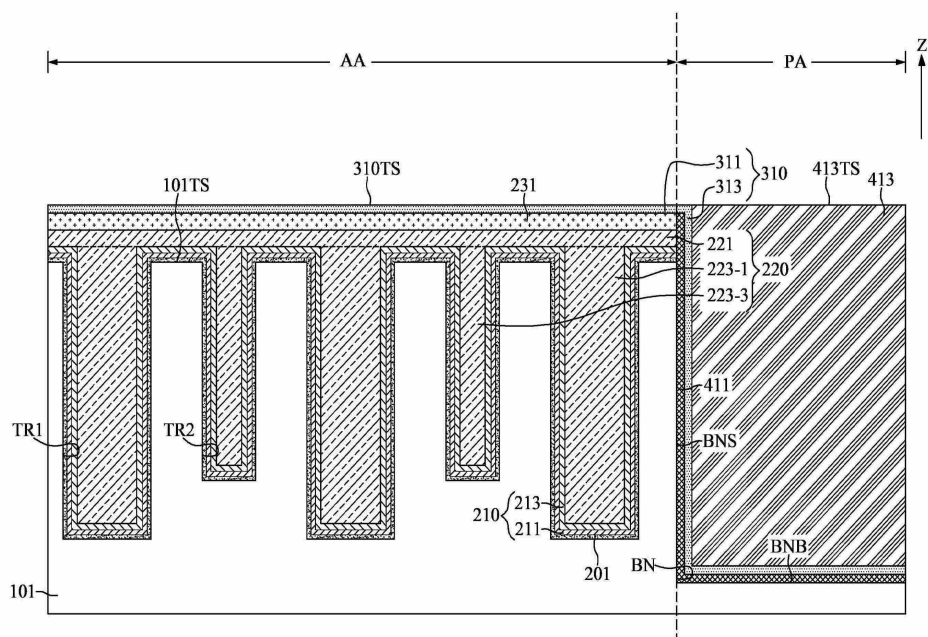


【圖16】

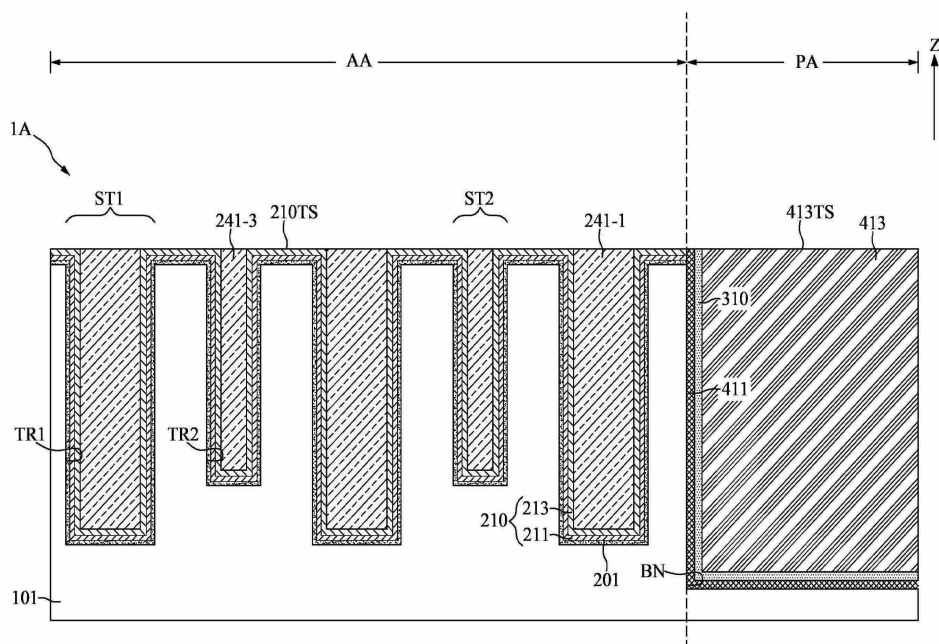
(10)



(11)



【圖19】



【圖20】