

【11】證書號數：I939174

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : *G11C5/02* (2006.01) *G11C11/40* (2006.01)
 H10D62/10 (2025.01) *H10D64/20* (2025.01)
 H10D89/10 (2025.01) *H10W20/20* (2026.01)

發明 全 27 頁

【54】名 稱：半導體記憶裝置

【21】申請案號：114132422 【22】申請日：中華民國 114 (2025) 年 08 月 26 日

【11】公開編號：202625169 【43】公開日期：中華民國 115 (2026) 年 06 月 16 日

【30】優先權：2024/12/09 日本 2024-214554

【72】發明人：妹尾駿一 (JP) SENO, SHUNICHI；松尾浩司 (JP) MATSUO, KOUJI；仲田裕貴 (JP) NAKATA, YUKI；荒井史隆 (JP) ARAI, FUMITAKA

【71】申請人：日商鎧俠股份有限公司 KIOXIA CORPORATION
 日本

【74】代理人：陳長文

【56】參考文獻：

TW	I777368B	TW	202314720A
US	2003/0095467A1	US	2006/0114030A1

審查人員：劉耀允

【57】申請專利範圍

1. 一種半導體記憶裝置，其包含：
複數個記憶體塊區域，其等於第 1 方向上排列；
連接區域，其相對於上述複數個記憶體塊區域於上述第 1 方向上排列；及
配線區域，其於上述第 1 方向上延伸，於與上述第 1 方向交叉之第 2 方向上與上述複數個記憶體塊區域排列；
上述複數個記憶體塊區域係各自包含：
複數個記憶體串，其等於上述第 1 方向上延伸，於上述第 2 方向上排列；及
第 1 配線，其於上述第 2 方向上延伸，共通地連接於上述複數個記憶體串；且
上述配線區域係包含於上述第 1 方向上延伸，共通地連接於與上述複數個記憶體塊區域對應之複數個上述第 1 配線之第 2 配線；
上述連接區域係包含於與上述第 1 方向及上述第 2 方向交叉之第 3 方向上延伸，電性連接於上述第 2 配線之接觸電極；
於上述第 1 配線與上述第 2 配線之間之電流路徑設置第 1 電晶體。
2. 如請求項 1 之半導體記憶裝置，其包含：
複數個記憶體層，其等於上述第 3 方向上排列；且
上述複數個記憶體層係各自包含上述複數個記憶體串、上述第 1 配線、上述第 2 配線、及上述第 1 電晶體；
上述連接區域係與上述複數個記憶體層對應地包含複數個上述接觸電極。
3. 如請求項 1 之半導體記憶裝置，其中
於上述第 2 配線與上述接觸電極之間之電流路徑設置第 2 電晶體。
4. 如請求項 1 之半導體記憶裝置，其中

(2)

於上述第 1 配線與上述第 2 配線之間之電流路徑，與上述第 1 電晶體並聯地設置第 3 電晶體，

上述第 1 電晶體係 N 型電晶體，且

上述第 3 電晶體係 P 型電晶體。

5. 如請求項 1 之半導體記憶裝置，其中
上述第 1 電晶體之閘極電極包含：
複數個第 1 電極，其等於上述第 3 方向上延伸；且
上述複數個第 1 電極於上述第 1 方向上排列。
6. 如請求項 5 之半導體記憶裝置，其中
上述複數個記憶體串各自包含：
複數個記憶胞，其等於上述第 1 方向上排列；及
複數個記憶體閘極電極，其等於上述第 1 方向上排列之複數個記憶胞對應地於上述第 1 方向上排列；且
上述複數個第 1 電極排列之間距，與上述複數個記憶體閘極電極排列之間距相等。
7. 一種半導體記憶裝置，其包含：
第 1 記憶體層及第 2 記憶體層，其等係各自包含：
複數個記憶體塊區域，其等於第 1 方向上排列；及
配線區域，其於上述第 1 方向上延伸，於與上述第 1 方向交叉之第 2 方向上與上述複數個記憶體塊區域排列；且
該第 1 記憶體層及該第 2 記憶體層係排列於與上述第 1 方向及上述第 2 方向交叉之第 3 方向上；及
層間絕緣層，其設置於上述第 1 記憶體層與上述第 2 記憶體層之間；且
上述複數個記憶體塊區域係各自包含：
複數個半導體部，其等於上述第 1 方向上延伸，於上述第 2 方向上排列；及
第 1 配線，其於上述第 2 方向上延伸，共通地連接於上述複數個半導體部；且
上述配線區域包含於上述第 1 方向上延伸，共通地連接於與上述複數個記憶體塊區域對應之複數個上述第 1 配線之第 2 配線；且設置：
複數個記憶體閘極電極，其等於上述第 1 方向上排列，於上述第 3 方向上延伸，與上述複數個半導體部中之 1 者即第 1 半導體層及上述層間絕緣層對向；及
選擇閘極電極，其設置於上述複數個記憶體閘極電極與上述第 1 配線之間，於上述第 3 方向上延伸，與上述第 1 半導體層及上述層間絕緣層對向；且
上述第 1 半導體層之與上述選擇閘極電極對向之側面之至少一部分係
設置得較上述層間絕緣層之與上述選擇閘極電極對向之側面靠上述選擇閘極電極側。
8. 如請求項 7 之半導體記憶裝置，其中
於上述第 1 半導體層與上述選擇閘極電極之間包含閘極絕緣層；
上述閘極絕緣層包含：
第 1 部分，其覆蓋上述第 1 半導體層之上述第 2 方向之側面之至少一部分；及
第 2 部分，其覆蓋上述第 1 半導體層之上述第 3 方向之側面之至少一部分。
9. 如請求項 7 之半導體記憶裝置，其中
上述第 1 記憶體層及上述第 2 記憶體層係各自
於上述第 1 配線與上述第 2 配線之間之電流路徑包含第 1 電晶體。
10. 如請求項 9 之半導體記憶裝置，其中
上述第 1 電晶體係包含第 2 半導體層，且
設置於上述第 3 方向上延伸，與上述第 2 半導體層及上述層間絕緣層對向之第 1 電極，

上述第 2 半導體層之與上述第 1 電極對向之側面係

設置得較上述層間絕緣層之與上述第 1 電極對向之側面，靠上述第 1 電極側。

圖式簡單說明

圖 1 係顯示第 1 實施形態之半導體記憶裝置之一部分構成之模式性俯視圖。

圖 2 係顯示該半導體記憶裝置之一部分構成之電路圖。

圖 3 係顯示該半導體記憶裝置之一部分構成之模式性俯視圖。

圖 4 係將圖 3 之一部分放大顯示之模式性俯視圖。

圖 5 係包含圖 4 所示之部分之模式性立體圖。

圖 6 係沿著 A-A' 線切斷圖 4 所示之構造並沿著箭頭方向觀察之模式性剖視圖。

圖 7 係沿著 B-B' 線切斷圖 4 所示之構造並沿著箭頭方向觀察之模式性剖視圖。

圖 8 係沿著 C-C' 線切斷圖 4 所示之構造並沿著箭頭方向觀察之模式性剖視圖。

圖 9 係顯示連接區域 R_{HU} 之一部分構成之模式性俯視圖。

圖 10 係沿著 D-D' 線切斷圖 9 所示之構造並沿著箭頭方向觀察之模式性剖視圖。

圖 11 係沿著 E-E' 線切斷圖 9 所示之構造並沿著箭頭方向觀察之模式性剖視圖。

圖 12 係用於就第 1 實施形態之半導體記憶裝置之變化例進行說明之模式性俯視圖。

圖 13 係顯示第 2 實施形態之半導體記憶裝置之一部分構成之電路圖。

圖 14 係顯示該半導體記憶裝置之一部分構成之模式性俯視圖。

圖 15 係用於就第 1 實施形態及第 2 實施形態之半導體記憶裝置之製造方法進行說明之模式性俯視圖。

圖 16 係用於就該製造方法進行說明之模式性剖視圖。

圖 17 係用於就該製造方法進行說明之模式性剖視圖。

圖 18 係用於就該製造方法進行說明之模式性剖視圖。

圖 19 係用於就該製造方法進行說明之模式性俯視圖。

圖 20 係用於就該製造方法進行說明之模式性剖視圖。

圖 21 係用於就該製造方法進行說明之模式性俯視圖。

圖 22 係用於就該製造方法進行說明之模式性剖視圖。

圖 23 係用於就該製造方法進行說明之模式性俯視圖。

圖 24 係用於就該製造方法進行說明之模式性剖視圖。

圖 25 係用於就該製造方法進行說明之模式性俯視圖。

圖 26 係用於就該製造方法進行說明之模式性剖視圖。

圖 27 係用於就該製造方法進行說明之模式性俯視圖。

圖 28 係用於就該製造方法進行說明之模式性剖視圖。

圖 29 係用於就該製造方法進行說明之模式性俯視圖。

圖 30 係用於就該製造方法進行說明之模式性剖視圖。

圖 31 係用於就該製造方法進行說明之模式性俯視圖。

圖 32 係用於就該製造方法進行說明之模式性剖視圖。

圖 33 係顯示第 3 實施形態之半導體記憶裝置之一部分構成之模式性俯視圖。

圖 34 係顯示第 4 實施形態之半導體記憶裝置之一部分構成之模式性俯視圖。

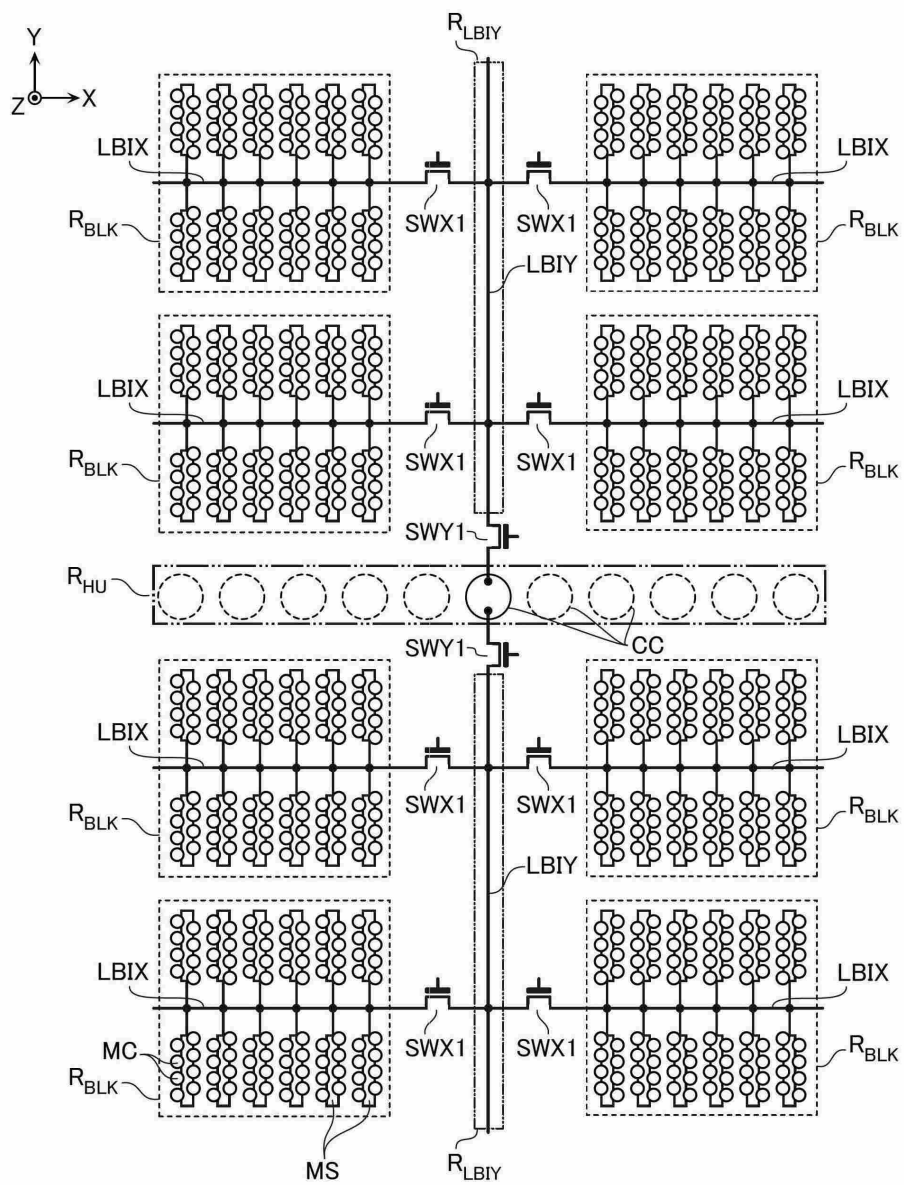
圖 35 係顯示第 5 實施形態之半導體記憶裝置之一部分構成之模式性剖視圖。

圖 36 係用於就該半導體記憶裝置之製造方法進行說明之模式性剖視圖。

圖 37 係用於就該製造方法進行說明之模式性剖視圖。

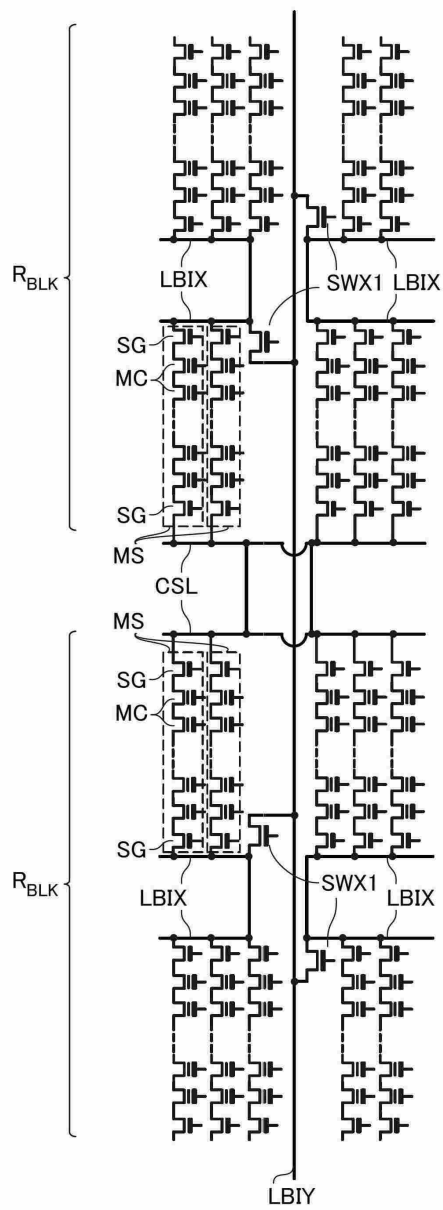
圖 38 係用於就該製造方法進行說明之模式性剖視圖。

(4)



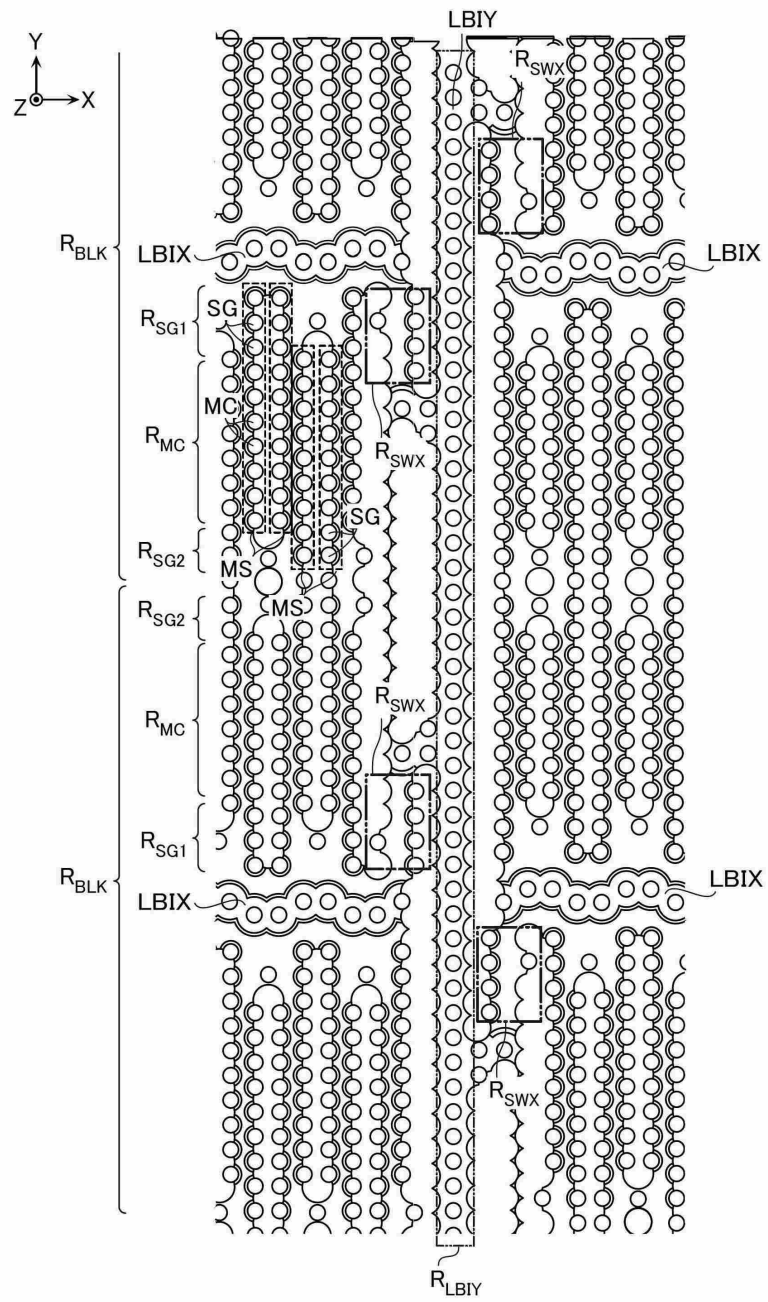
【圖1】

(5)



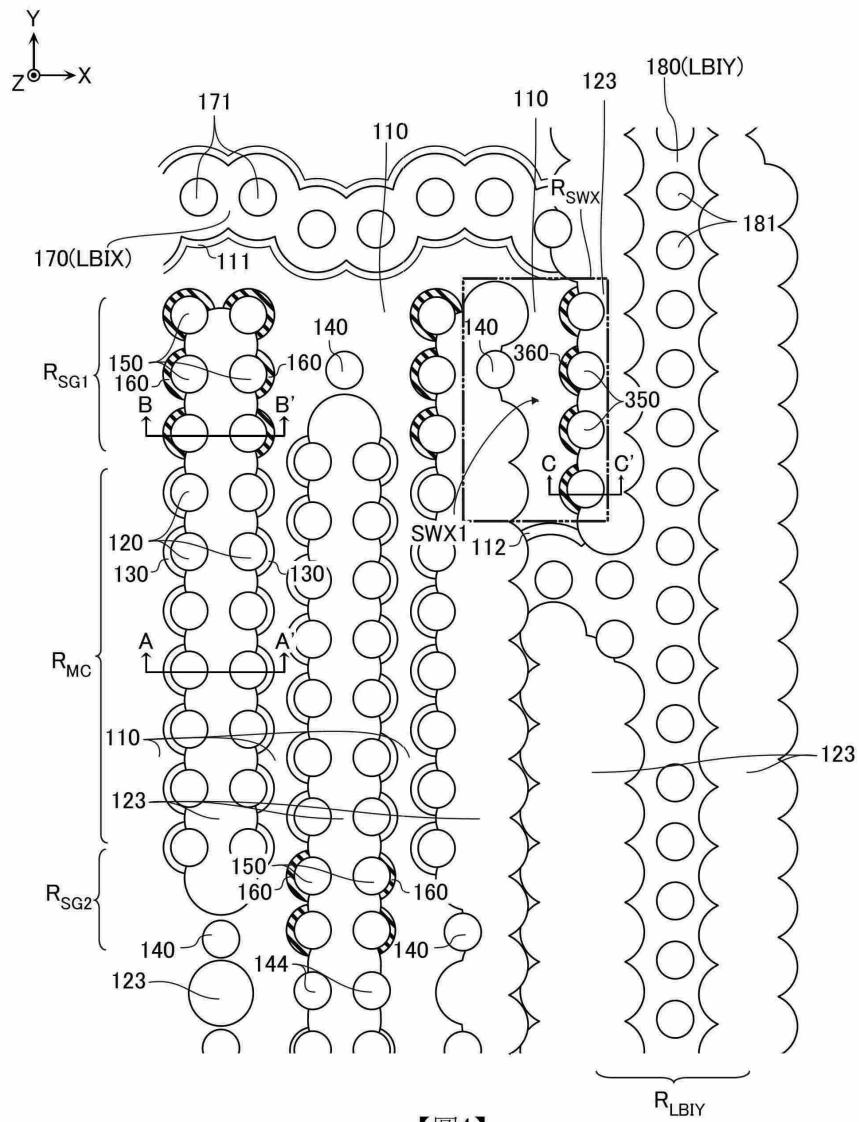
【圖2】

(6)

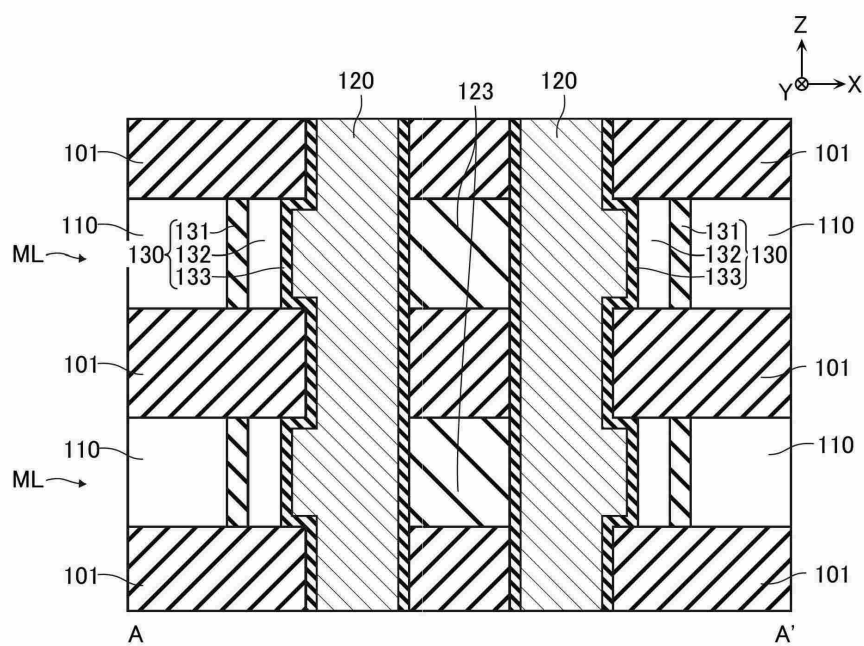


【圖3】

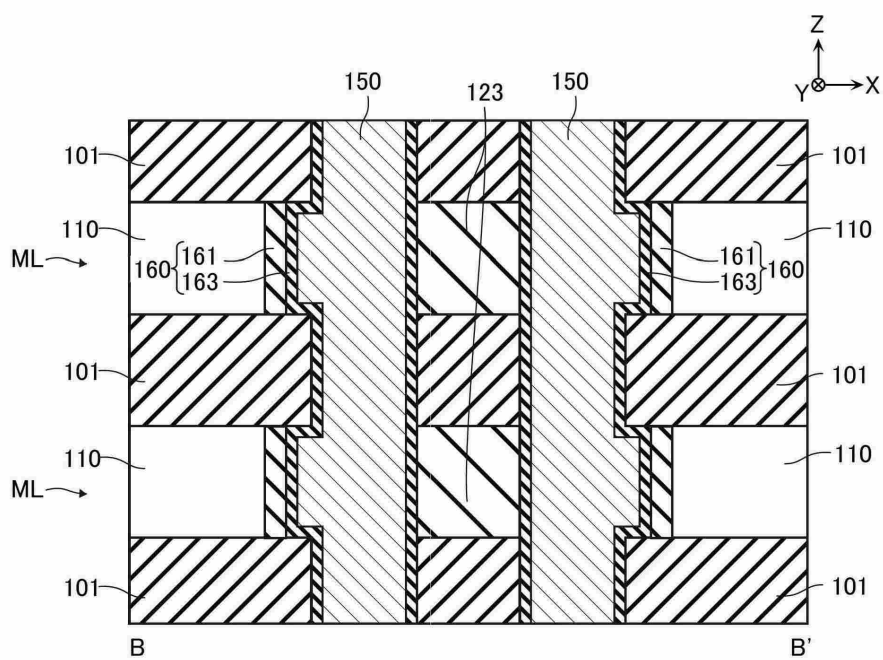
(7)



(9)

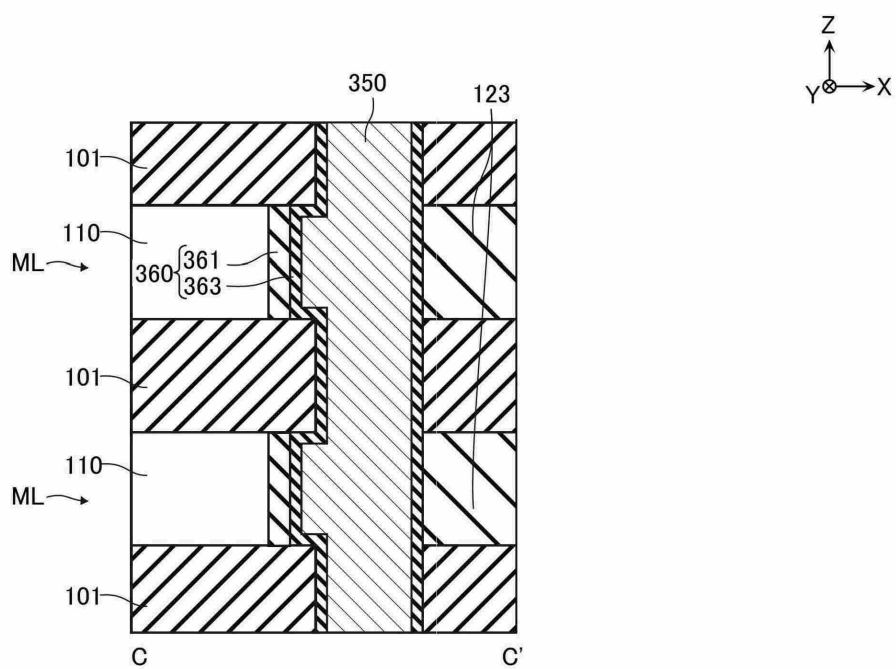


【圖6】



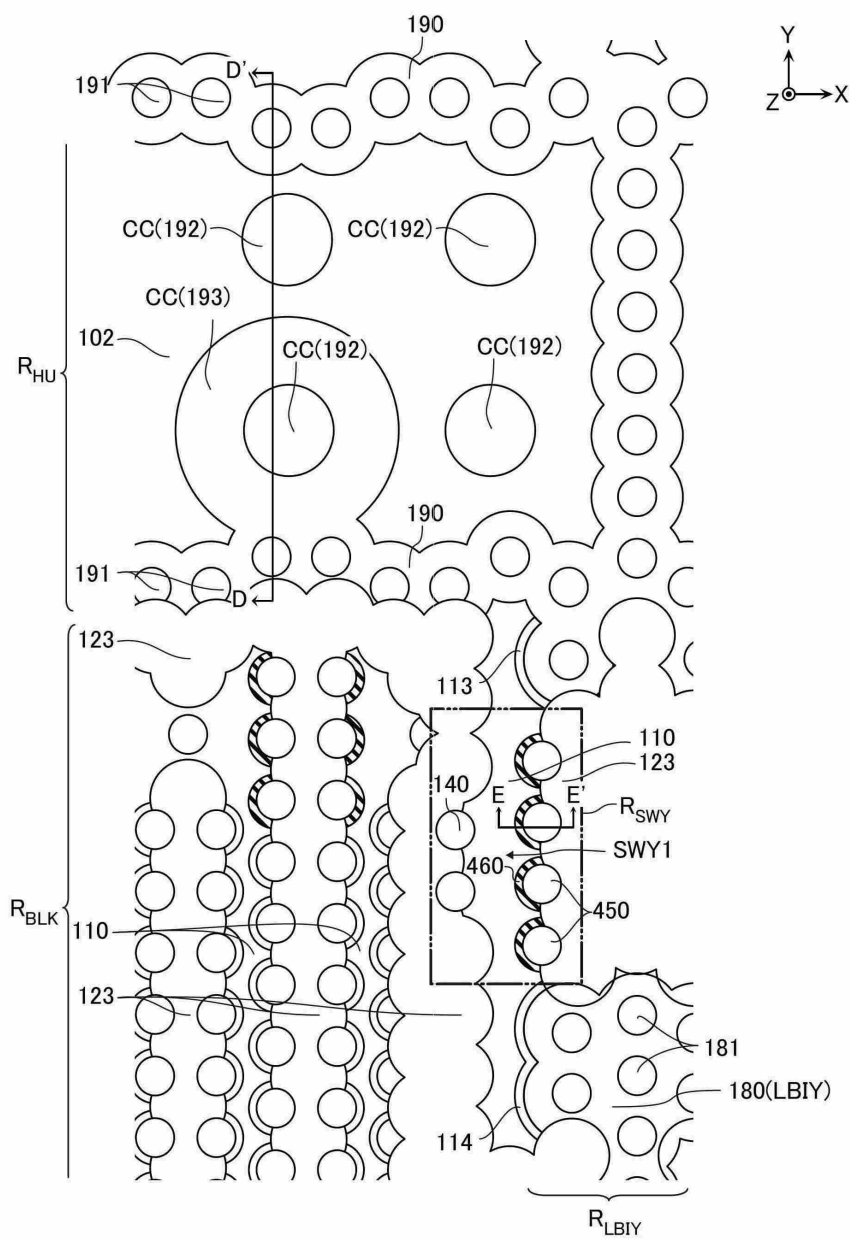
【圖7】

(10)



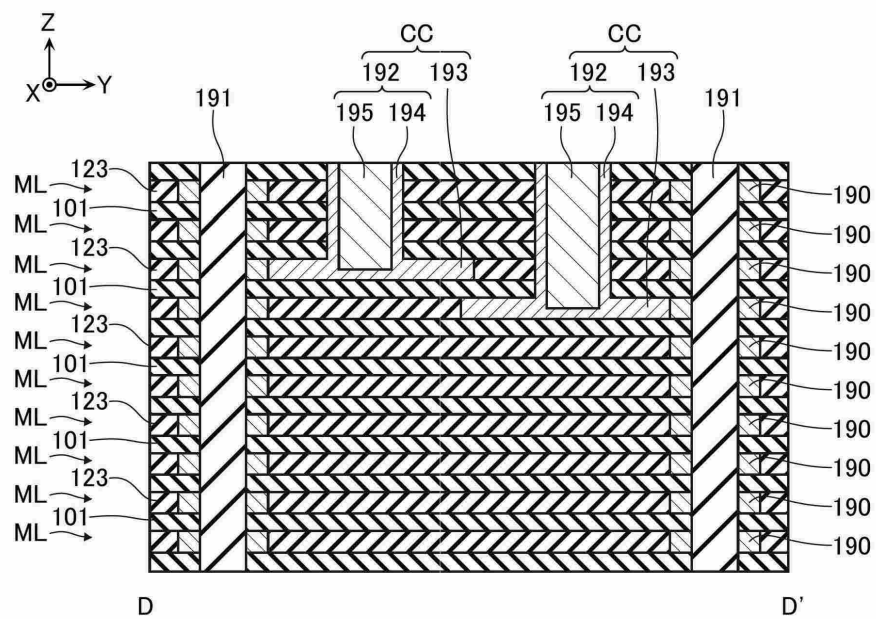
【圖8】

(11)

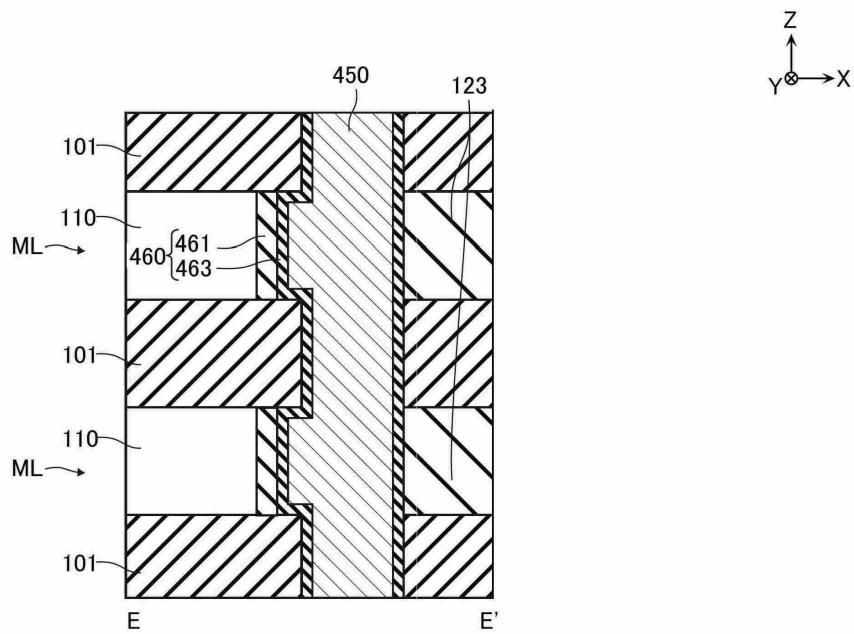


【圖9】

(12)

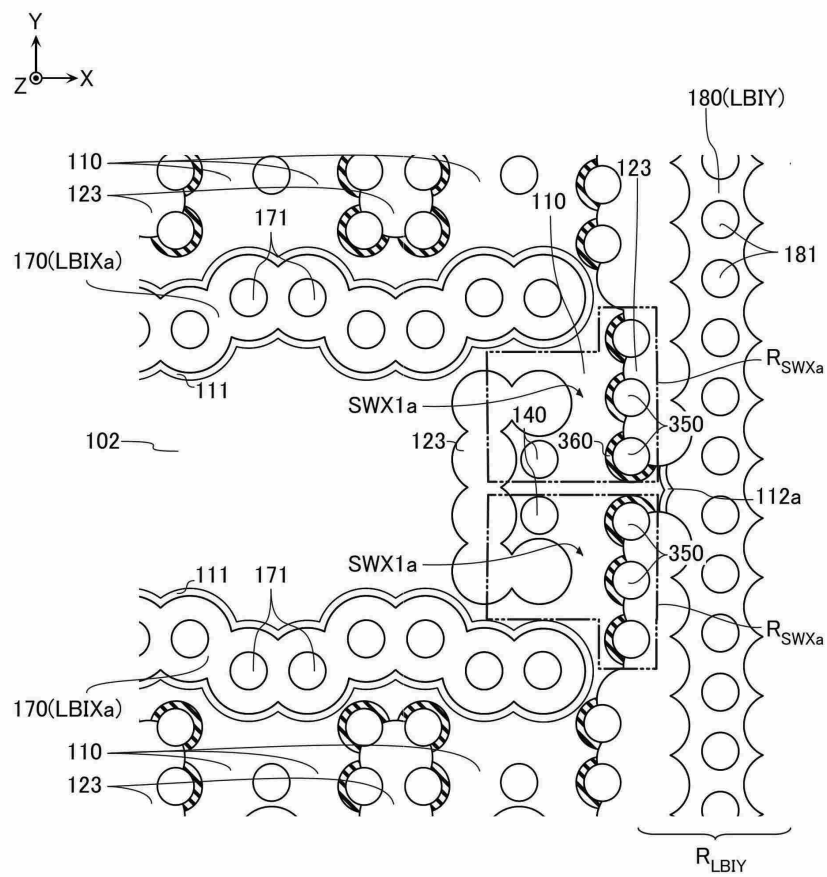


【圖10】

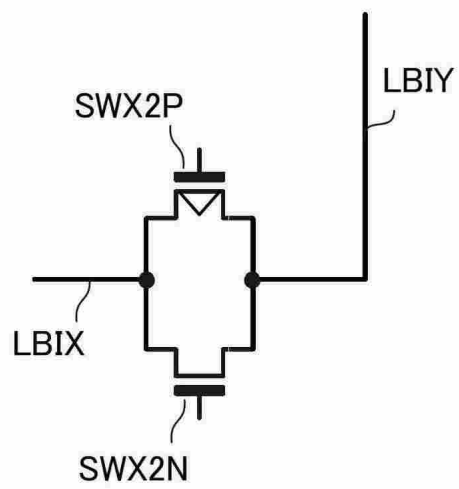


【圖11】

(13)

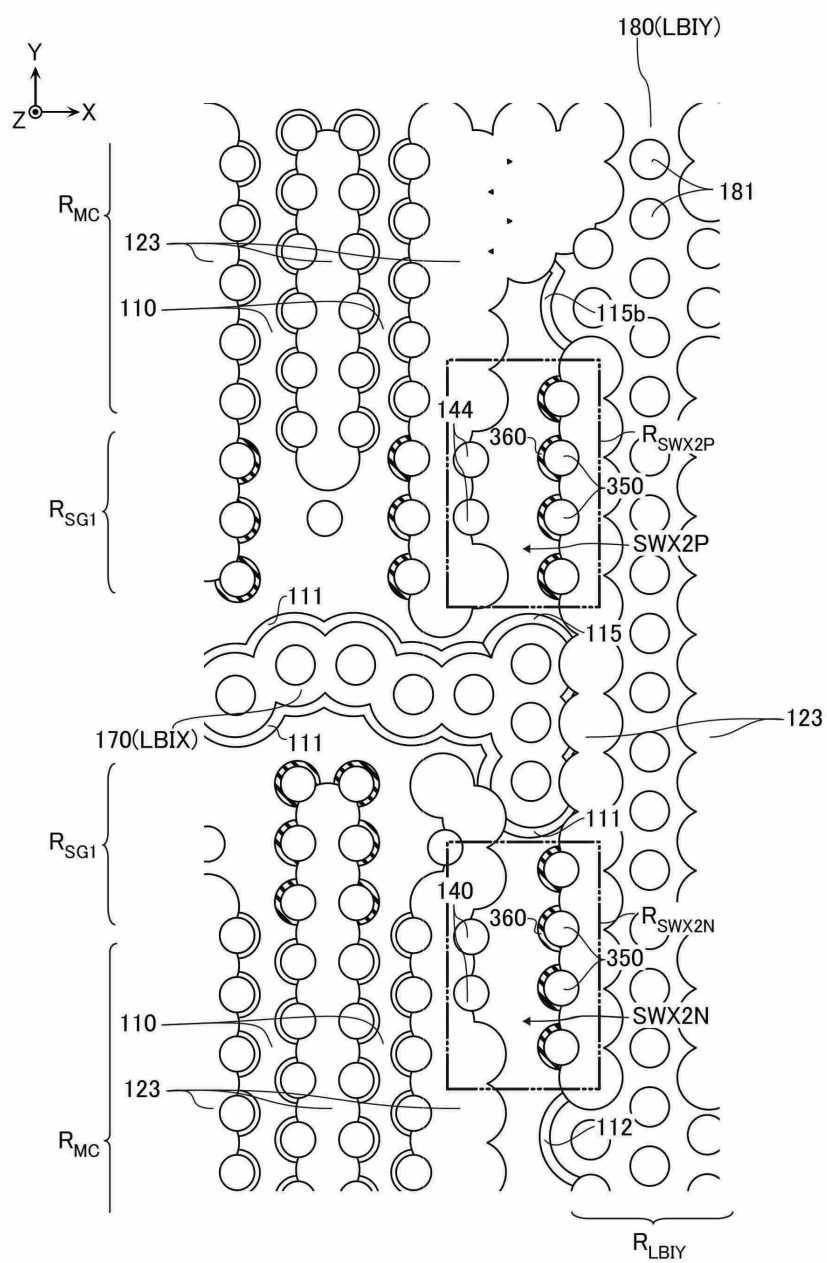


【圖12】



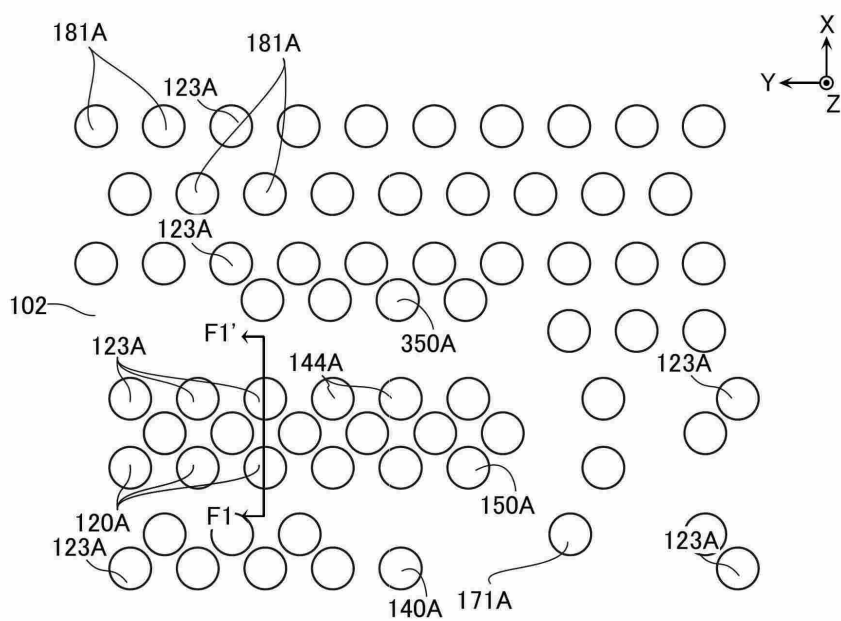
【圖13】

(14)

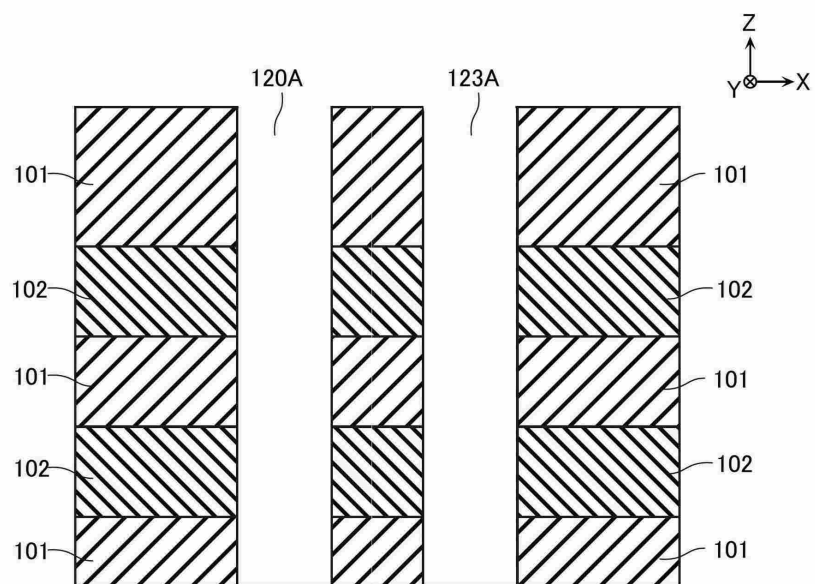


【圖14】

(15)

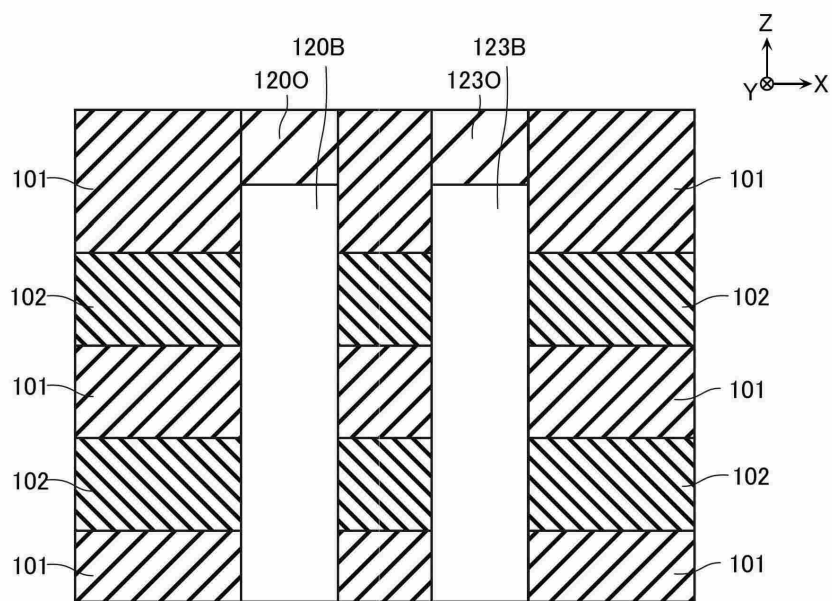


【圖15】

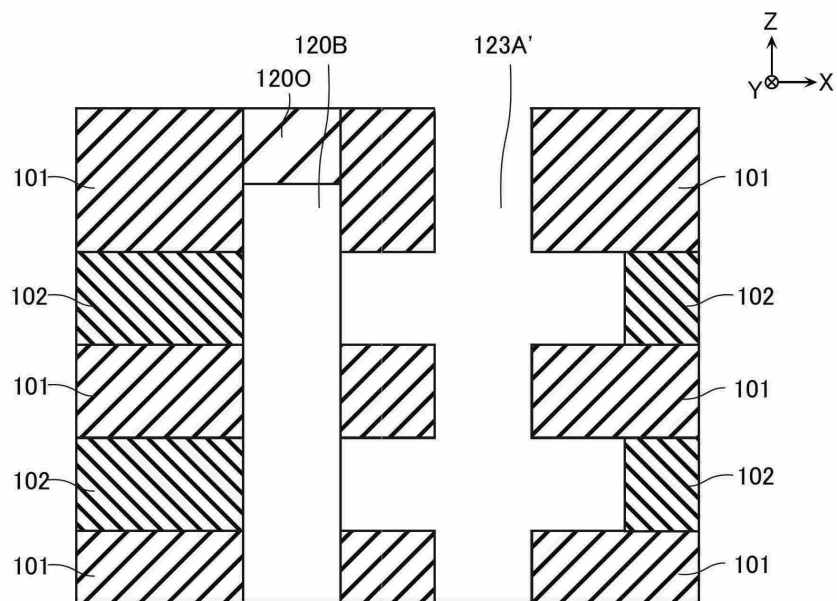


【圖16】

(16)

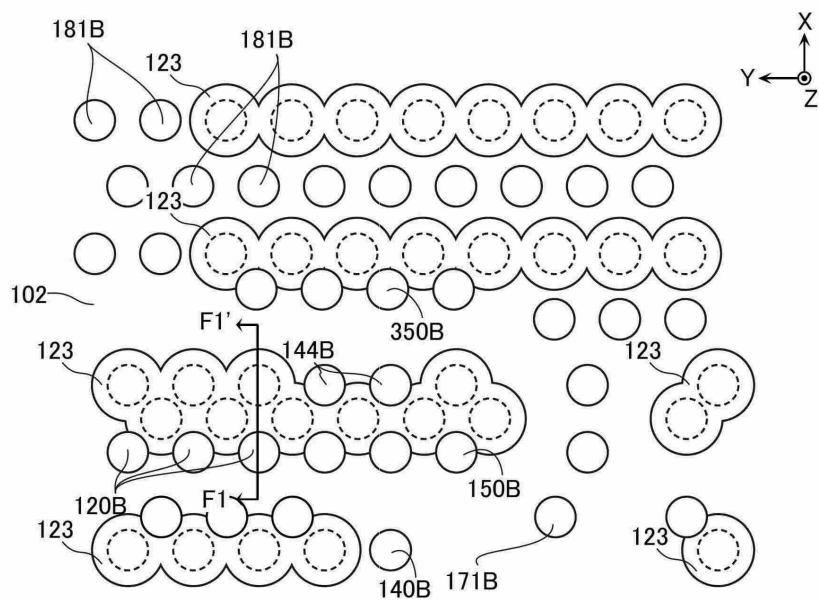


【圖17】

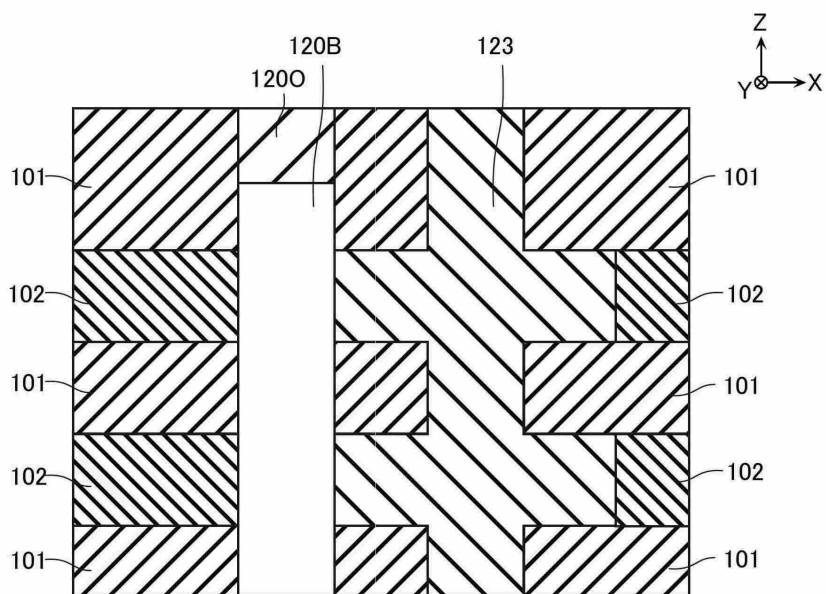


【圖18】

(17)

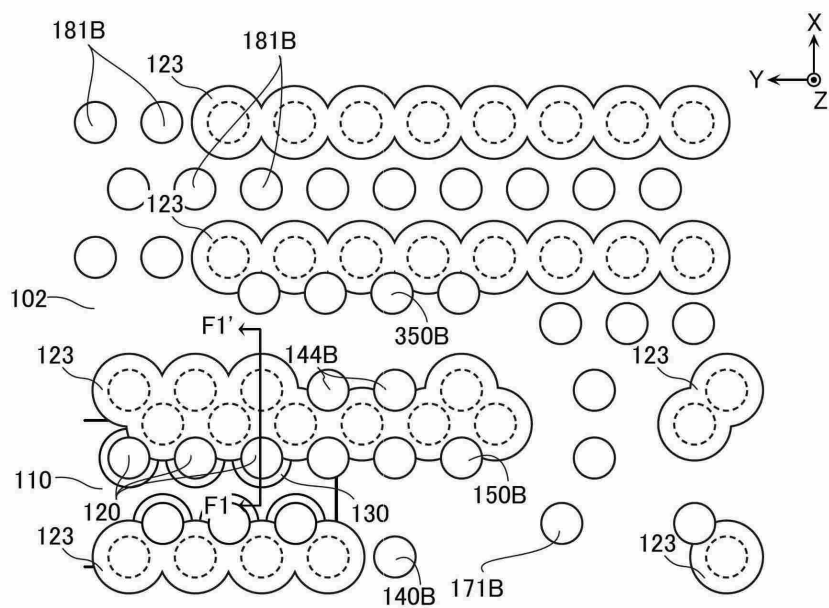


【圖19】

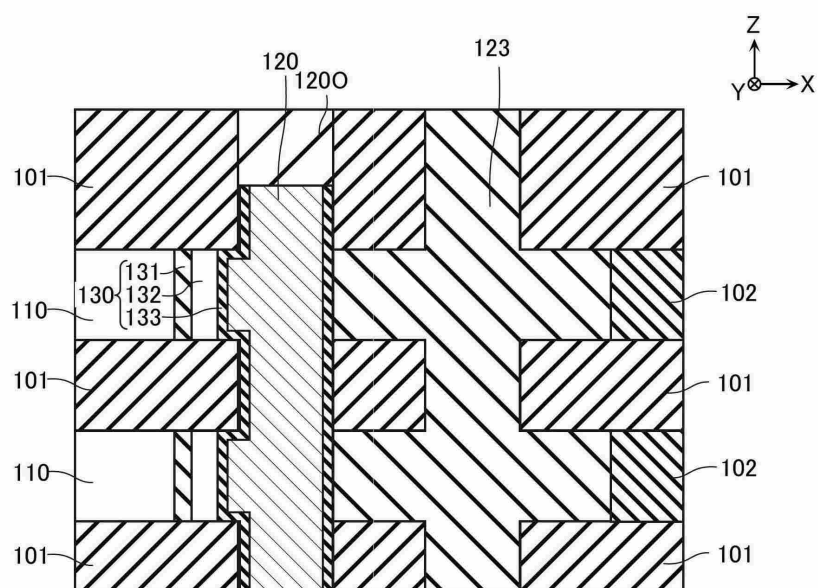


【圖20】

(18)

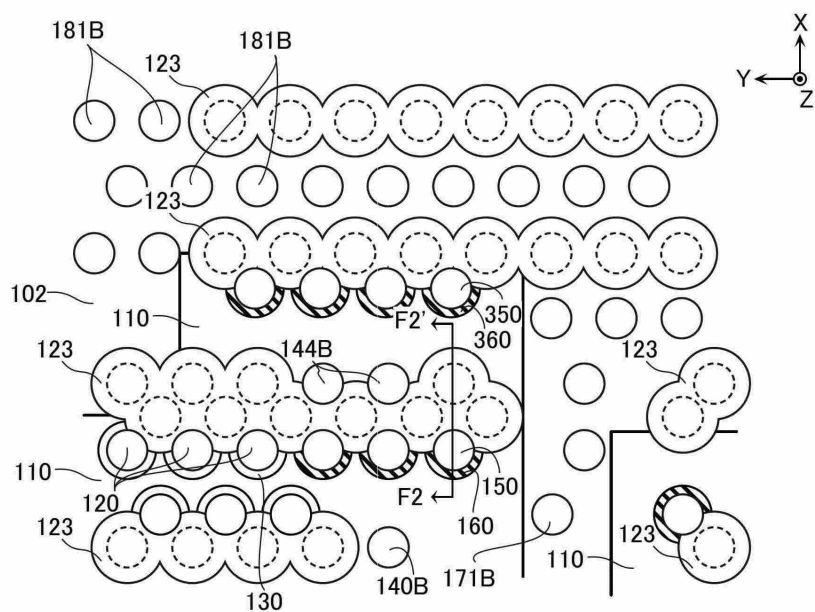


【圖21】

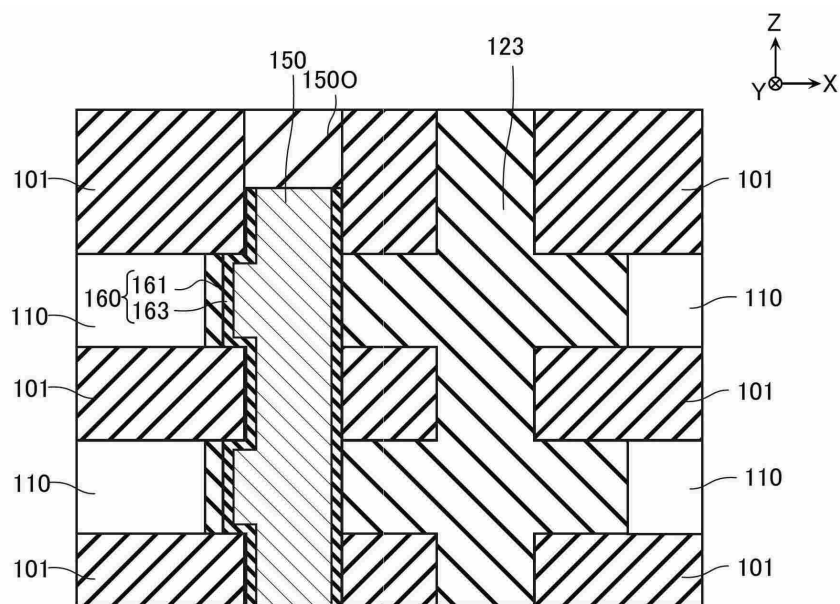


【圖22】

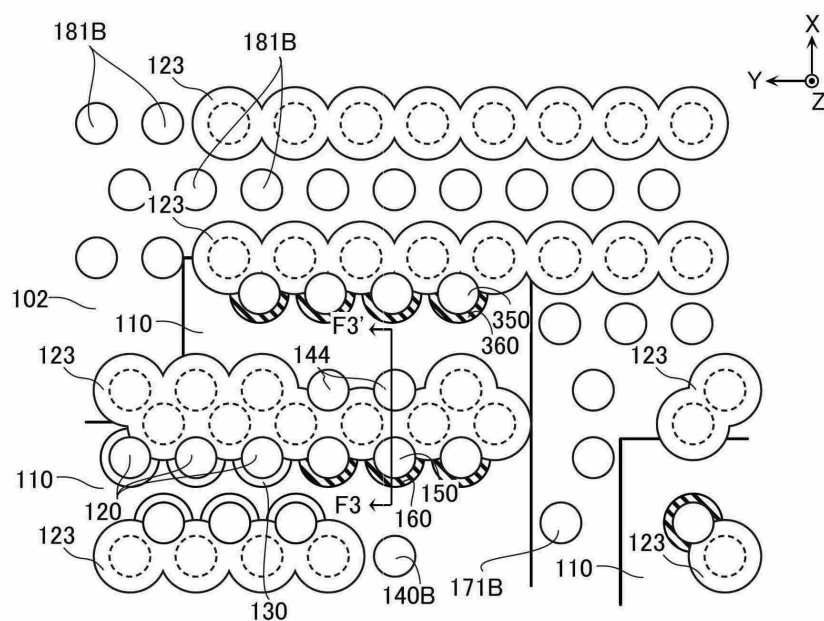
(19)



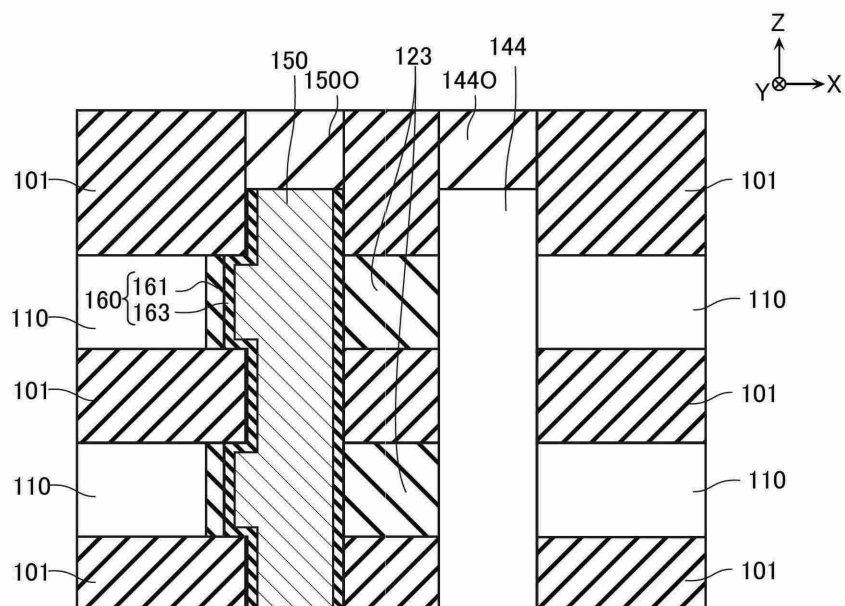
【圖23】



【圖24】

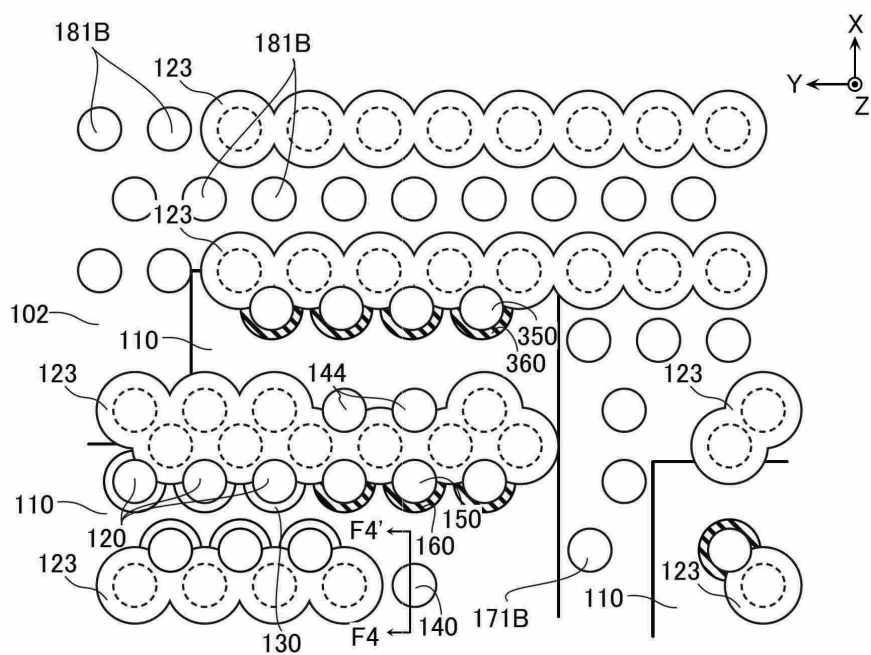


【圖25】

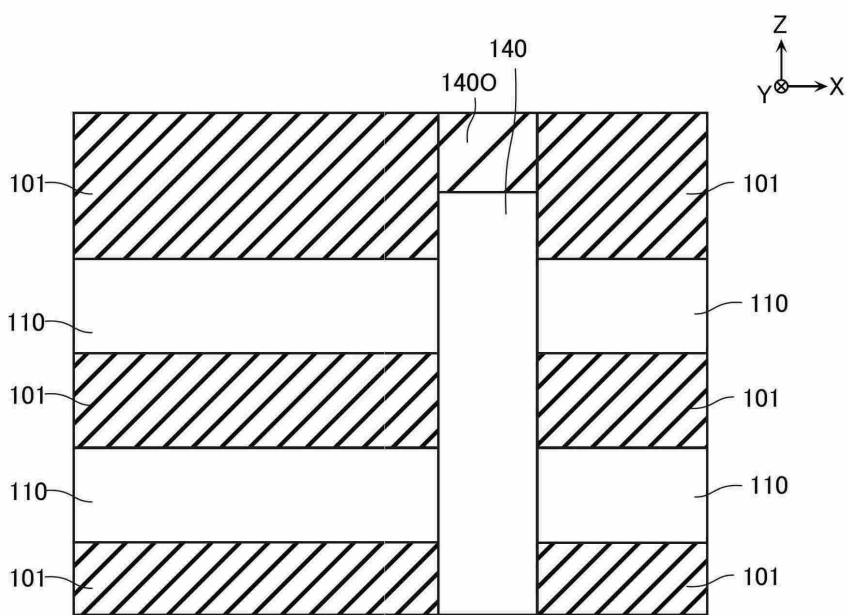


【圖26】

(21)

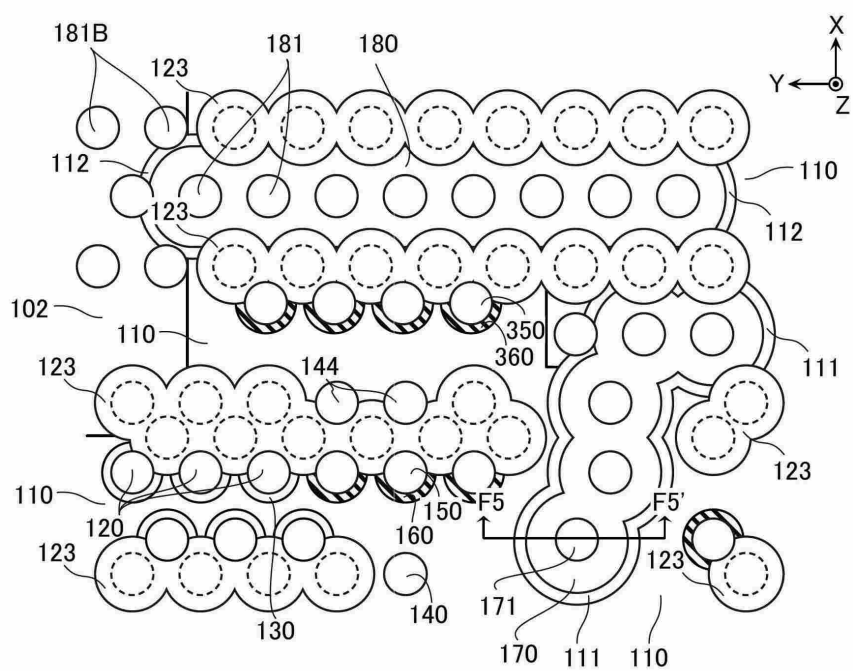


【圖27】

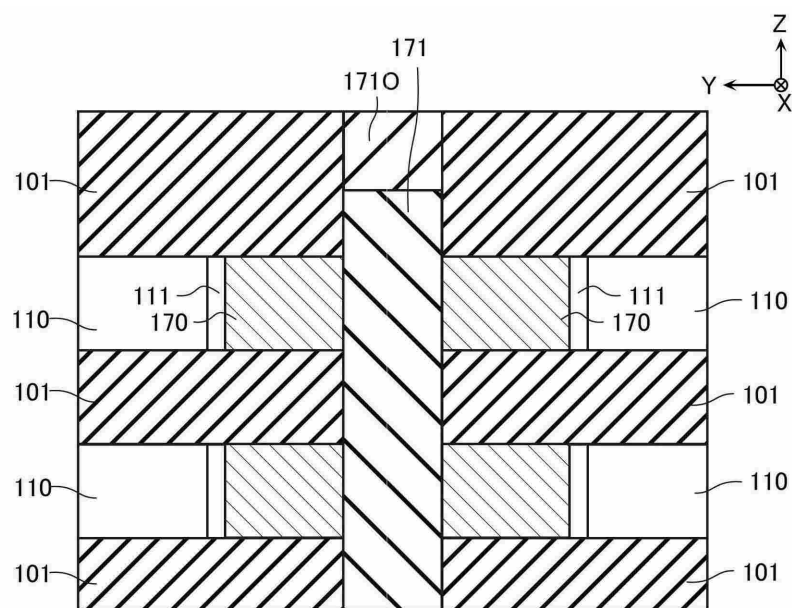


【圖28】

(22)

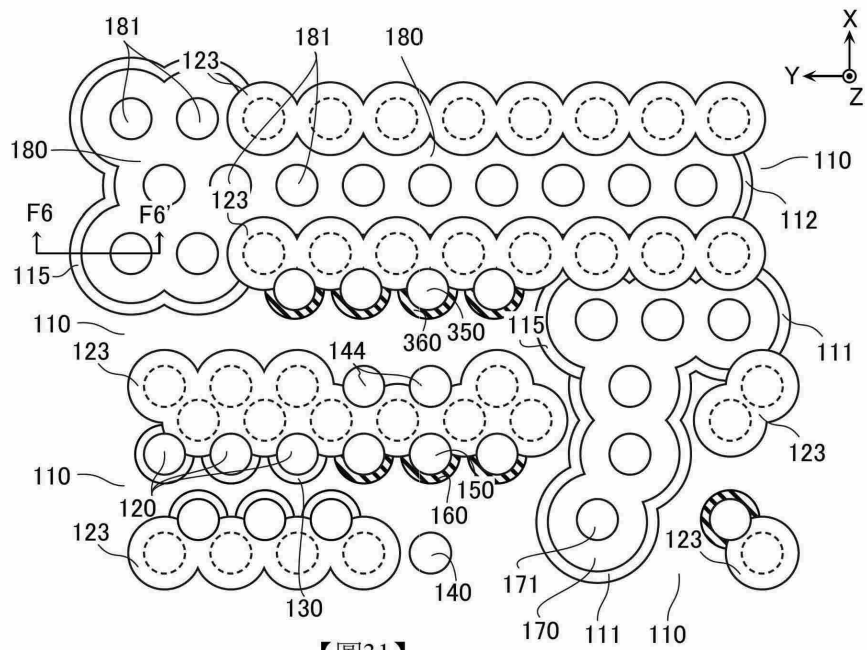


【圖29】

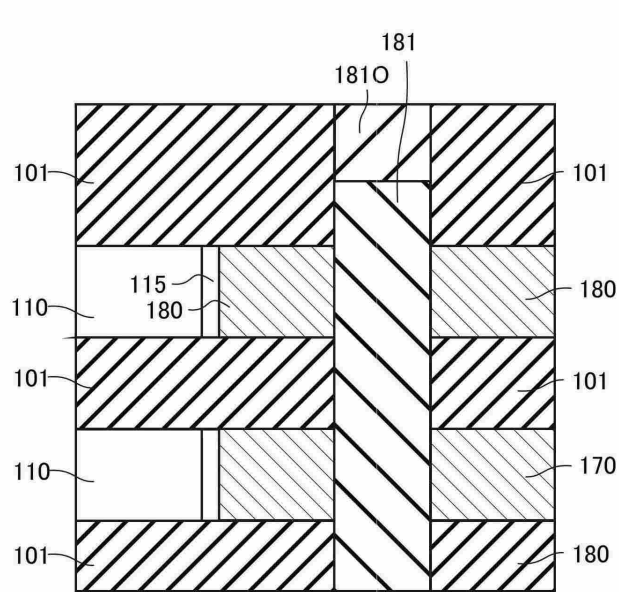


【圖30】

(23)

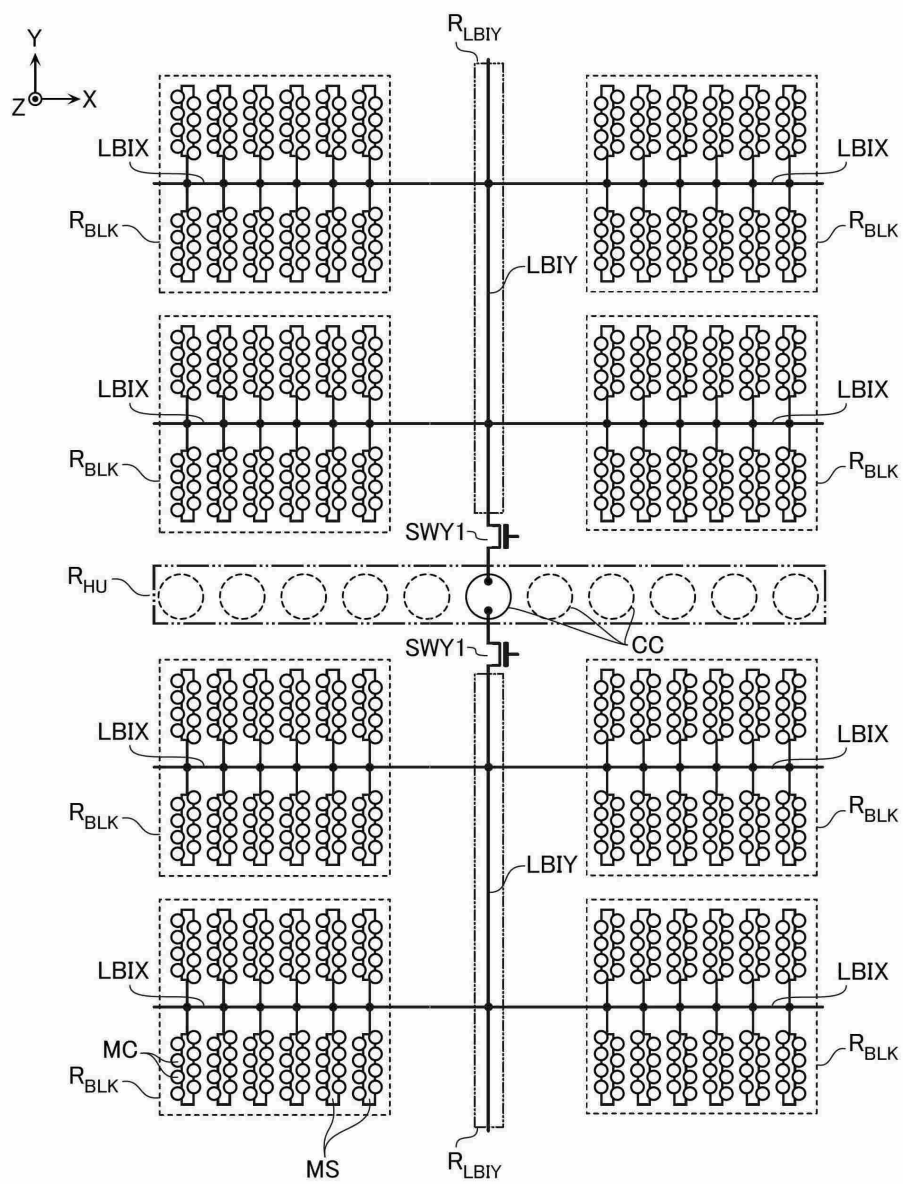


【圖31】



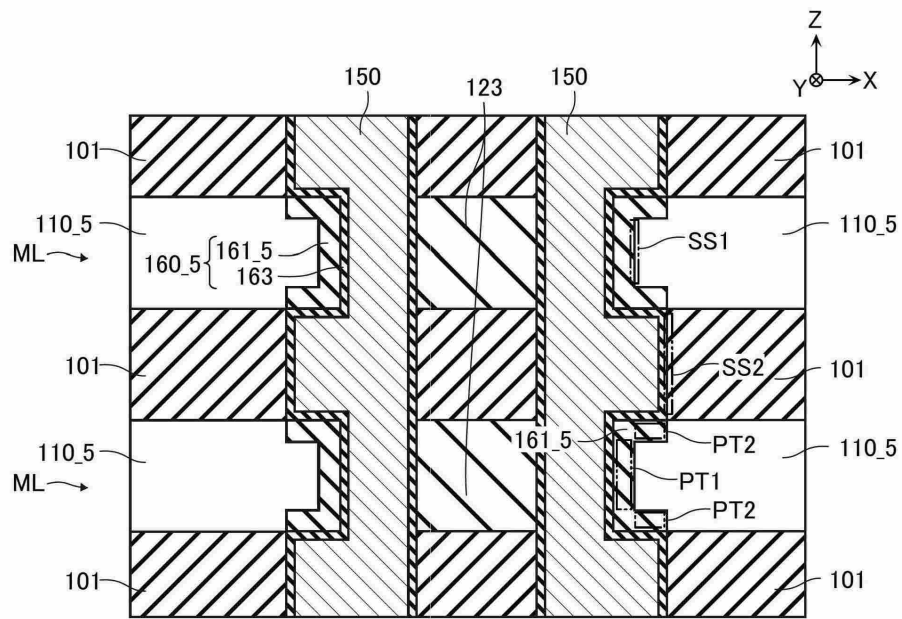
【圖32】

- 10769 -

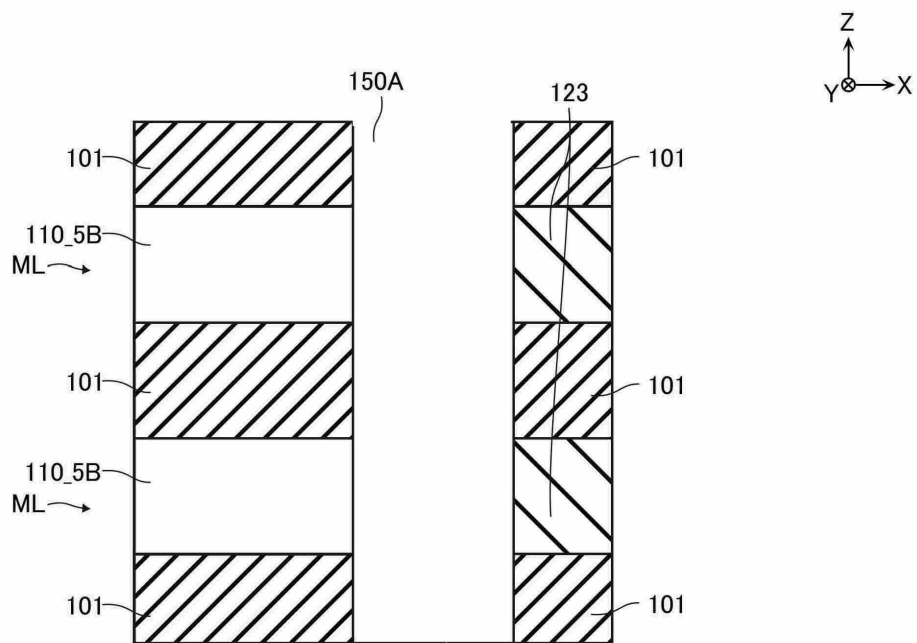


【圖34】

(26)

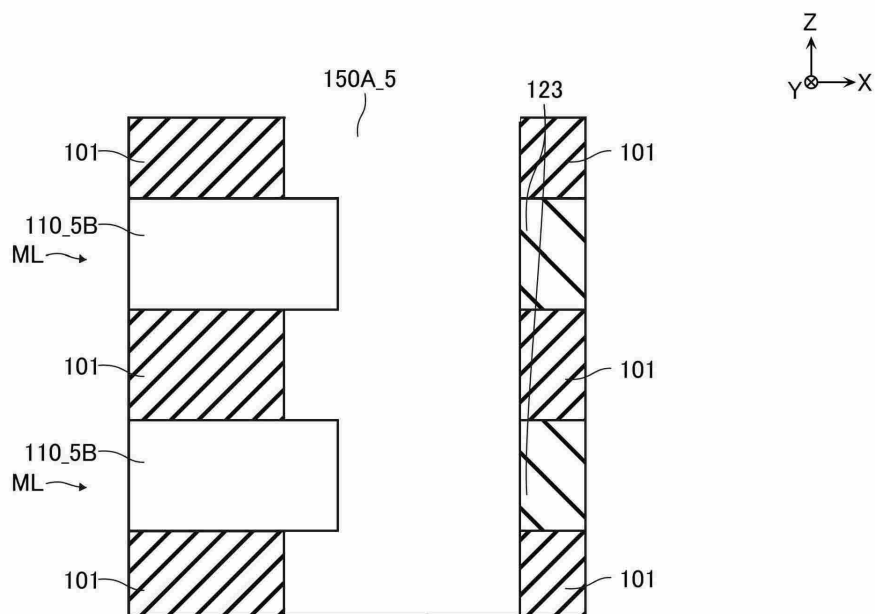


【圖35】

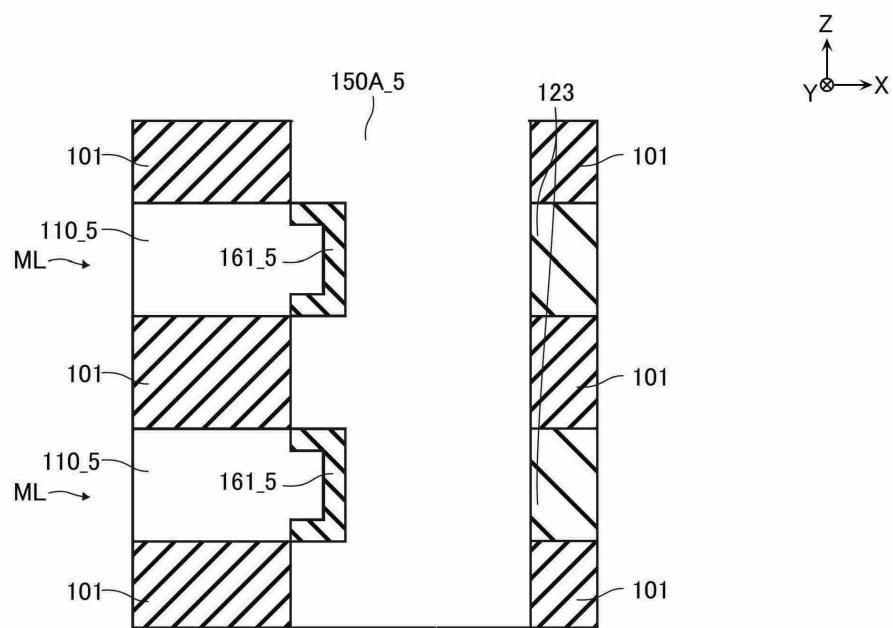


【圖36】

(27)



【圖37】



【圖38】