

【11】證書號數：I939203

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：H10W72/50 (2026.01)

發明

全 22 頁

【54】名稱：具有基板通孔的半導體元件結構的製造方法

【21】申請案號：114134746

【22】申請日：中華民國 114 (2025) 年 09 月 10 日

【30】優先權：2025/05/06

美國

19/199,606

【72】發明人：翁翊瀧 (TW) WONG, YI-LONG

【71】申請人：南亞科技股份有限公司

NANYA TECHNOLOGY
CORPORATION

新北市泰山區南林路 98 號

【74】代理人：陳長文；馮博生

【56】參考文獻：

TW 202316572A

CN 102420210A

CN 113410211A

CN 115172325A

US 2016/0293552A1

審查人員：李維恩

【57】申請專利範圍

1. 一種半導體元件結構的製造方法，包括：
形成一開口貫穿一半導體基板；
形成一阻擋層內襯於該開口；
在該開口中以及在該阻擋層及該半導體基板之上形成一導電層；
在形成該導電層的期間佈植一摻質到該導電層中；
在佈植該摻質之後對該導電層進行退火，其中在進行該退火之前，該導電層具有一突出部分與該開口重疊，並且將該摻質佈植到該導電層的該突出部分中；以及
在該退火之後對該導電層及該阻擋層進行平坦化。
2. 如請求項 1 所述的半導體元件結構的製造方法，其中該摻質包括氮 (N)。
3. 如請求項 1 所述的半導體元件結構的製造方法，其中在形成該導電層的期間將該摻質佈植到該導電層及該阻擋層中。
4. 如請求項 1 所述的半導體元件結構的製造方法，其中該佈植是在介於約 1KeV 與約 3KeV 之間的一能量下進行。
5. 如請求項 1 所述的半導體元件結構的製造方法，其中該佈植是使用介於約 3×10^6 原子/ cm^2 與約 6×10^6 原子/ cm^2 之間的一佈植劑量。
6. 如請求項 1 所述的半導體元件結構的製造方法，其中該退火是在介於約 350 與約 420 之間的一溫度下進行。
7. 如請求項 1 所述的半導體元件結構的製造方法，其中該導電層藉由一電鍍製程形成，且該導電層包括銅 (Cu)。
8. 如請求項 1 所述的半導體元件結構的製造方法，其中位於該半導體基板的一頂表面之上的該導電層的一厚度是從約 $0.5\mu\text{m}$ 至約 $2\mu\text{m}$ 的一範圍。
9. 如請求項 1 所述的半導體元件結構的製造方法，其中在形成該導電層之前，該阻擋層延伸到該半導體基板之上。

10. 如請求項 1 所述的半導體元件結構的製造方法，其中位於該半導體基板的一頂表面之上的該阻擋層的一厚度是從約 50nm 至約 100nm 的一範圍。
11. 如請求項 1 所述的半導體元件結構的製造方法，還包括：
在形成該阻擋層之前，形成一隔離層內襯於該開口且位於該半導體基板之上。
12. 如請求項 11 所述的半導體元件結構的製造方法，其中藉由該平坦化而移除位於該半導體基板之上的該隔離層的一部分。
13. 如請求項 11 所述的半導體元件結構的製造方法，其中在該平坦化之後，該導電層的一頂表面是略微凹陷，而該阻擋層的一頂表面與該隔離層的一頂表面實質上共平面。

圖式簡單說明

參閱實施方式與申請專利範圍合併考量圖式時，可得以更全面了解本申請案之揭示內容。需注意的是，依照業界標準慣例，各特徵並未依比例繪製。事實上，為了討論的清楚性，各種特徵的尺寸可以任意增加或減少。

圖 1 是流程圖，例示根據一些實施例的半導體元件結構的製造方法。

圖 2 是剖面圖，例示根據一些實施例的在半導體元件結構的製造期間在半導體基板的第一側之上形成導電墊及第一介電層的中間階段。

圖 3 是剖面圖，例示根據一些實施例的在半導體元件結構的製造期間在半導體基板的第二側之上依序形成第二介電層及第三介電層的中間階段。

圖 4 是剖面圖，例示根據一些實施例的在半導體元件結構的製造期間蝕刻第三介電層、第二介電層及半導體基板以形成暴露導電墊的開口的中間階段。

圖 5 是剖面圖，例示根據一些實施例的在半導體元件結構的製造期間形成隔離層內襯於開口且位於第三介電層之上的中間階段。

圖 6 是剖面圖，例示根據一些實施例的在半導體元件結構的製造期間在隔離層之上形成經過圖案化的罩幕的中間階段。

圖 7 是剖面圖，例示根據一些實施例的在半導體元件結構的製造期間蝕刻隔離層以部分地暴露導電墊的中間階段。

圖 8 是剖面圖，例示根據一些實施例的在半導體元件結構的製造期間形成阻擋層內襯於開口且位於隔離層之上的中間階段。

圖 9 是剖面圖，例示根據一些實施例的在半導體元件結構的製造期間在開口中形成導電層並佈植摻質到導電層中的中間階段。

圖 10 是剖面圖，例示根據一些實施例的在半導體元件結構的製造期間在佈植摻質之後的摻質分佈。

圖 11 是剖面圖，例示根據一些實施例的在半導體元件結構的製造期間對導電層進行退火的中間階段。

圖 12 是剖面圖，例示根據一些實施例的在半導體元件結構的製造期間進行第一平坦化製程的中間階段。

圖 13 是剖面圖，例示根據一些實施例的在半導體元件結構的製造期間進行第二平坦化製程的中間階段。

圖 14 是剖面圖，例示根據一些其他實施例的在半導體元件結構的製造期間在阻擋層之上形成圖案化罩幕的中間階段。

圖 15 是剖面圖，例示根據一些其他實施例的在半導體元件結構的製造期間蝕刻阻擋層以部分地暴露導電墊的中間階段。

(3)

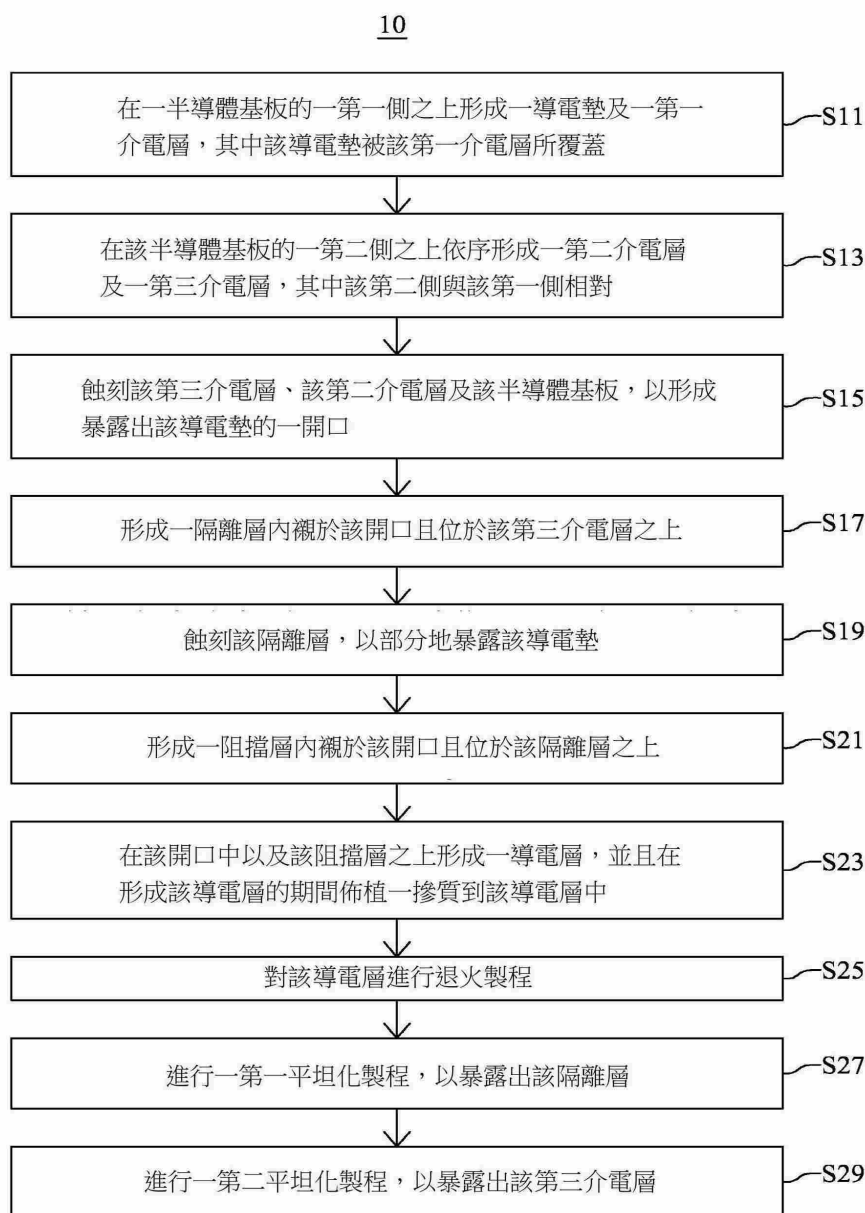
圖 16 是剖面圖，例示根據一些其他實施例的在半導體元件結構的製造期間在開口中形成導電層並佈植摻質到導電層中的中間階段。

圖 17 是剖面圖，例示根據一些其他實施例的在半導體元件結構的製造期間依序進行第一平坦化製程及第二平坦化製程的中間階段。

圖 18 是剖面圖，例示根據一些其他實施例的在半導體元件結構的製造期間在佈植摻質之後的摻質分佈。

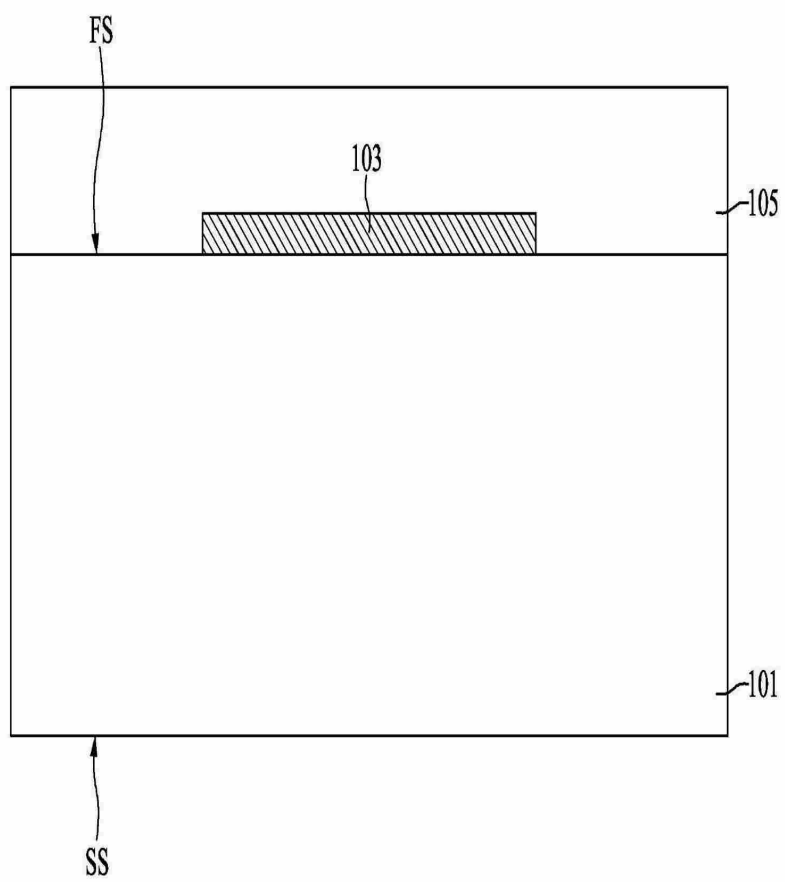
圖 19 是剖面圖，例示根據一些其他實施例的在半導體元件結構的製造期間在佈植摻質之後的摻質分佈。

圖 20 是剖面圖，例示根據一些其他實施例的在半導體元件結構的製造期間在佈植摻質之後的摻質分佈。



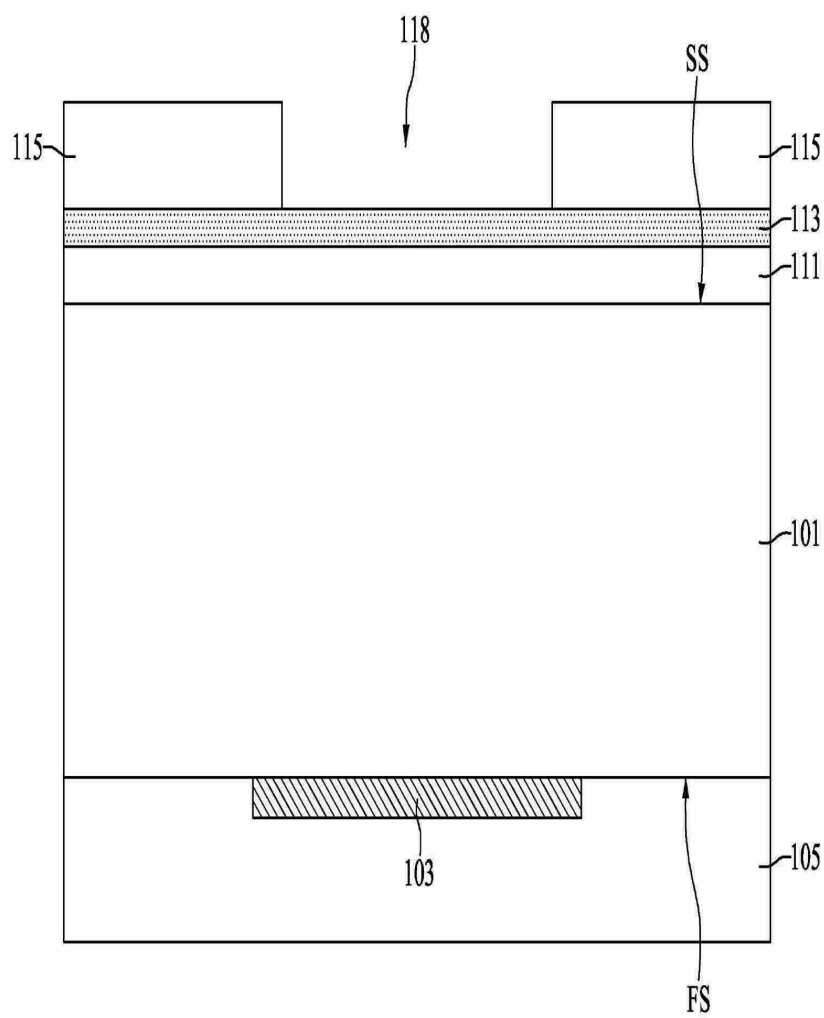
【圖1】

(4)



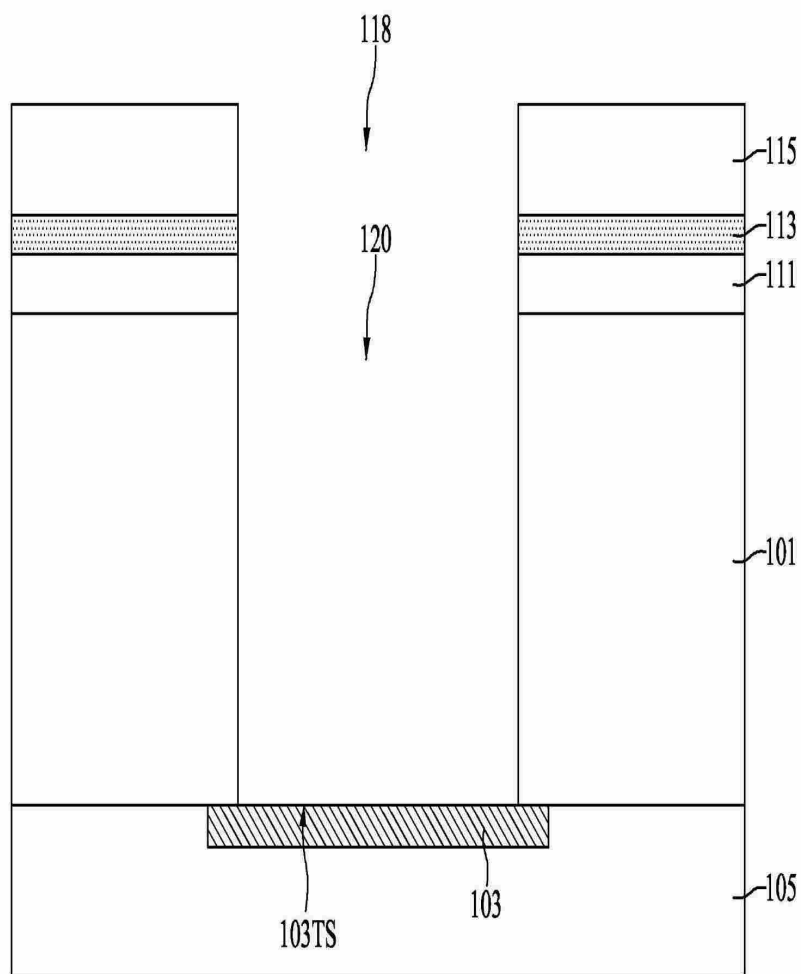
【圖2】

(5)



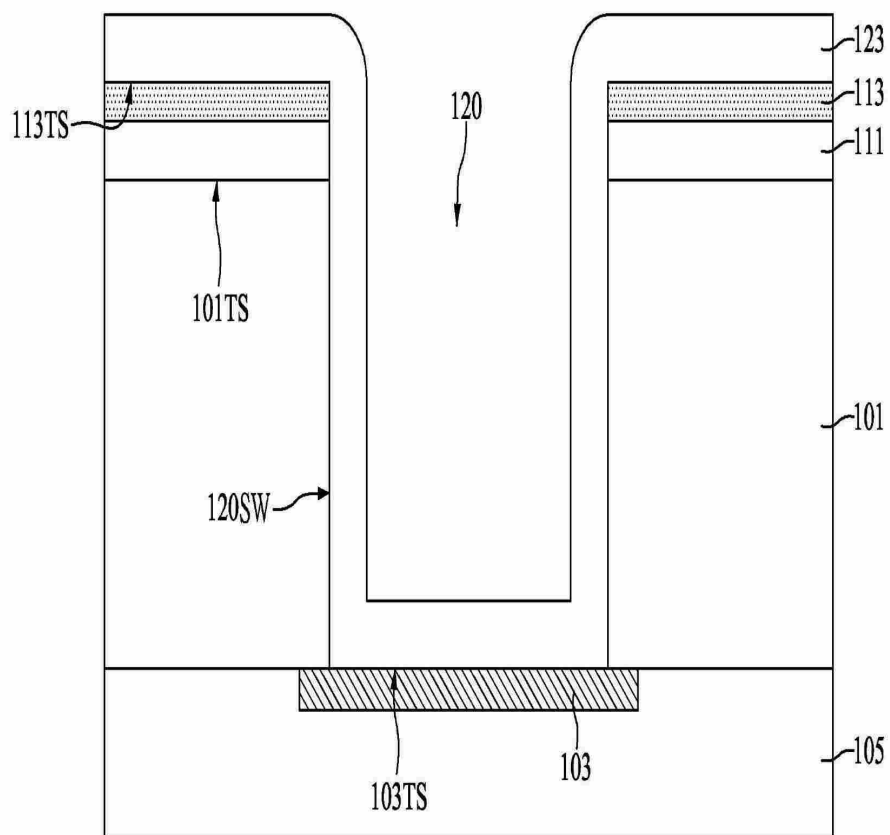
【圖3】

(6)



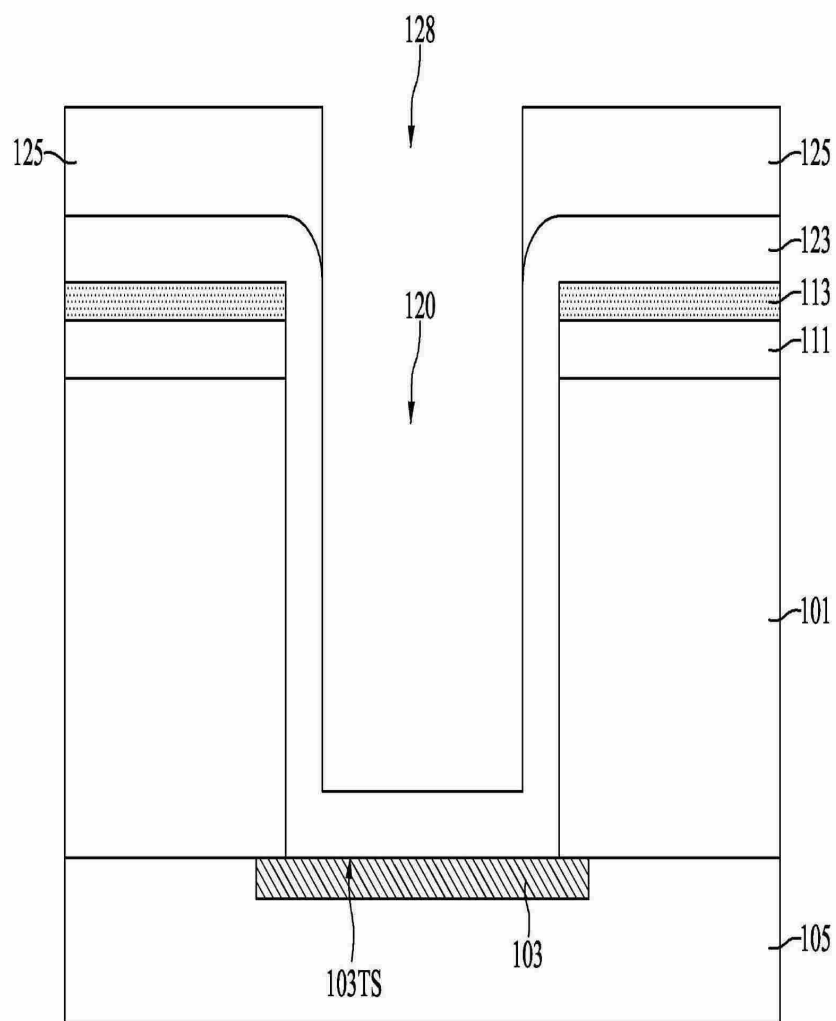
【圖4】

(7)



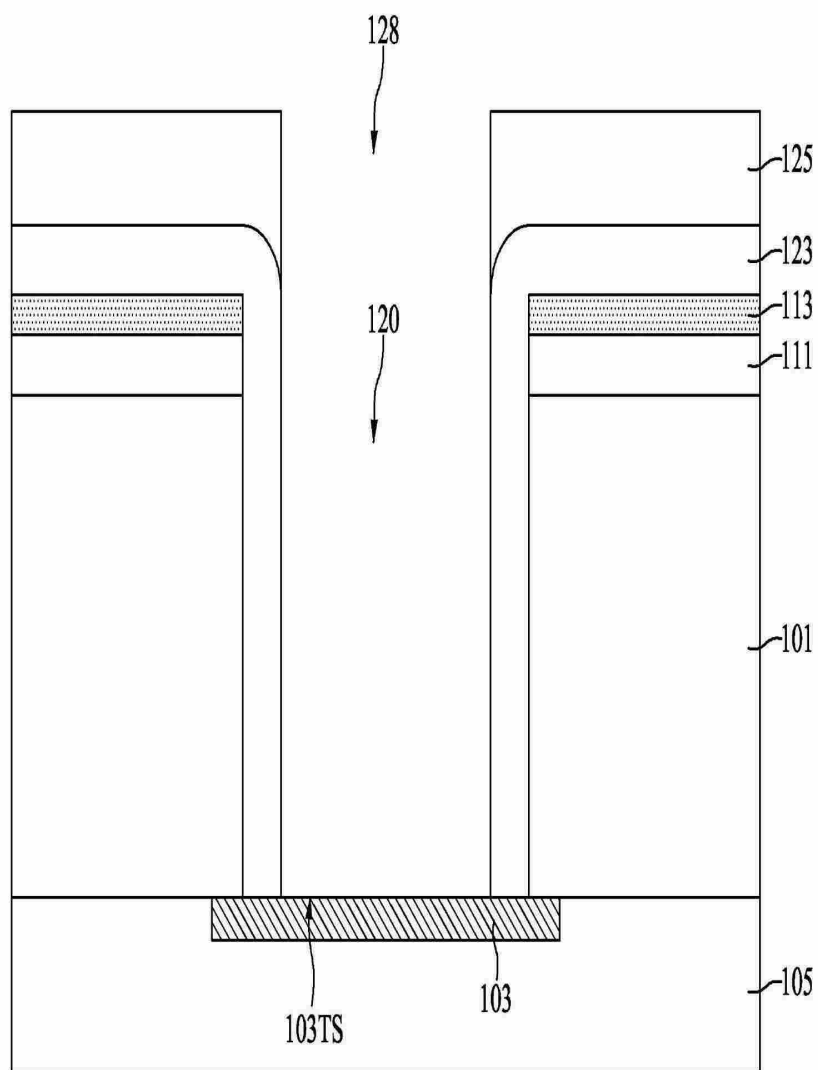
【圖5】

(8)



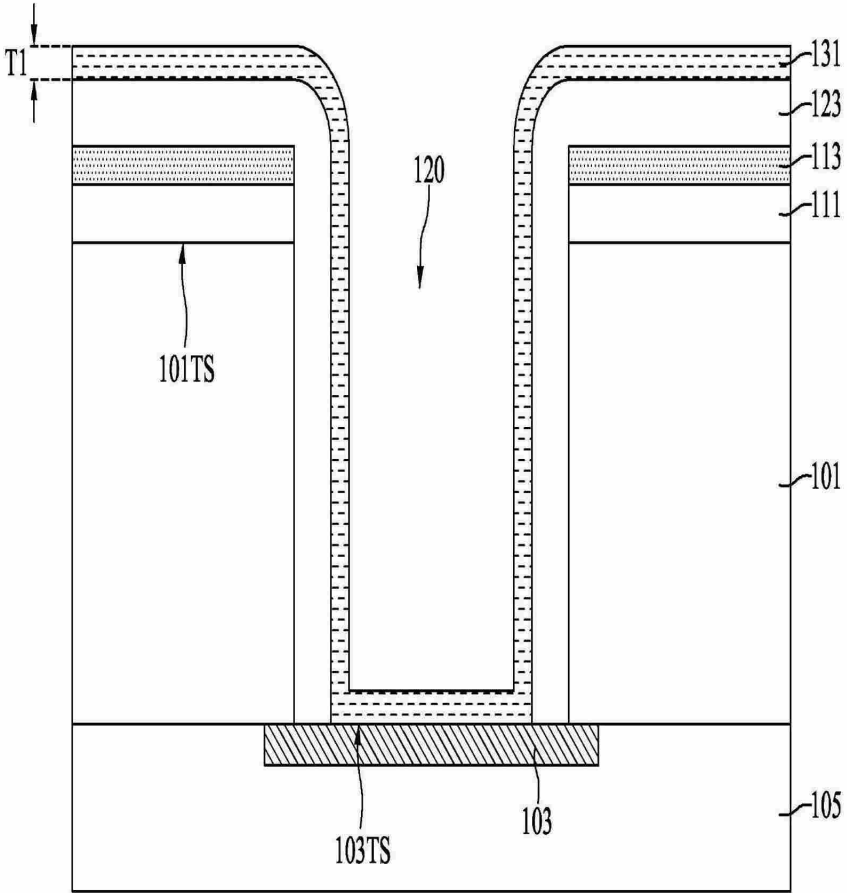
【圖6】

(9)



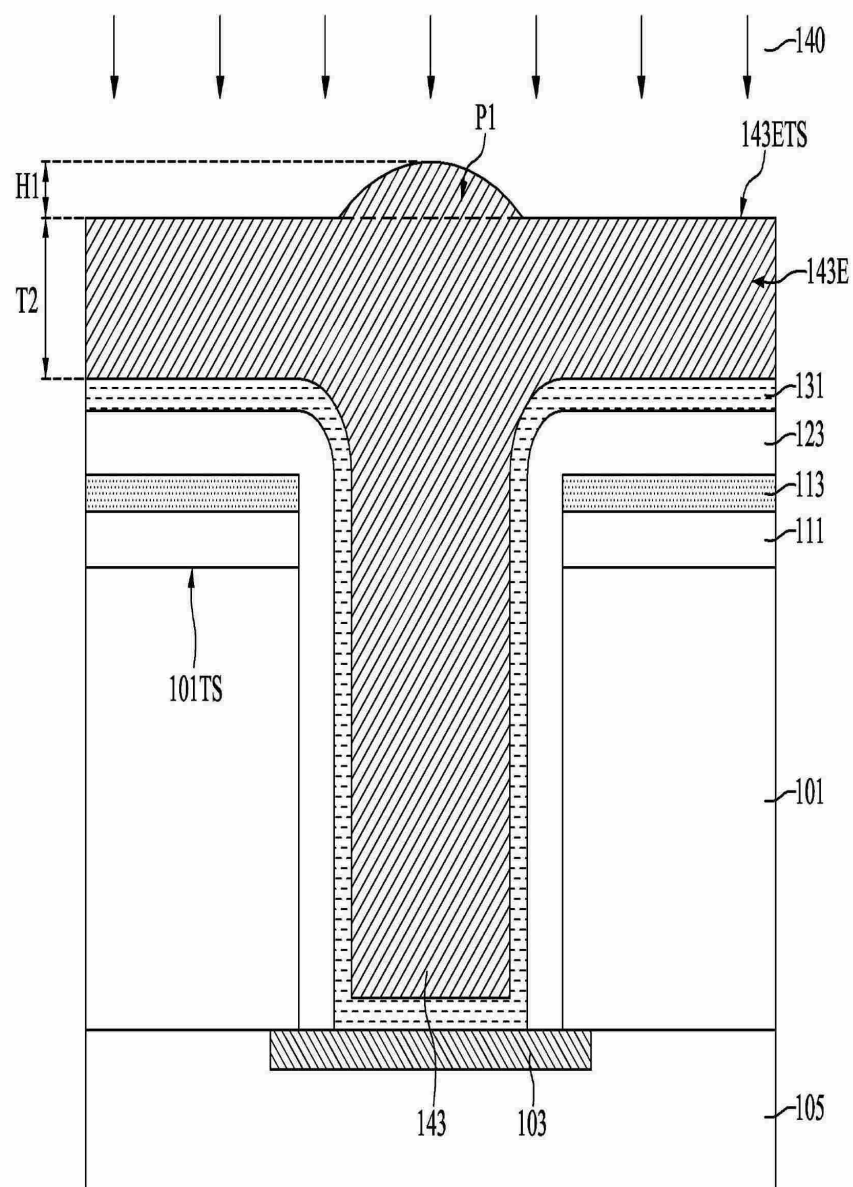
【圖7】

(10)



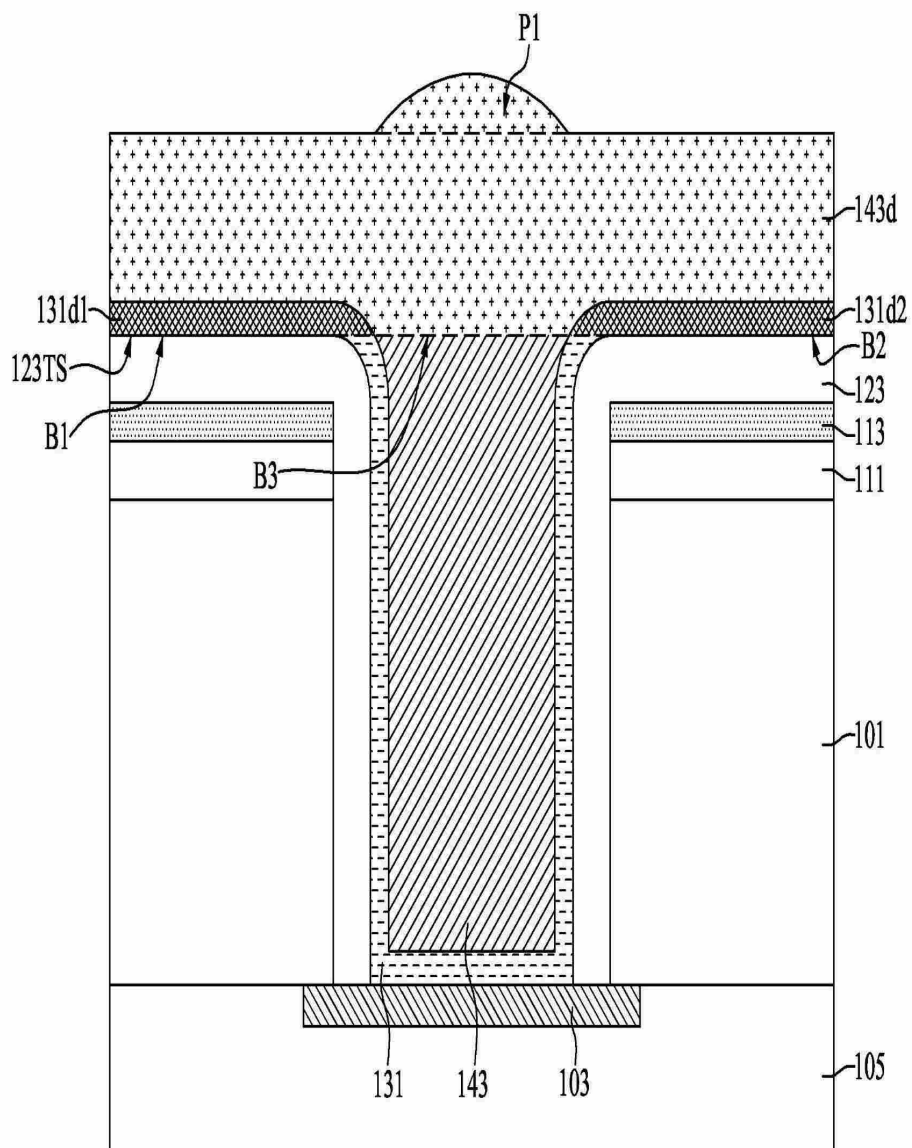
【圖8】

(11)



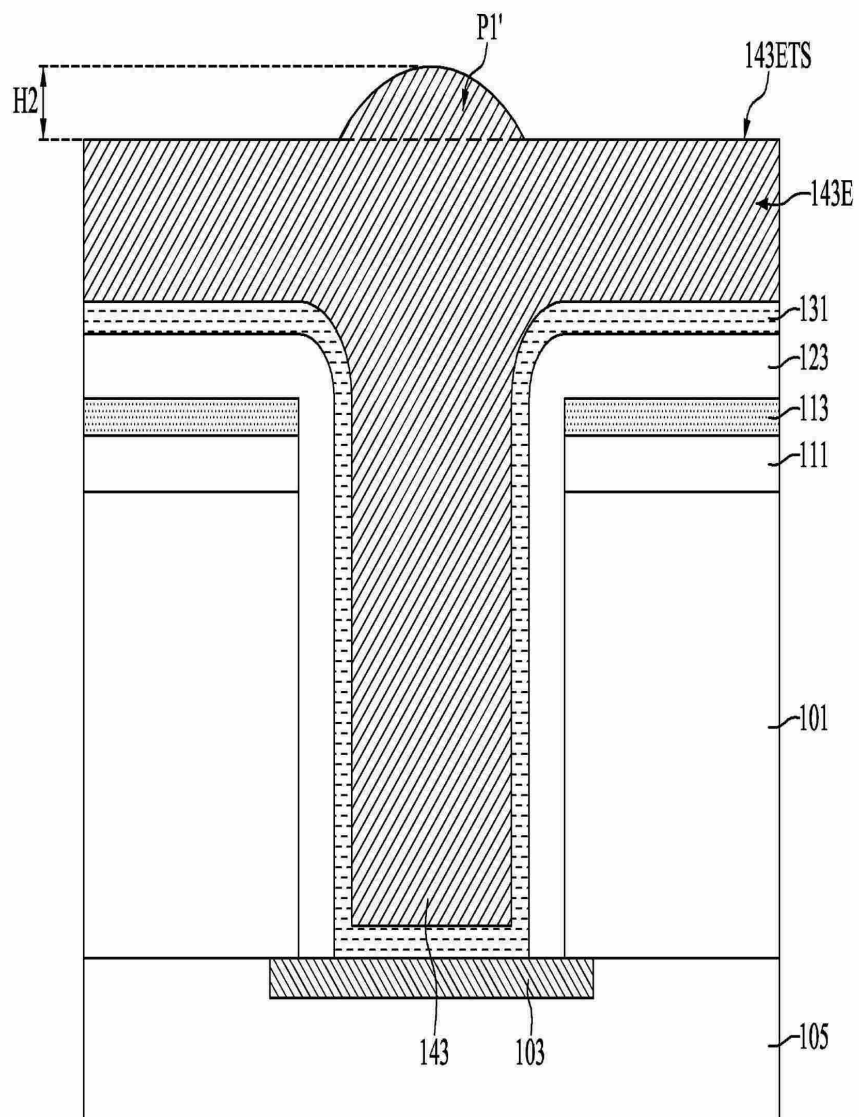
【圖9】

(12)



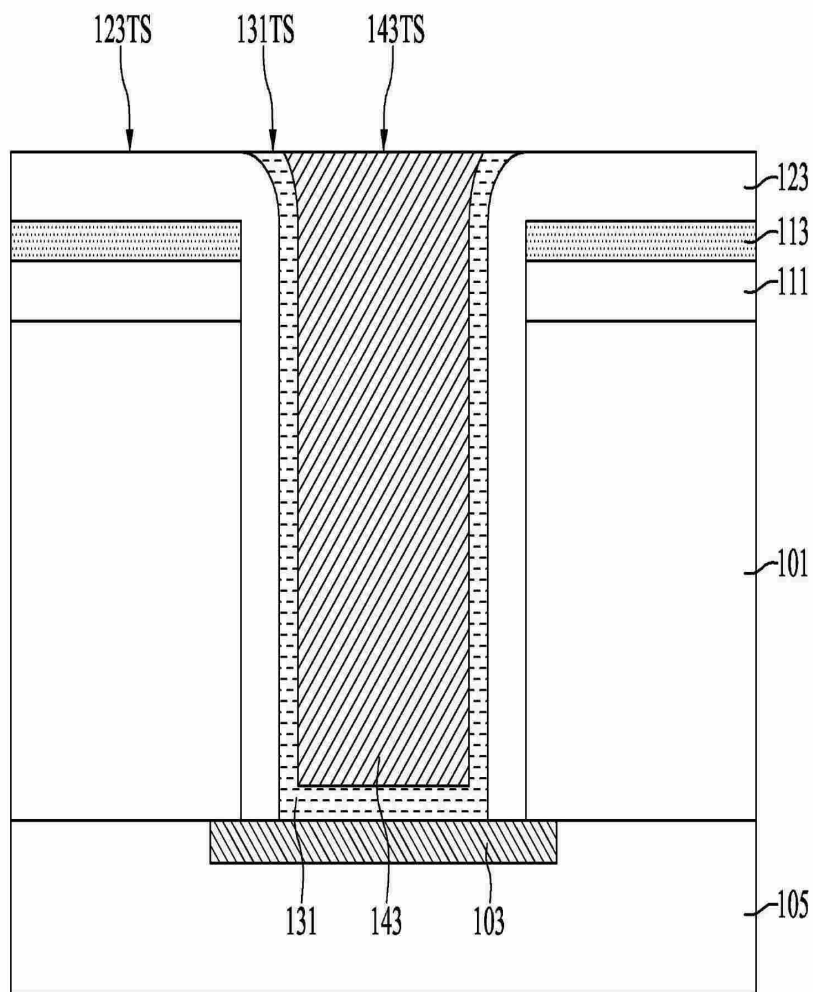
【圖10】

(13)



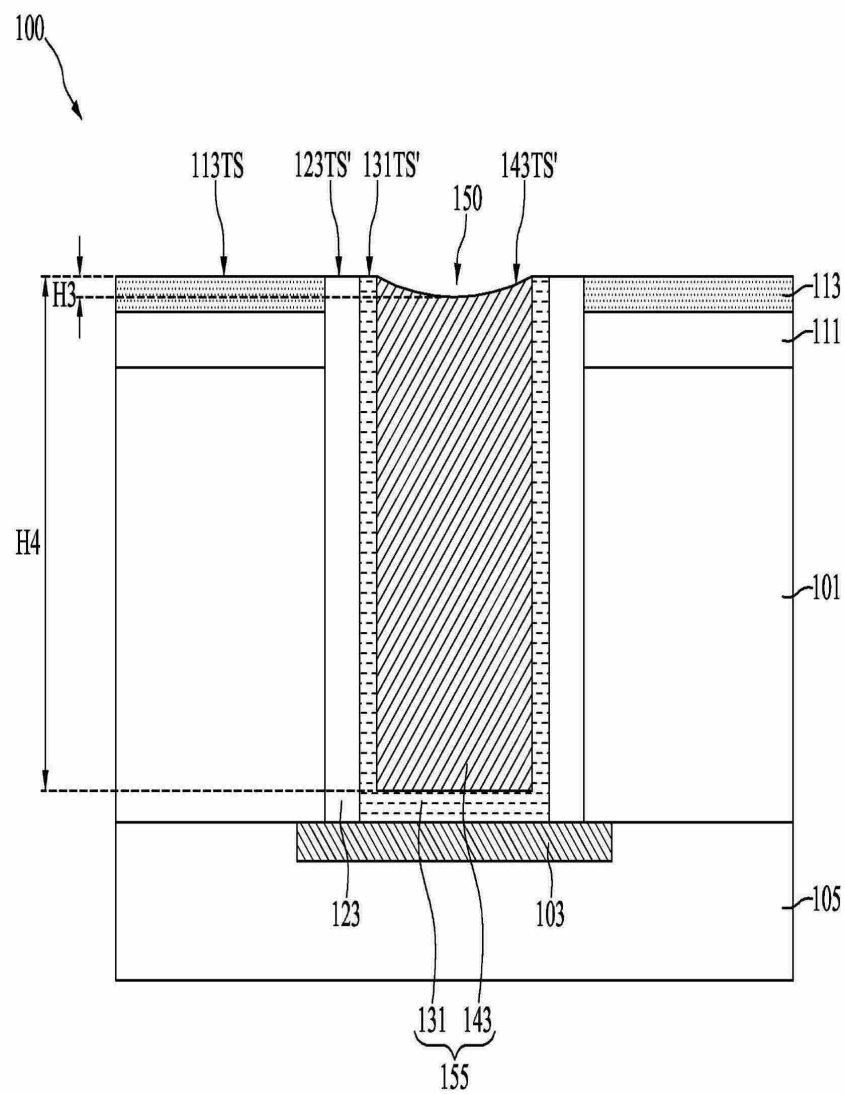
【圖11】

(14)



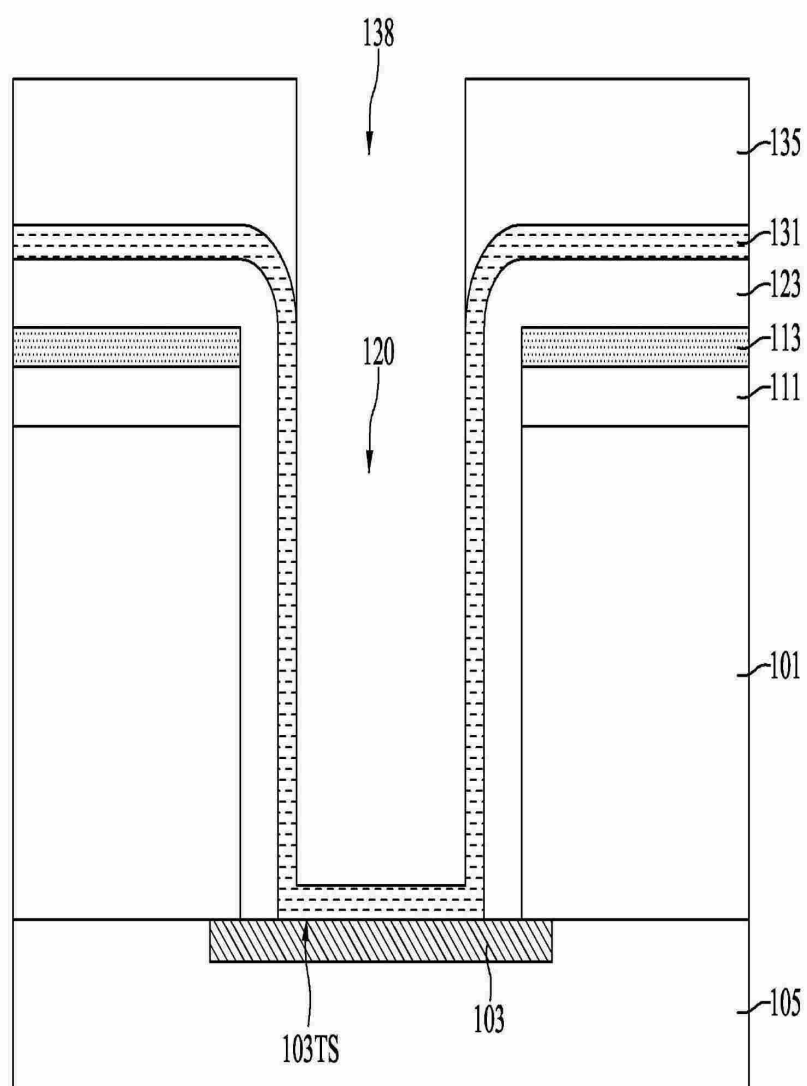
【圖12】

(15)



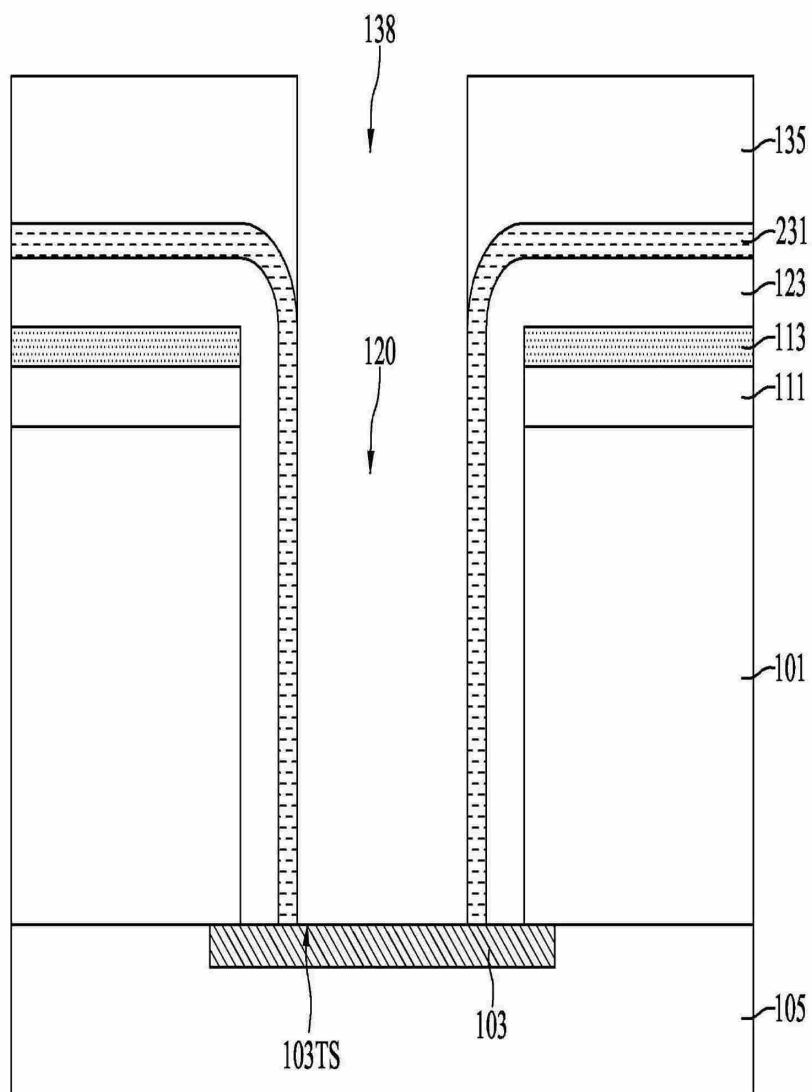
【圖13】

(16)



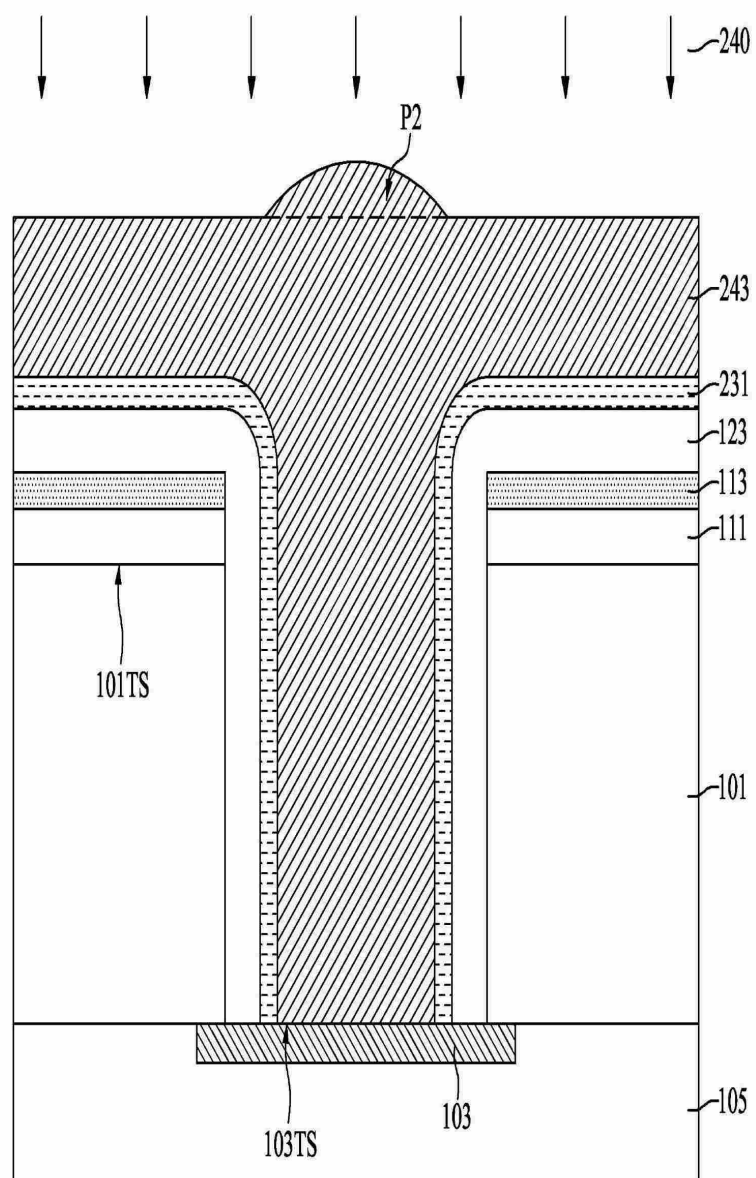
【圖14】

(17)



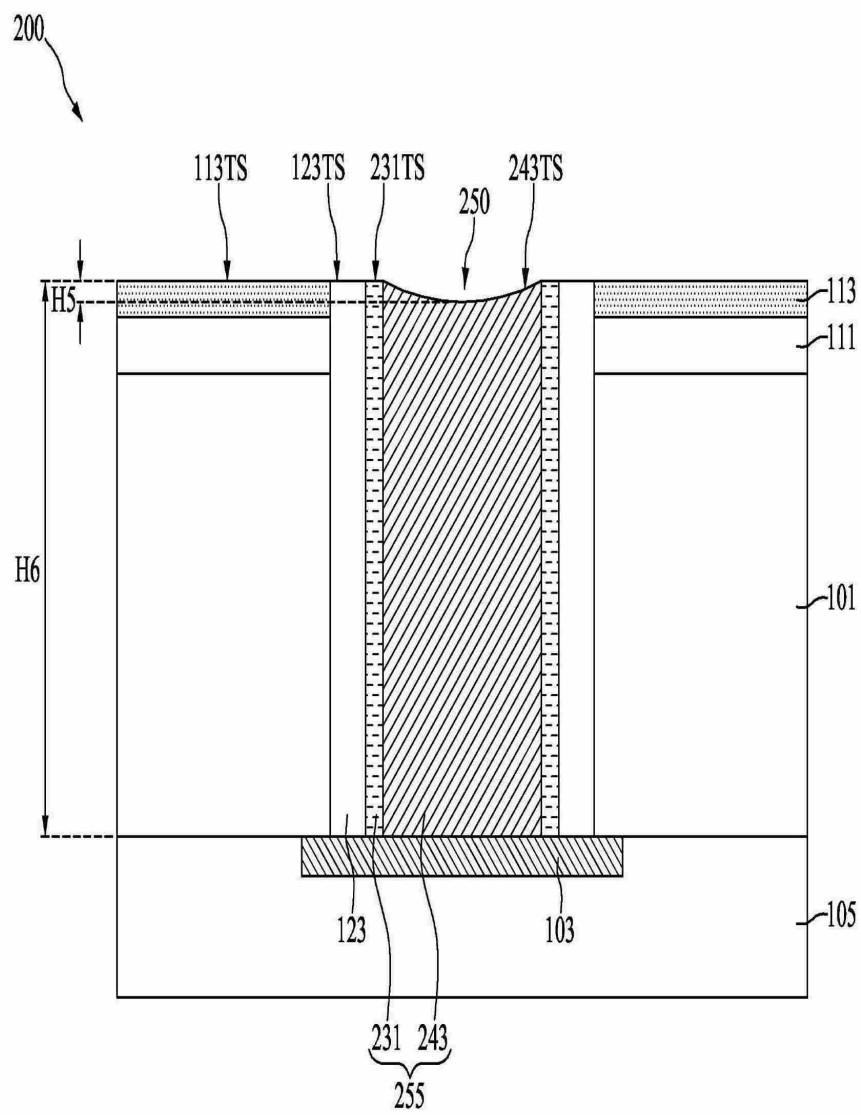
【圖15】

(18)



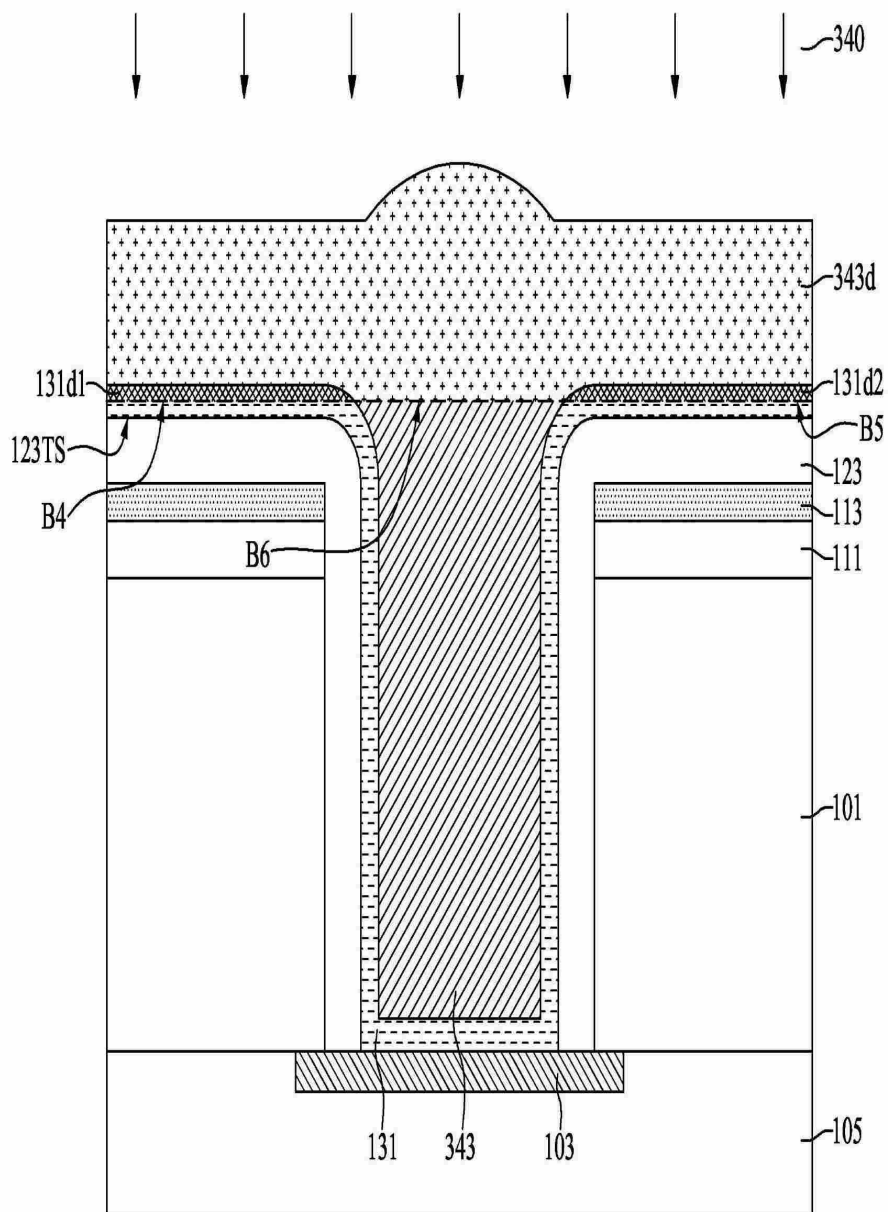
【圖16】

(19)



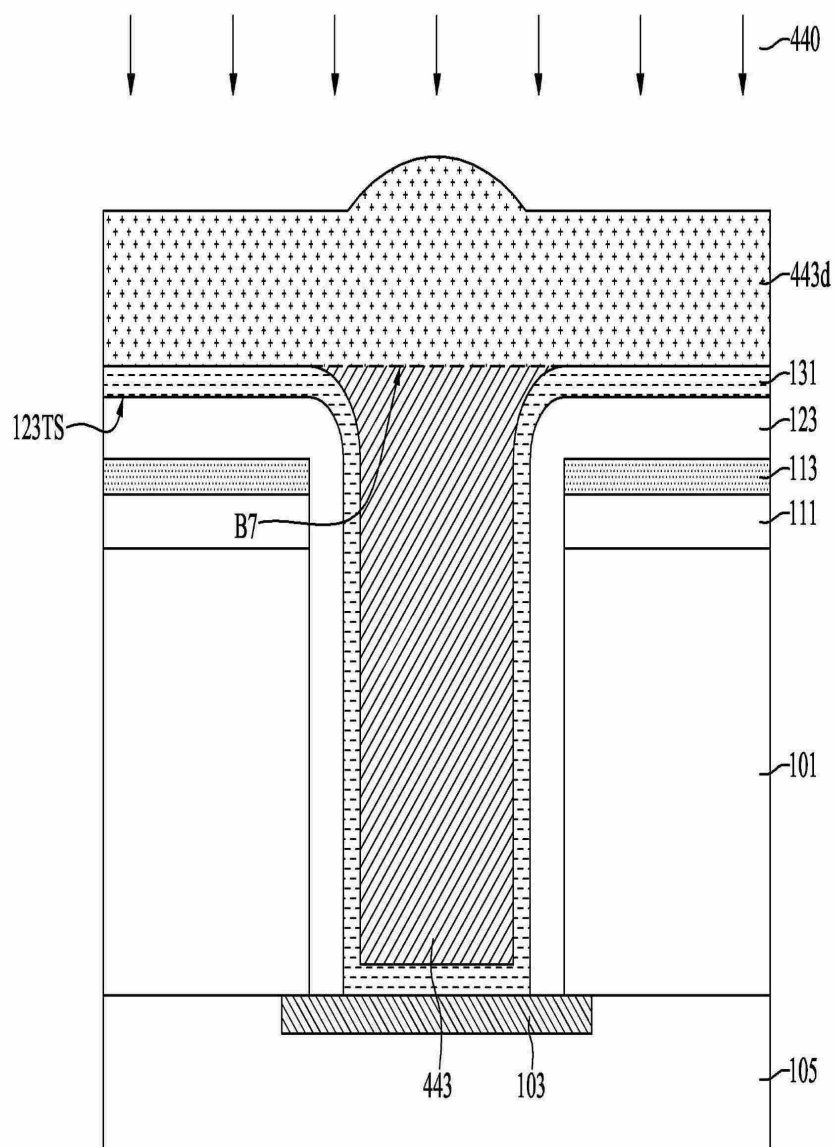
【圖17】

(20)



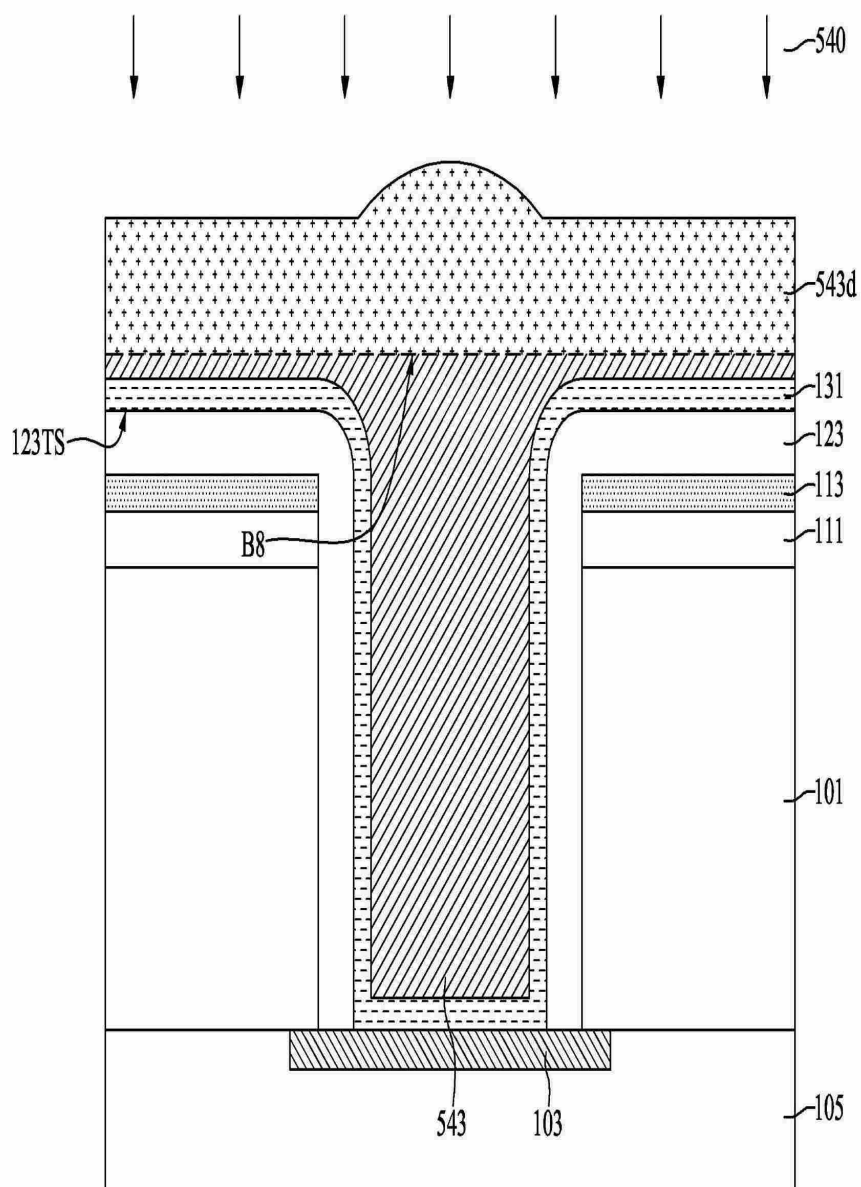
【圖18】

(21)



【圖19】

(22)



【圖20】