

【11】證書號數：I939222

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl.：H10P76/00 (2026.01) H10P10/00 (2026.01)

發明

全 19 頁

【54】名稱：應力平衡的半導體元件的製造方法

【21】申請案號：114136120

【22】申請日：中華民國 114 (2025) 年 09 月 19 日

【30】優先權：2025/07/23

美國

19/277,660

【72】發明人：林昱利 (TW) LIN, YU-LI

【71】申請人：南亞科技股份有限公司

NANYA TECHNOLOGY
CORPORATION

新北市泰山區南林路 98 號

【74】代理人：陳長文；馮博生

【56】參考文獻：

TW 200943393A

TW 202305880A

TW 202447790A

CN 111725051A

CN 114242766A

審查人員：李維恩

【57】申請專利範圍

1. 一種半導體元件的製造方法，包括：
在一基板的一第一表面上形成一應力補償薄膜；以及
在該基板的一第二表面上形成一遮罩堆疊，其中該第一表面與該第二表面相對，
其中該遮罩堆疊和該應力補償薄膜皆對該基板施加壓縮應力或皆對該基板施加拉伸應力，其中該應力補償薄膜包括選自由矽氧化物、氮化矽、氮矽氧化物、矽硼和碳組成的一群組中的至少一材料。
2. 如請求項 1 所述的方法，其中在該基板的該第一表面上形成該應力補償薄膜包括：
透過一擴散製程形成該應力補償薄膜，
其中一虛設薄膜在該遮罩堆疊下方且在該基板的該第二表面上與該應力補償薄膜同時形成，
其中該虛設薄膜具有與該應力補償薄膜的相同材料。
3. 如請求項 1 所述的方法，其中在該基板的該第一表面上形成該應力補償薄膜包括：
使用正矽酸四乙酯（tetraethyl orthosilicate，TEOS）作為一前驅物在該基板的該第一表面上沉積一 TEOS 氧化層作為該應力補償薄膜。
4. 如請求項 1 所述的方法，其中該遮罩堆疊和該應力補償薄膜皆對該基板施加該壓縮應力，
其中該遮罩堆疊包括選自由碳和非晶矽組成的一群組中的至少一種材料。
5. 如請求項 1 所述的方法，其中該遮罩堆疊和該應力補償薄膜皆對該基板施加該壓縮應力，其中在該基板的該第二表面上形成該遮罩堆疊包括：
在該基板的該第二表面上形成一第一雙層結構，其中該第一雙層結構包括一第一矽氧化層和在該第一矽氧化層上的一氮化矽層；
在該第一雙層結構上形成一第一碳質硬遮罩；
在該第一碳質硬遮罩上形成一第二雙層結構，其中該第二雙層結構包括一非晶矽層和在該非晶矽層上的一第二矽氧化層；以及

(2)

在該第二雙層結構上形成具有交替的抗反射塗層 (anti-reflecting coating , ARC) 硬遮罩和第二碳質硬遮罩的一第一子遮罩堆疊。

6. 如請求項 5 所述的方法，進一步包括：
蝕刻該第一子遮罩堆疊；以及
使用該第一子遮罩堆疊作為一光罩來蝕刻該第二雙層結構，使得該第二雙層結構形成彼此平行的複數個鰭片。
7. 如請求項 6 所述的方法，進一步包括：
在該第二雙層結構上形成具有交替的該抗反射塗層硬遮罩和該第二碳質硬遮罩的一第二子遮罩堆疊；
蝕刻該第二子遮罩堆疊；
使用該第二子遮罩堆疊作為一光罩來蝕刻該第二雙層結構，以在該複數個鰭片的奇數列上形成複數個第一切割區域；
在該第二雙層結構上形成具有交替的該抗反射塗層硬遮罩和該第二碳質硬遮罩的一第三子遮罩堆疊；
蝕刻該第三子遮罩堆疊；以及
使用該第三子遮罩堆疊作為一光罩來蝕刻該第二雙層結構，以在該複數個鰭片的偶數列上形成複數個第二切割區域。
8. 如請求項 1 所述的方法，其中該遮罩堆疊和該應力補償薄膜皆對該基板施加該拉伸應力，
其中該遮罩堆疊包括矽硼。
9. 如請求項 1 所述的方法，其中該遮罩堆疊和該應力補償薄膜皆對該基板施加該拉伸應力，其中在該基板的該第二表面上形成該遮罩堆疊包括：
在該基板的該第二表面上形成一矽硼層；
在該矽硼層上形成一 TEOS 氧化層；
在該 TEOS 氧化層上形成一碳質硬遮罩；以及
在該碳質硬遮罩上形成一抗反射塗層硬遮罩。

圖式簡單說明

參閱實施方式與申請專利範圍合併考量圖式時，可得以更全面了解本申請案之揭示內容，圖式中相同的元件符號係指相同的元件。

圖 1A 為示意圖，例示一比較實施例的半導體元件的剖面圖。

圖 1B 為示意圖，例示另一比較實施例的半導體元件的剖面圖。

圖 2 為流程圖，例示本揭露一些實施例的半導體元件的製造方法。

圖 3 至圖 4 為示意圖，例示本揭露一些實施例在方法的步驟 S101 中在基板的背面形成應力補償薄膜的中間階段的剖面圖。

圖 5 至圖 7 為示意圖，例示本揭露一些實施例在方法的步驟 S103 中在基板上方形形成遮罩堆疊的中間階段的剖面圖。

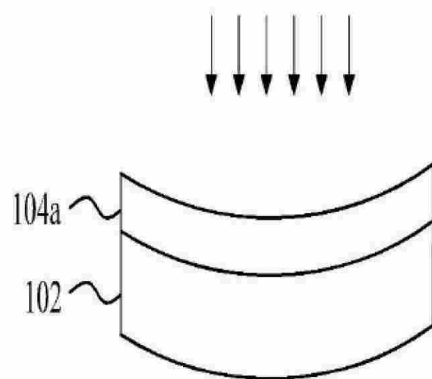
圖 8 至圖 16 為示意圖，例示本揭露一些實施例在方法的步驟 S105 中對第二雙層結構執行多重圖案化的中間階段的剖面圖。

圖 17 為示意圖，例示本揭露一些實施例在形成主動區域的陣列之後半導體元件的頂視圖。

圖 18 和圖 19 為示意圖，例示本揭露一些實施例在基板上方形形成應力補償薄膜和光罩堆疊的中間階段的剖面圖。

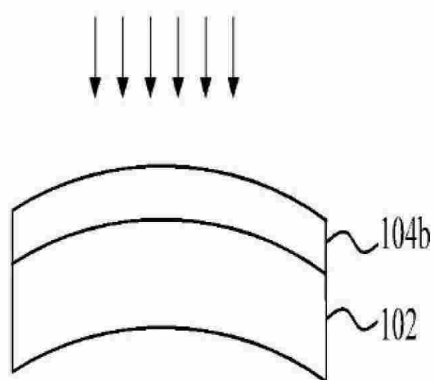
(3)

10



【圖1A】

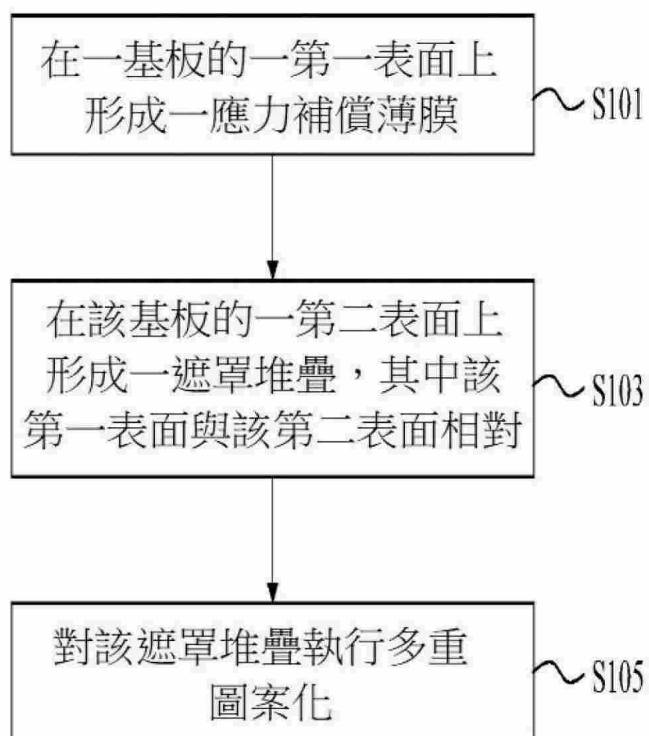
20



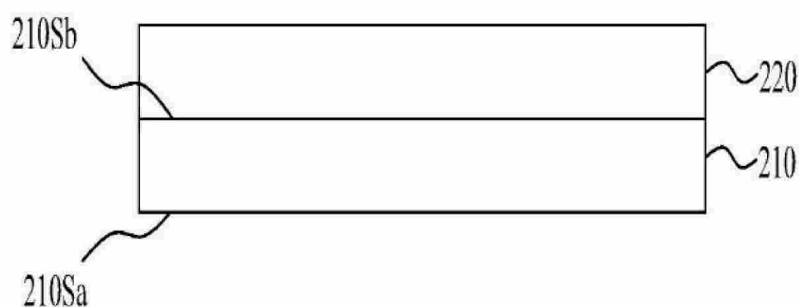
【圖1B】

(4)

M100

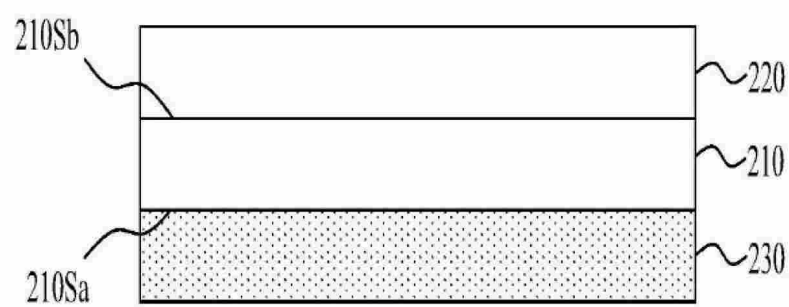


【圖2】

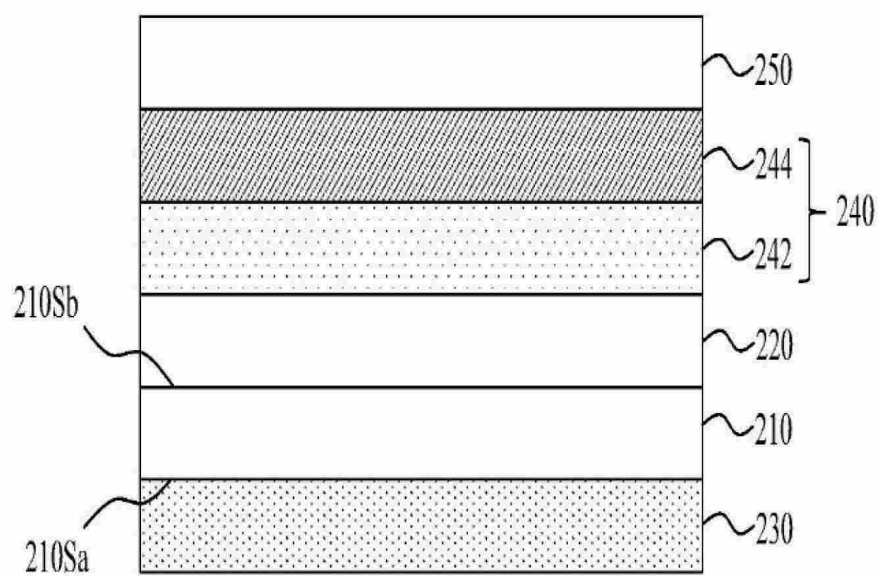


【圖3】

(5)

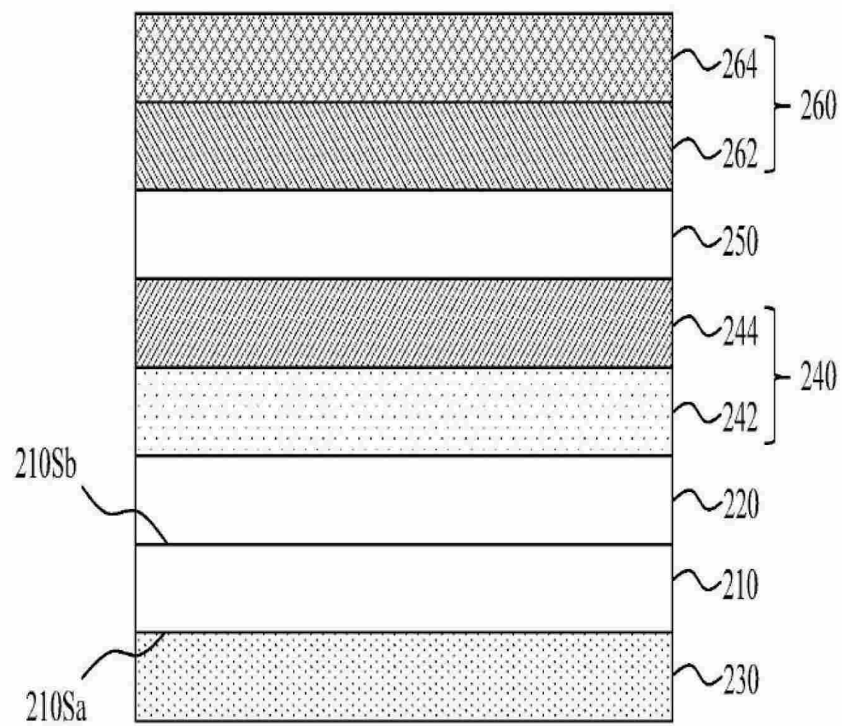


【圖4】



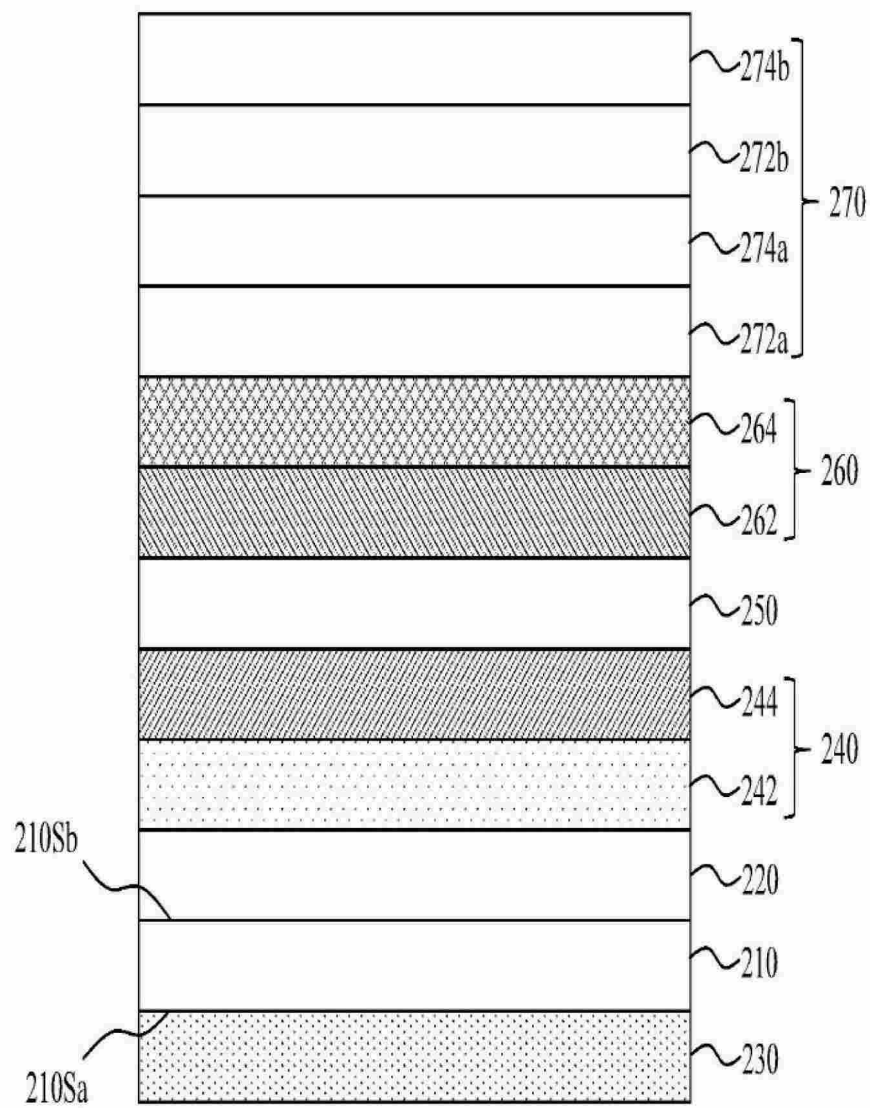
【圖5】

(6)



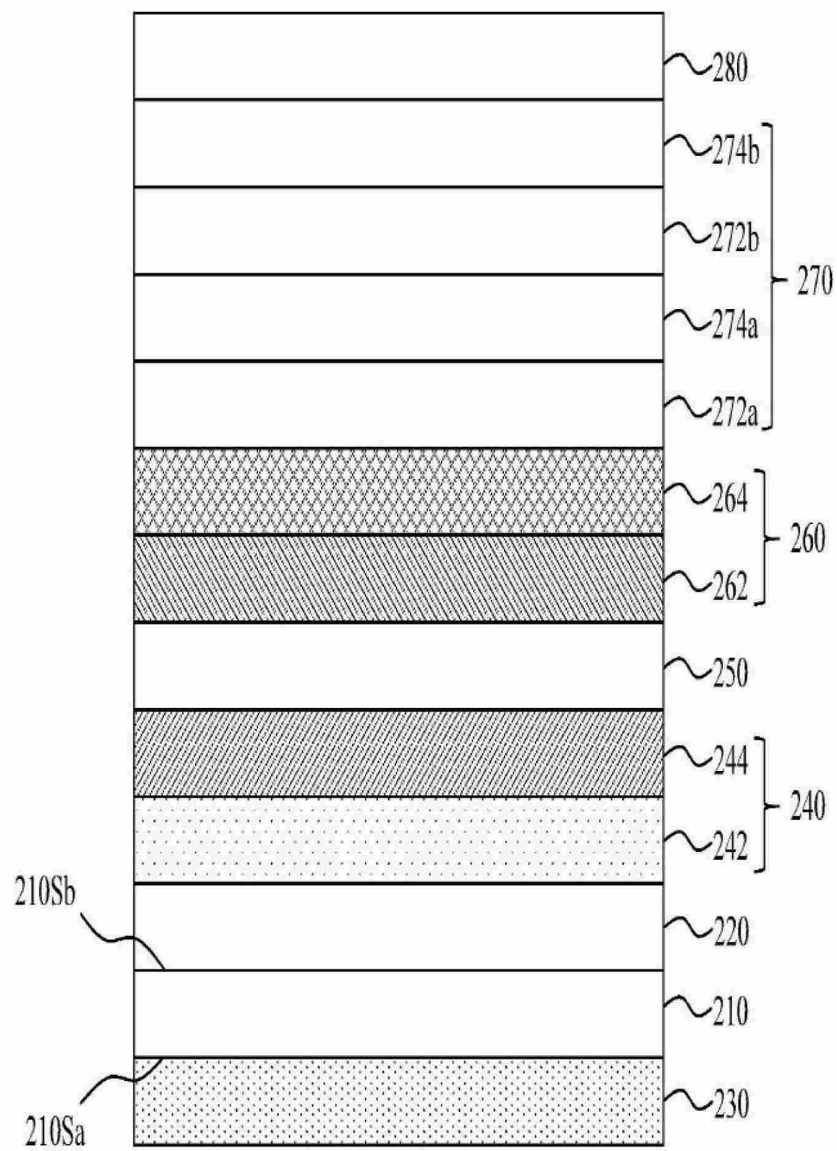
【圖6】

(7)



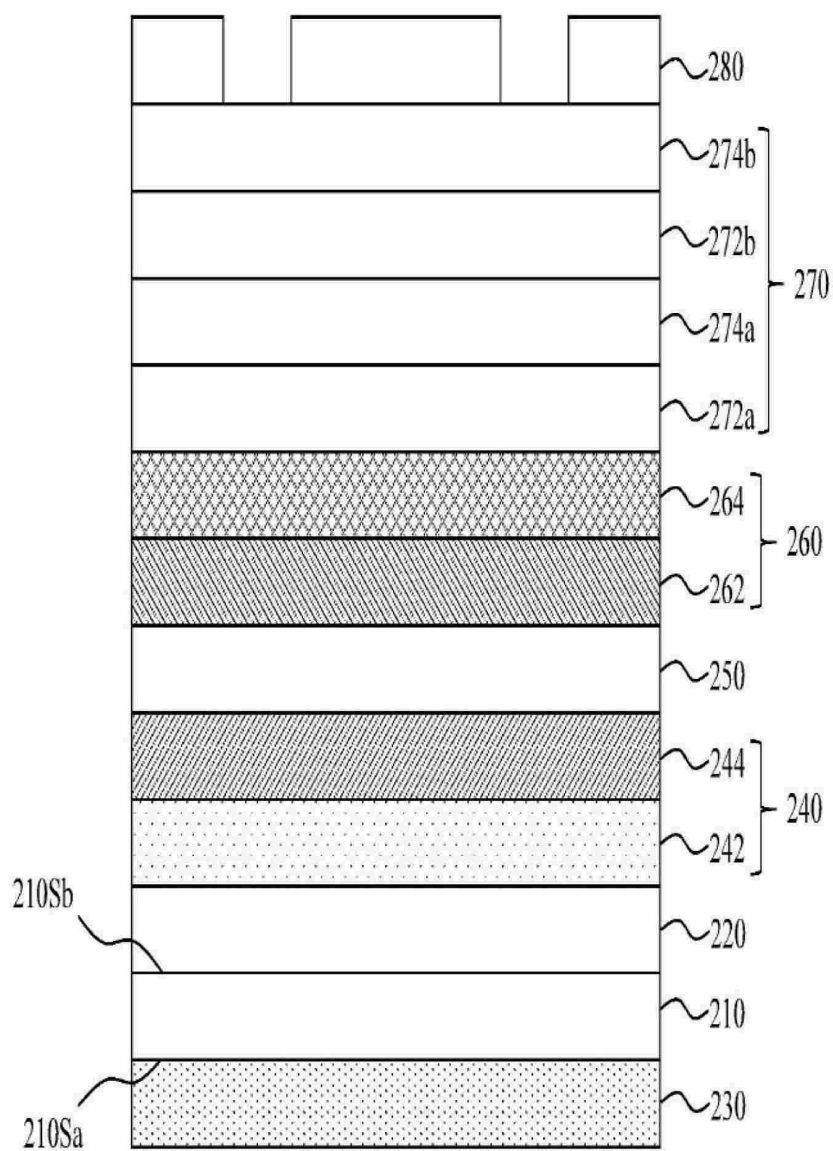
【圖7】

(8)



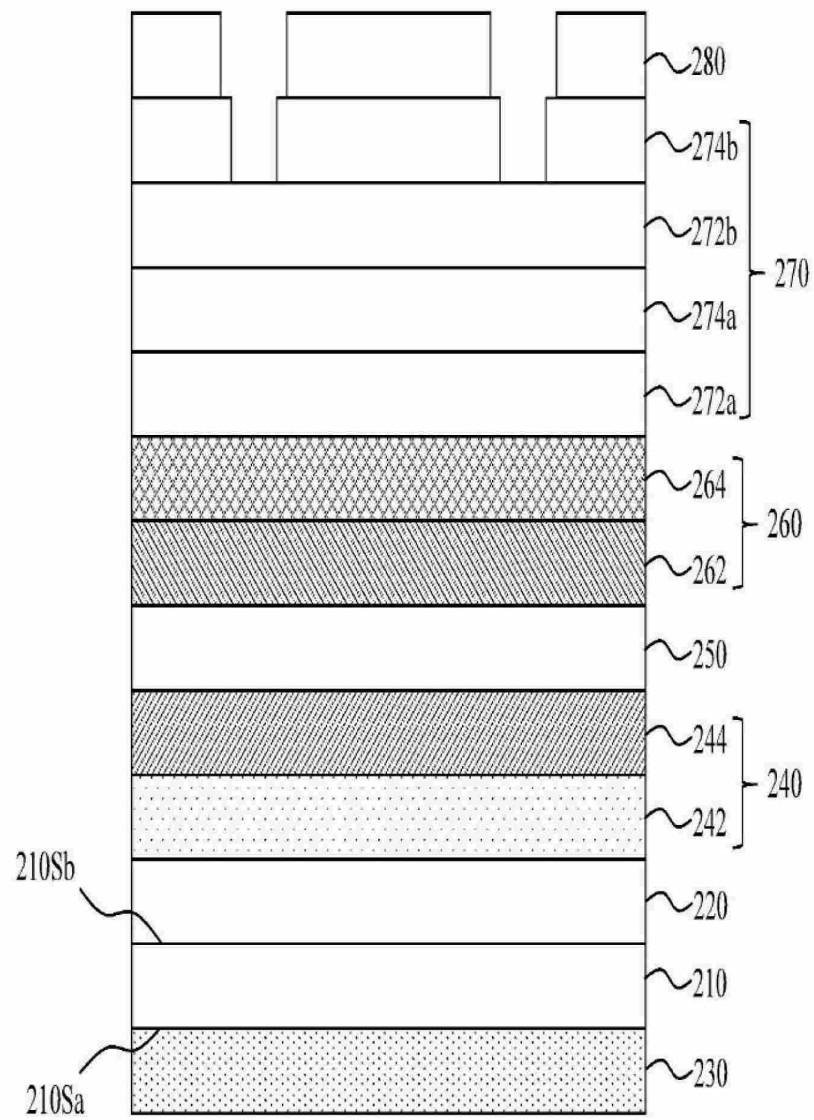
【圖8】

(9)



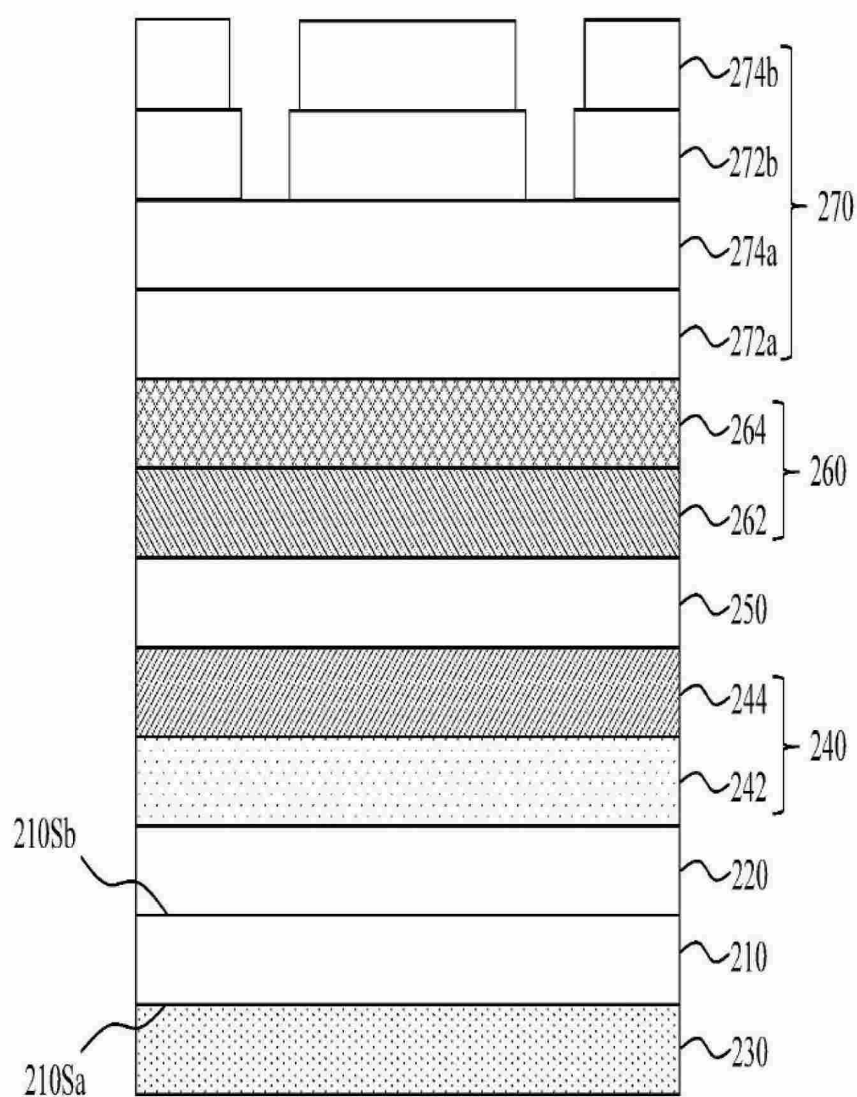
【圖9】

(10)



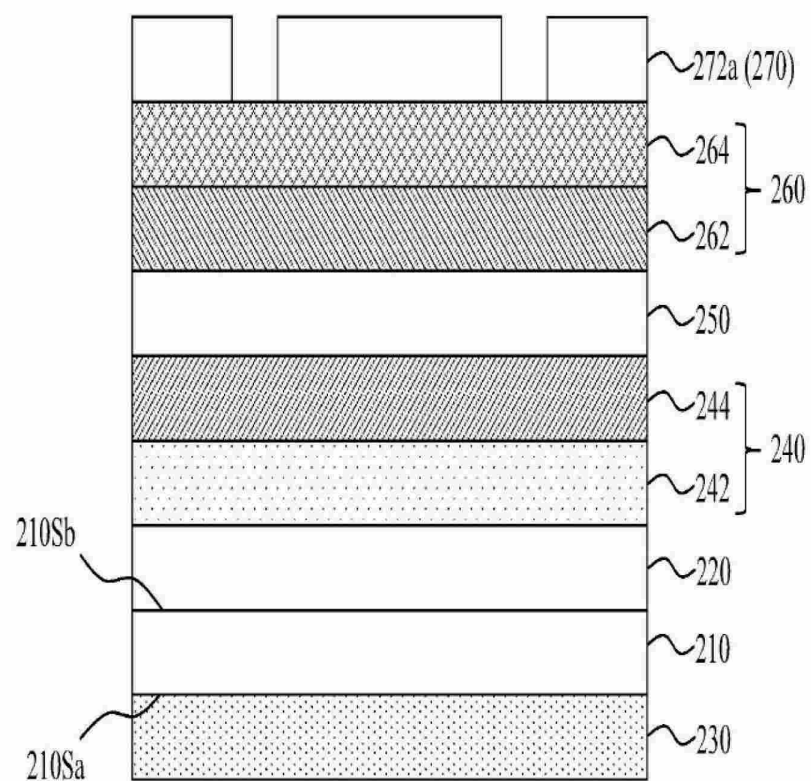
【圖10】

(11)



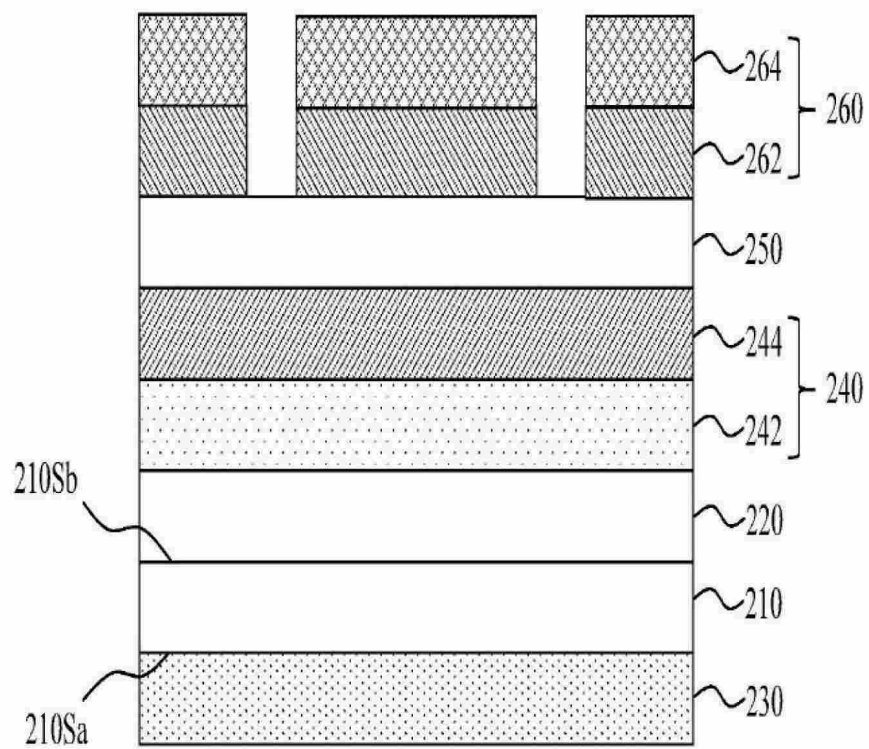
【圖11】

(12)



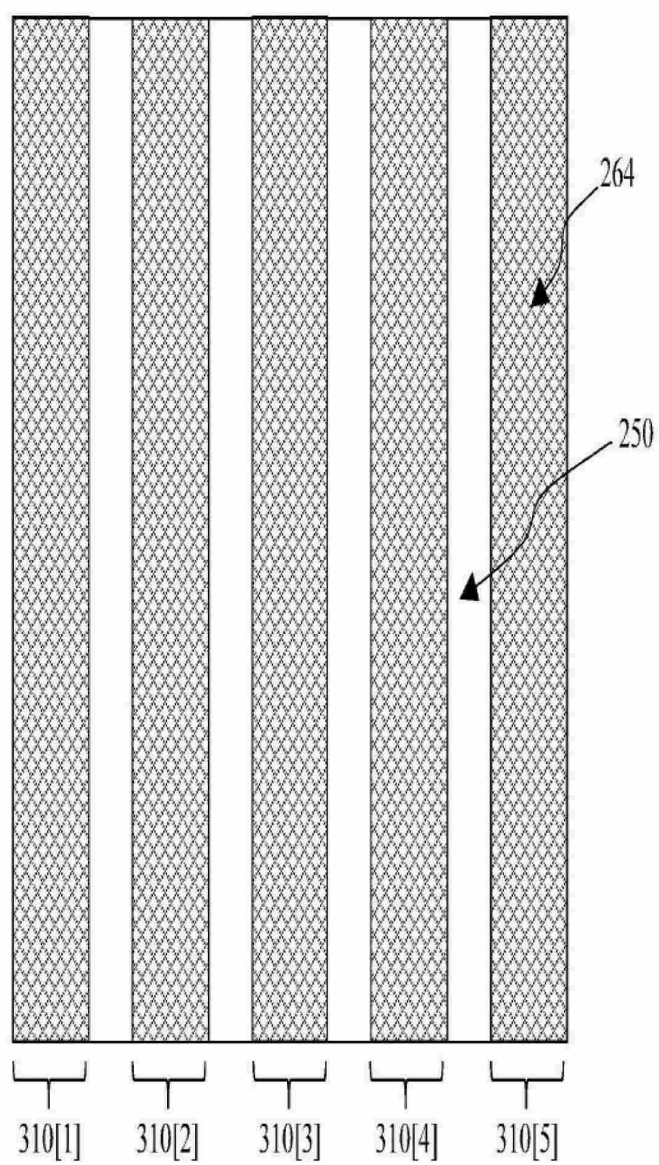
【圖12】

(13)



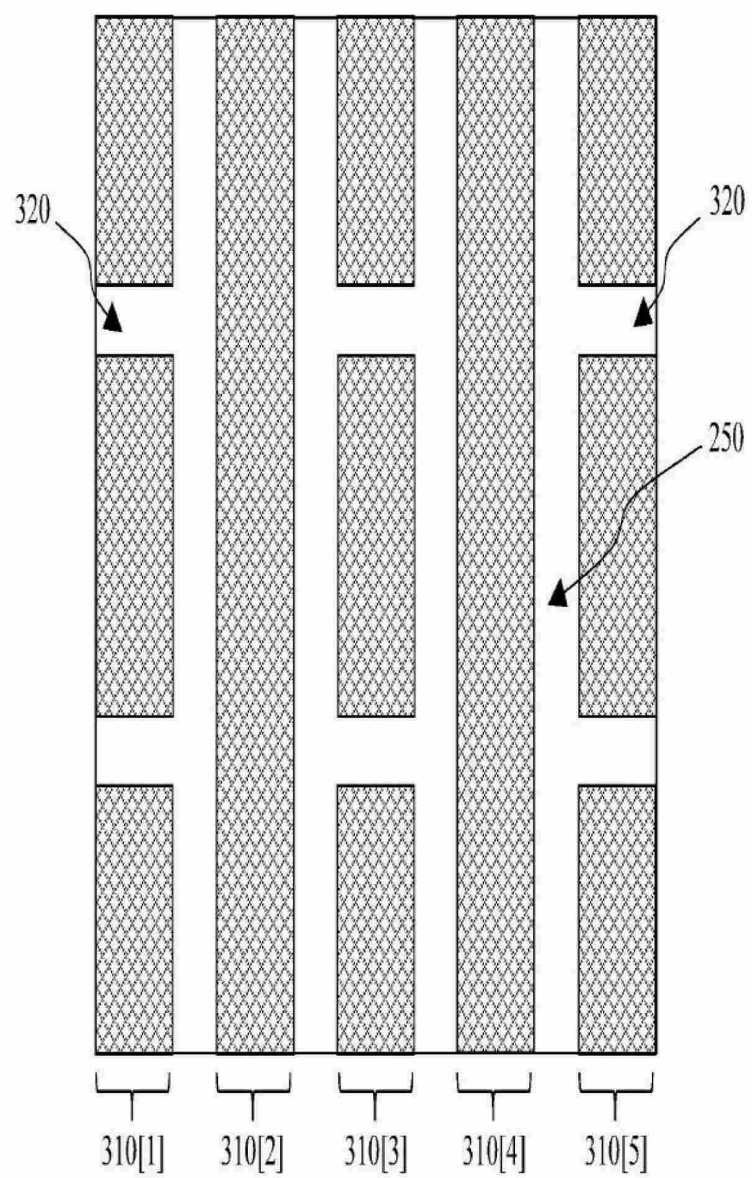
【圖13】

(14)



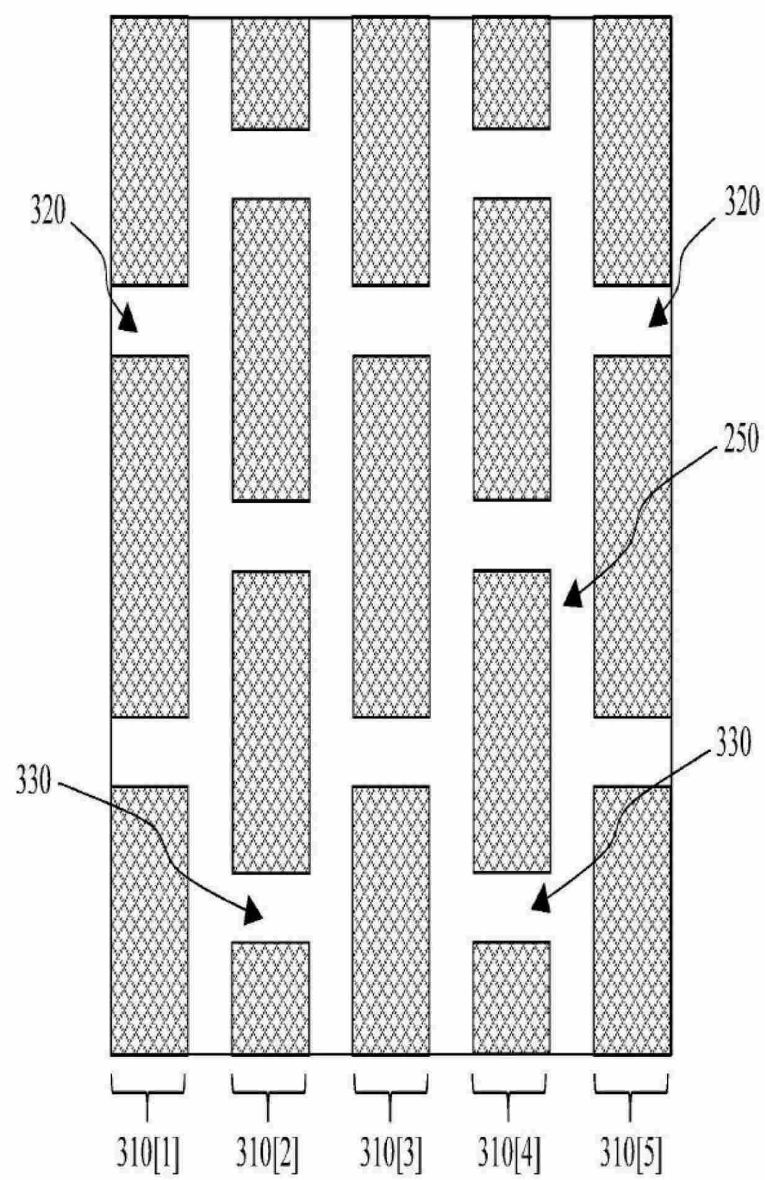
【圖14】

(15)



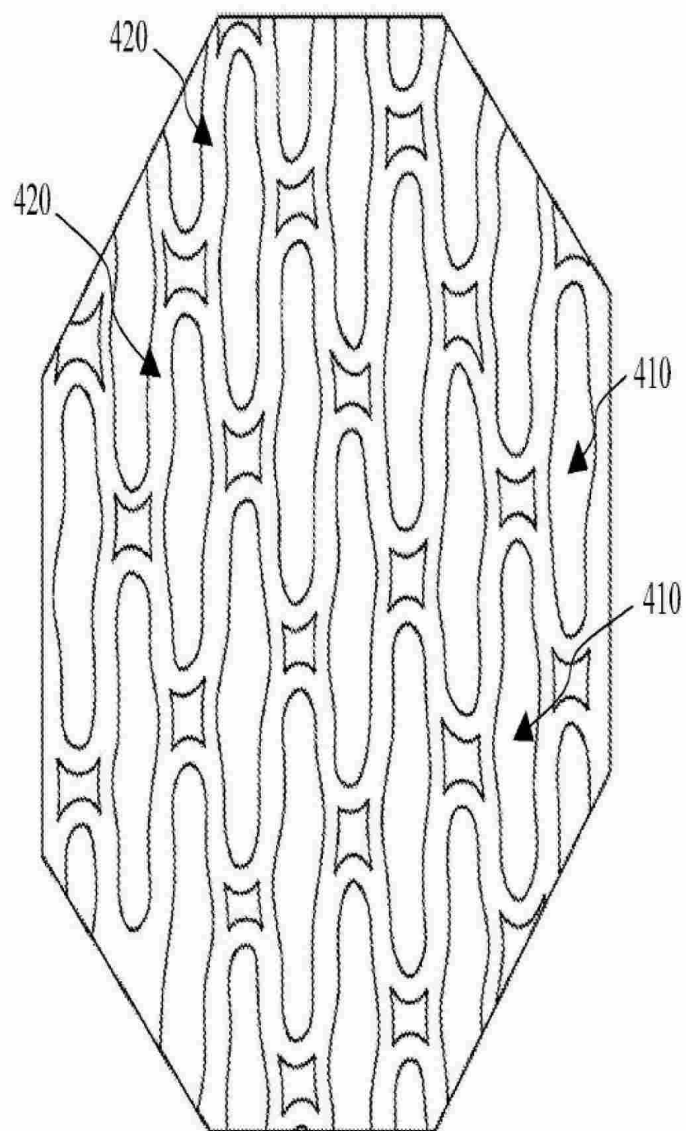
【圖15】

(16)



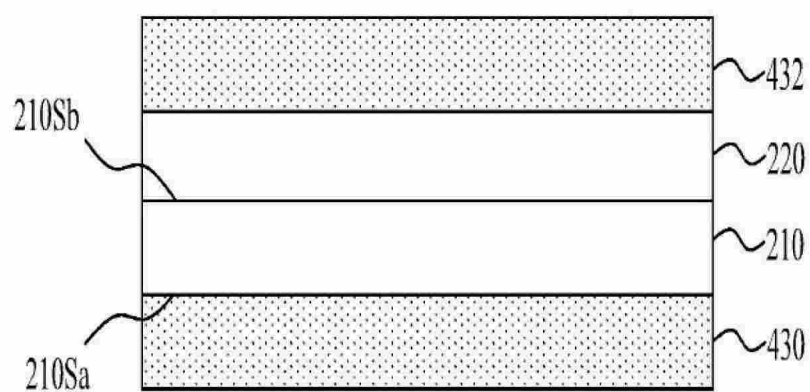
【圖16】

(17)

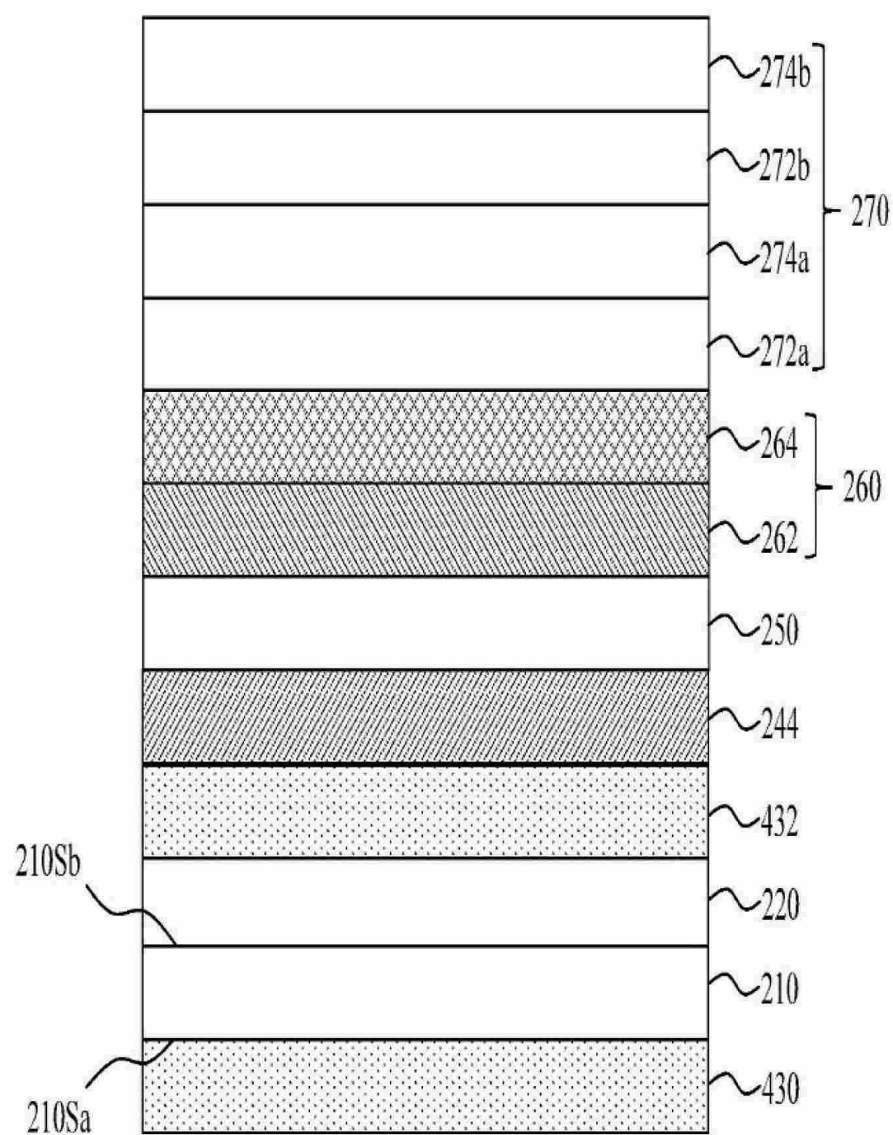


【圖17】

(18)



【圖18】



【圖19】