

【11】證書號數：I939242

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : *G11C7/18* (2006.01) *G11C8/14* (2006.01)
 H10W20/00 (2026.01) *H10W10/10* (2026.01)
 H10W10/20 (2026.01) *H10D62/10* (2025.01)
 H10D64/20 (2025.01) *H10D80/20* (2026.01)
 H10B80/00 (2026.01)

發明

全 19 頁

【54】名稱：基本記憶體單元、半導體元件及其製備方法

【21】申請案號：114137748

【22】申請日：中華民國 114 (2025) 年 09 月 30 日

【30】優先權：2025/07/30

美國

19/284,979

【72】發明人：黃則堯 (TW) HUANG, TSE-YAO

【71】申請人：南亞科技股份有限公司

NANYA TECHNOLOGY
CORPORATION

新北市泰山區南林路 98 號

【74】代理人：陳長文；馮博生

【56】參考文獻：

TW I877672B

TW 202437853A

TW 202437855A

US 2023/0069096A1

審查人員：劉耀允

【57】申請專利範圍

1. 一種基本記憶體單元，包括：
一基板，包括一陣列區域和一週邊區域，其中該週邊區域與該陣列區域相鄰；
一第一位元線，位於該陣列區域上且沿著一第一方向延伸；
一第一字元線，位於該第一位元線上且沿著一第二方向延伸，其中該第二方向垂直於該第一方向；
一通道結構，位於該第一位元線上且穿過該第一字元線，其中該通道結構透過一閘極介電層與該第一字元線隔開；
位於該第一位元線之上的一第一介電層和位於該第一字元線之上的一第二介電層，其中該第二介電層包括一第一氣隙結構；
一溝槽電容器，位於該通道結構上；
一第一基板穿孔，位於該陣列區域中和該第一位元線之下；以及
一第一單元穿孔，位於該週邊區域且穿過該基本記憶體單元，
其中該基本記憶體單元被配置為一氧化物半導體隨機存取記憶體。
2. 如請求項 1 所述之基本記憶體單元，更包括一第一著陸墊，位於該通道結構和該第一位元線之間。
3. 如請求項 2 所述之基本記憶體單元，其中該第一著陸墊透過一氮化鈦層與該第一位元線接觸。
4. 如請求項 2 所述之基本記憶體單元，更包括一氧化銻錫層，位於該通道結構和該第一著陸墊之間。
5. 如請求項 1 所述之基本記憶體單元，更包括一第二著陸墊，位於該溝槽電容器和該通道結構之間。

6. 如請求項 1 所述之基本記憶體單元，更包括：
 - 一第一導電層，位於該基板和該第一位元線之間；以及
 - 一第一接觸，位於該第一導電層上並與其電性連接，其中該第一接觸與該通道結構間隔開。
7. 如請求項 6 所述之基本記憶體單元，其中該第一接觸為一單晶結構。
8. 如請求項 6 所述之基本記憶體單元，更包括一第二接觸，設置於該第一字元線和該第一導電層之間，其中該第二接觸與該通道結構間隔開。
9. 如請求項 1 所述之基本記憶體單元，更包括一多晶矽層，位於該溝槽電容器上，與該通道結構相對，其中該多晶矽層具有一第一側壁。
10. 如請求項 9 所述之基本記憶體單元，其中該第一側壁為非平面的。
11. 如請求項 9 所述之基本記憶體單元，更包括一第二導電層，位於該多晶矽層上，其中該第二導電層具有一第二側壁，且其中該第一側壁從該第二導電層的該第二側壁凹陷。
12. 如請求項 1 所述之基本記憶體單元，其中該第二介電層的該第一氣隙結構包括由一襯層封閉的一氣隙。
13. 如請求項 12 所述之基本記憶體單元，其中該第一氣隙結構的製作技術包括一熱處理製程。

圖式簡單說明

當結合圖式考量時，透過參照詳細描述和申請專利範圍可以獲得對本揭露更完整的理解，其中相似的參照符號在整體圖式中代表相似的元件，並且：

圖 1 根據本揭露一實施例以流程圖的形式顯示一半導體元件的製備方法。

圖 2 根據本揭露一實施例以剖面示意圖顯示製備該半導體元件的一部份流程。

圖 3 是圖 2 中區域 M1 的放大透視圖。

圖 4 是圖 3 中區域 A 的放大透視圖。

圖 5 為沿著圖 4 中的線 B-B 所繪製之半導體元件的俯視圖。

圖 6 根據本揭露一些替代實施例顯示圖 3 中區域 A 的放大透視圖。

圖 7 根據本揭露一些替代實施例顯示圖 3 中區域 B 的放大透視圖。

圖 8 根據本揭露一實施例以剖面示意圖顯示製備該半導體元件的一部份流程。

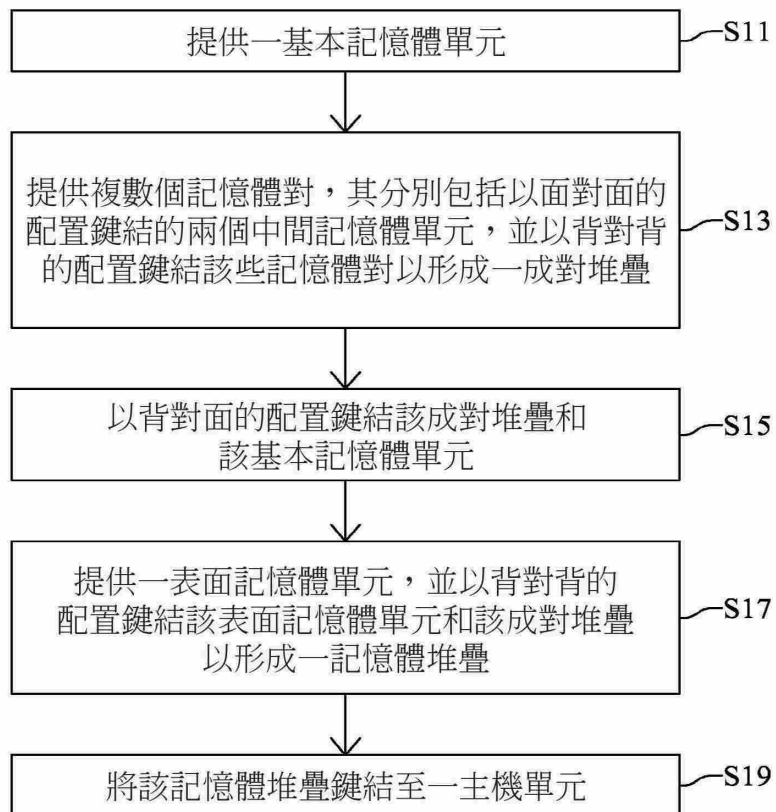
圖 9 是圖 8 中區域 M2 的放大透視圖。

圖 10 到圖 17 根據本揭露一實施例以剖面示意圖顯示製備該半導體元件的一部份流程。

圖 18 和圖 19 根據本揭露一些實施例以剖面示意圖顯示半導體元件。

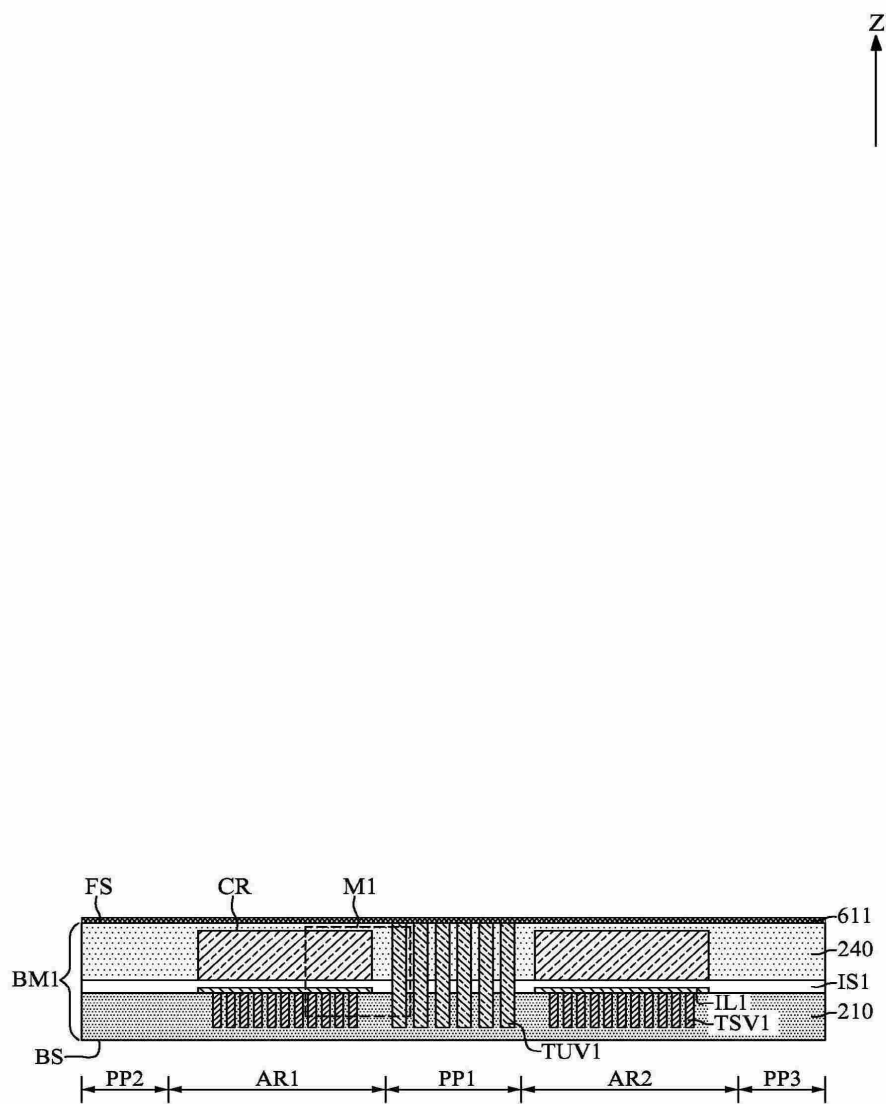
(3)

10



【圖1】

(4)

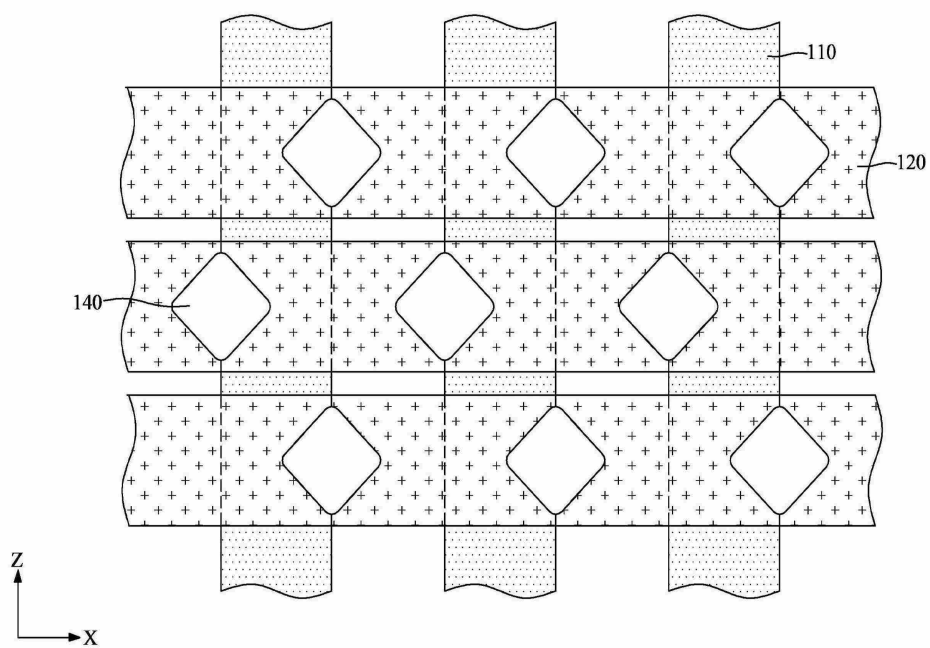


【圖2】

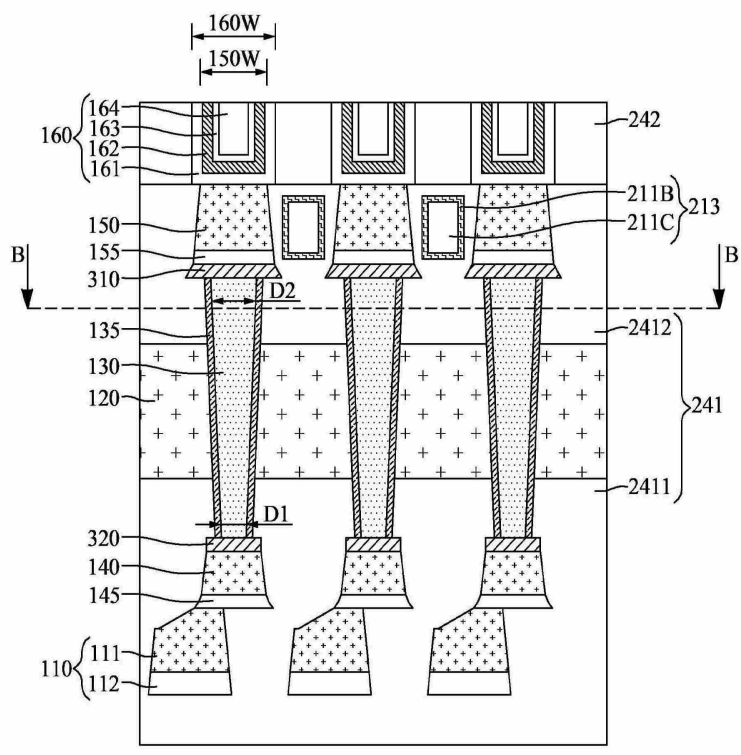
(5)

A

(6)

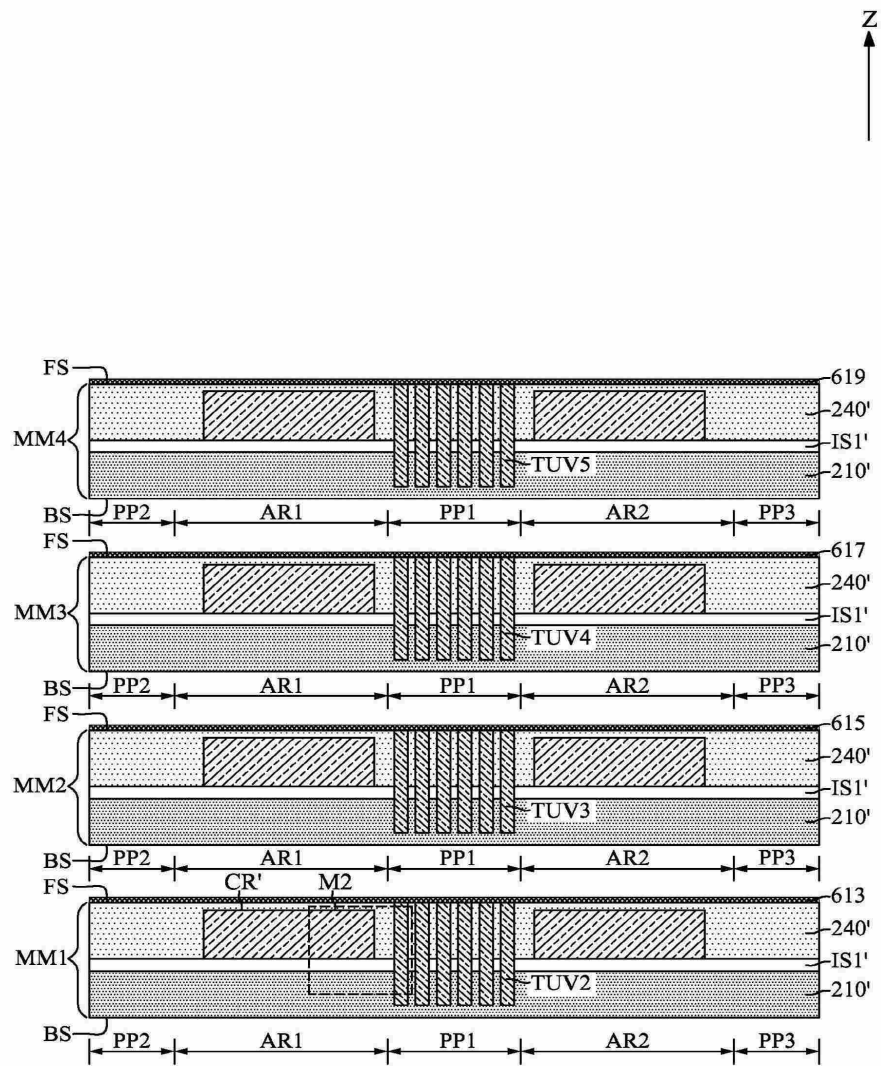


【圖5】



【圖6】

(8)

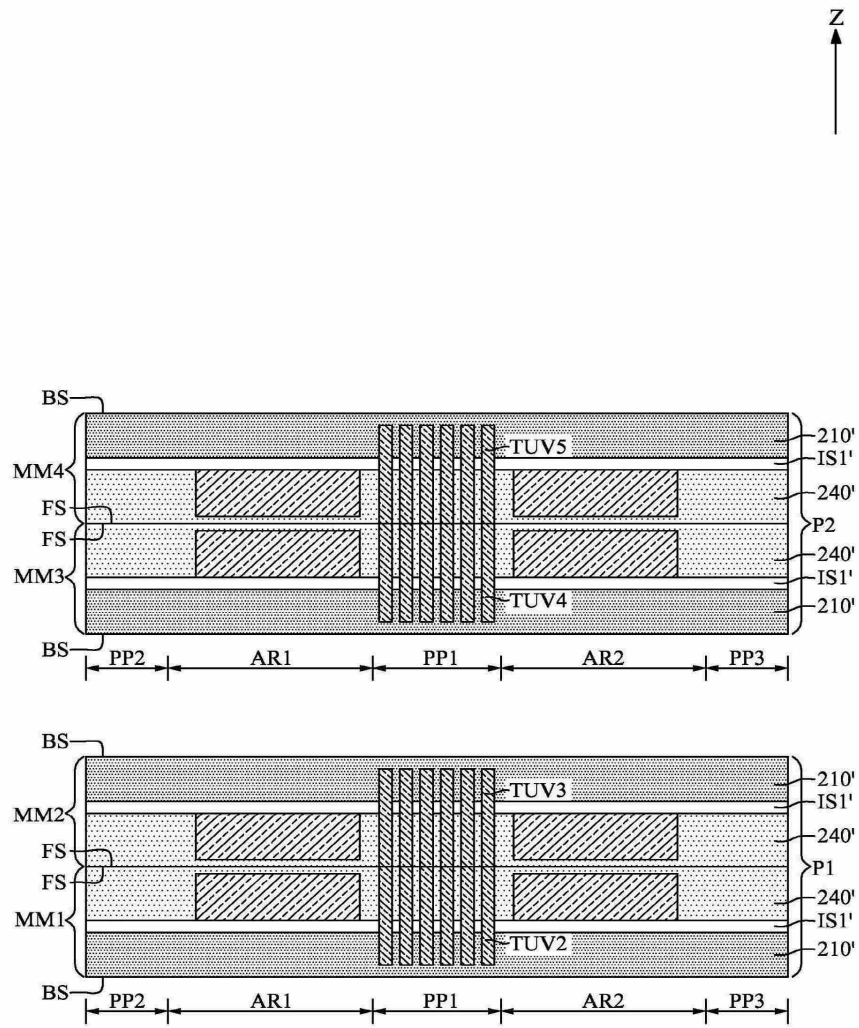


【圖8】

【圖9】

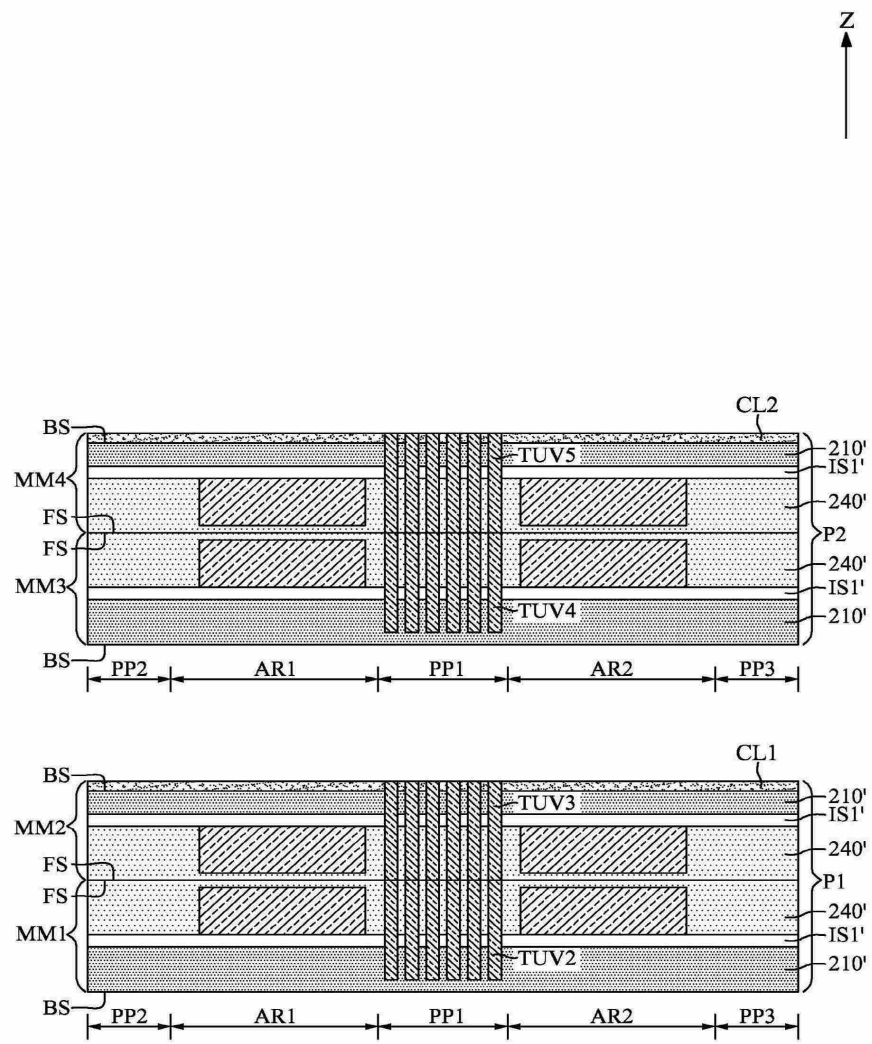


(10)



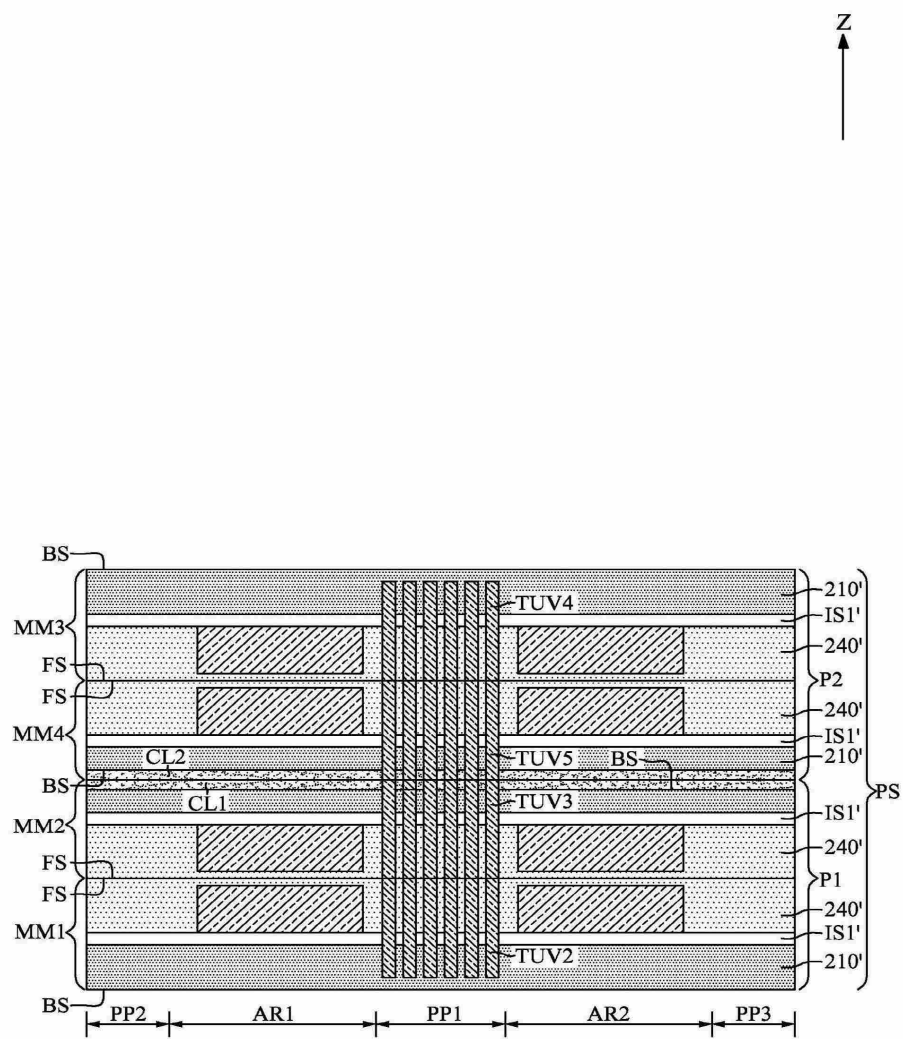
【圖10】

(11)



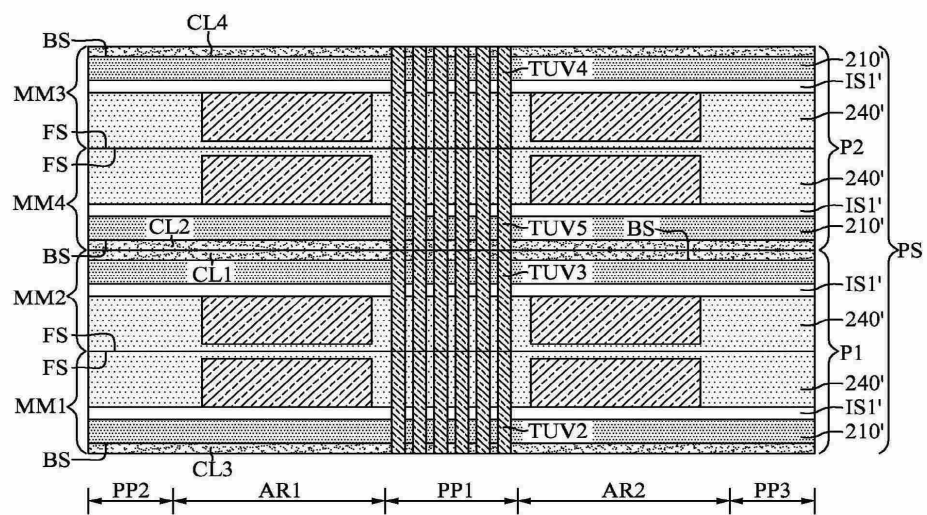
【圖11】

(12)



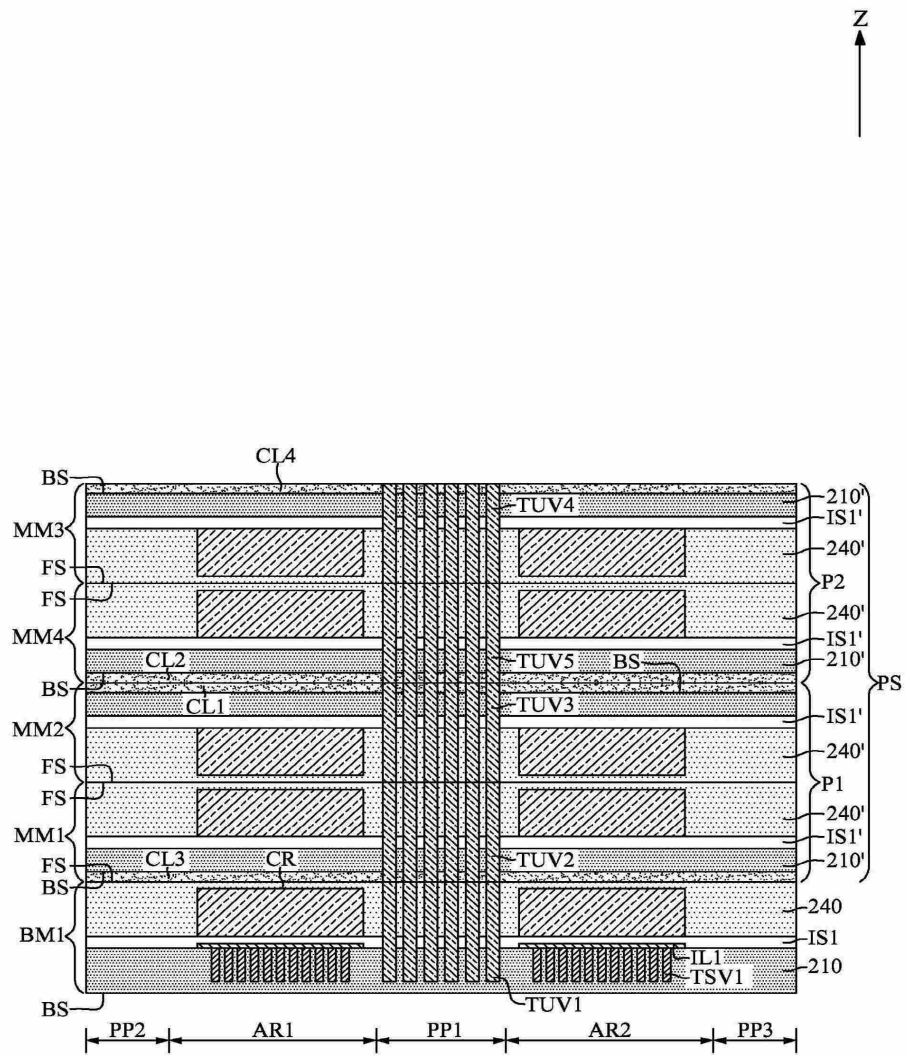
【圖12】

(13)



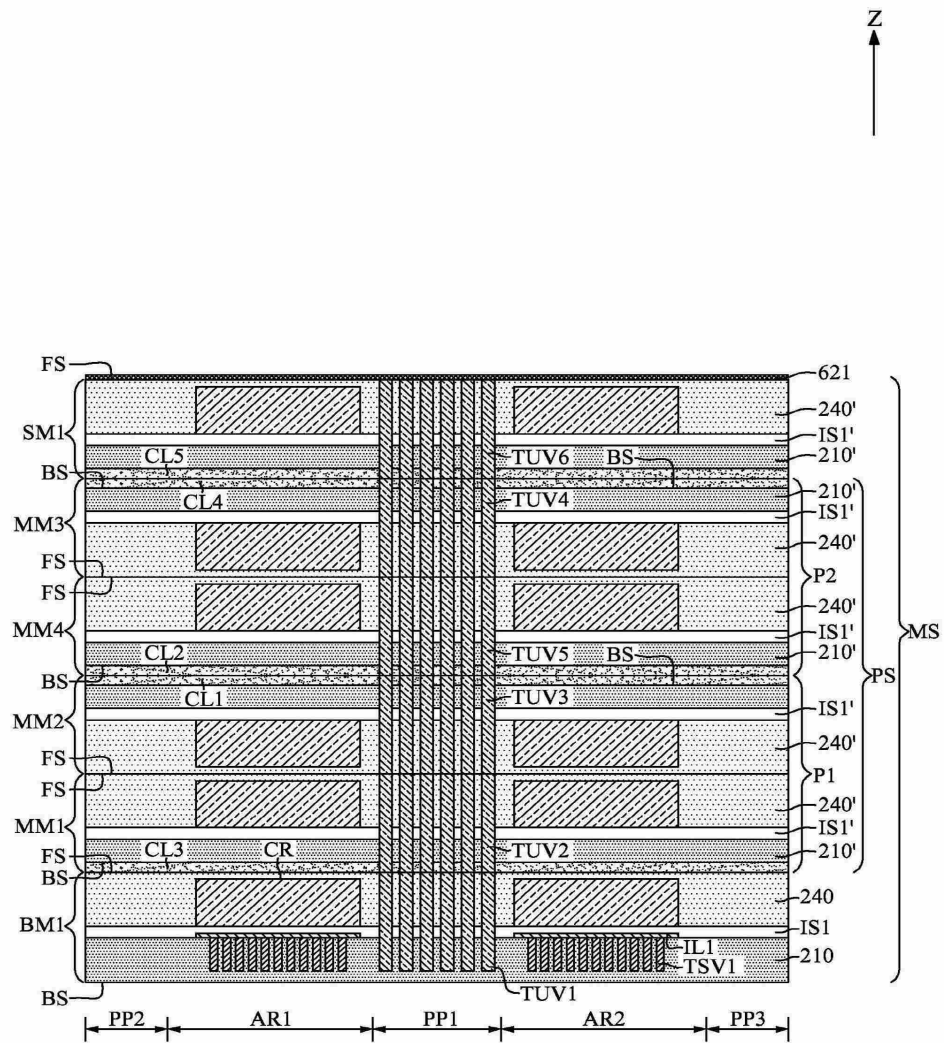
【圖13】

(14)



【圖14】

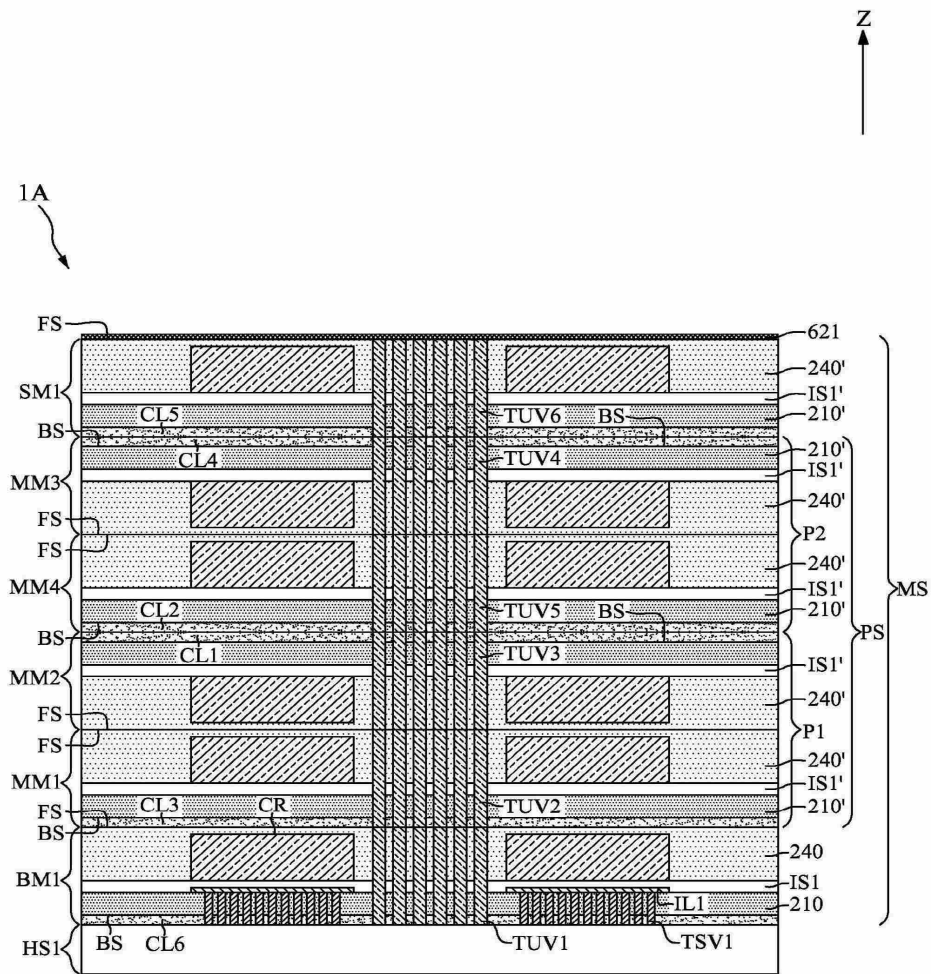
(15)



【圖15】

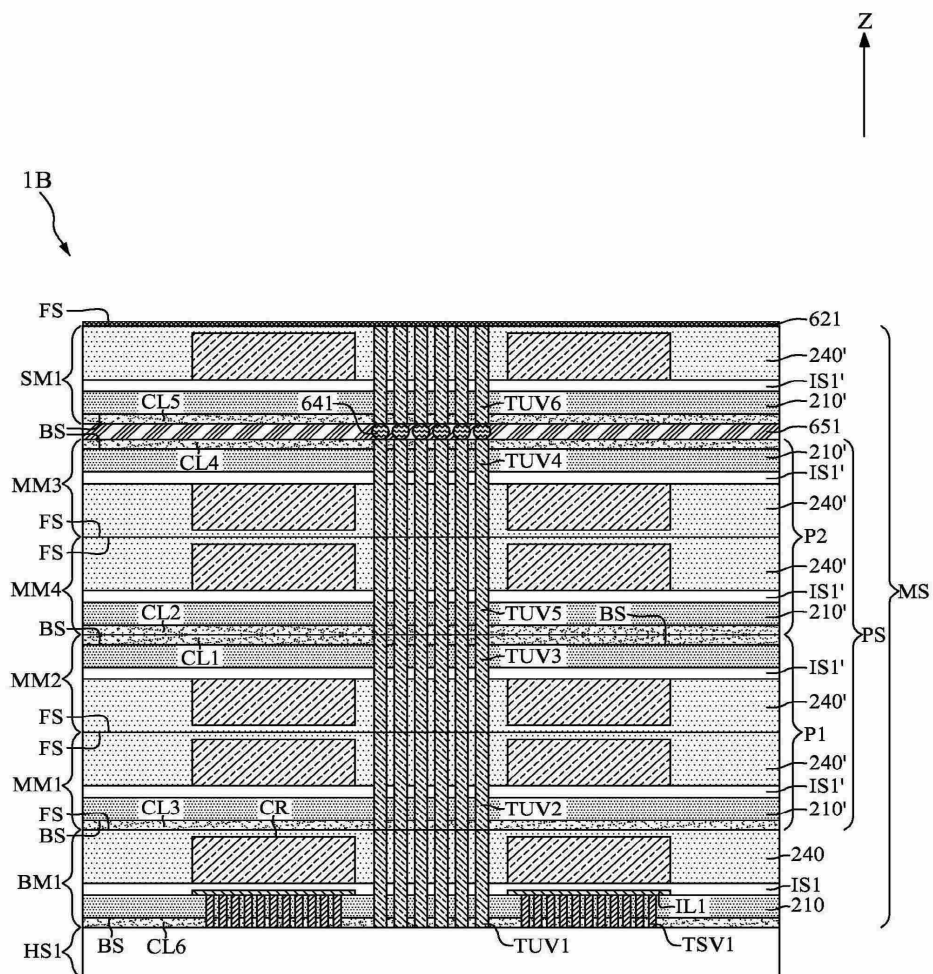


(17)



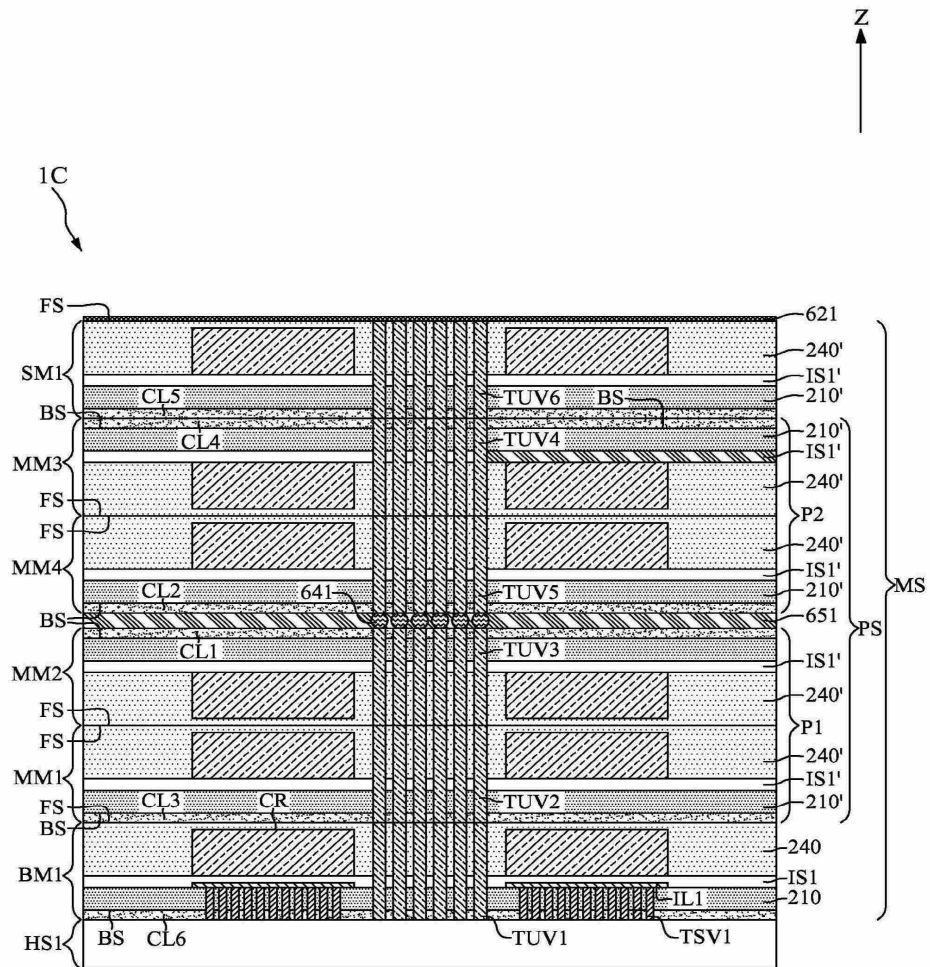
【圖17】

(18)



【圖18】

(19)



【圖19】