

【11】證書號數：I939289

【45】公告日：中華民國 115 (2026) 年 09 月 11 日

【51】Int. Cl. : H10W72/50 (2026.01) H10P50/20 (2026.01)
H10B12/00 (2023.01)

發明

全 9 頁

【54】名稱：半導體結構的製造方法

【21】申請案號：114147135

【22】申請日：中華民國 114 (2025) 年 12 月 02 日

【30】優先權：2025/08/27

美國

19/310,969

【72】發明人：李建鋒 (TW) LI, CHIEN FENG；林智清 (TW) LIN, CHIH-CHING

【71】申請人：南亞科技股份有限公司

NANYA TECHNOLOGY
CORPORATION

新北市泰山區南林路 98 號

【74】代理人：秦建譜；許志銘

【56】參考文獻：

TW 202414528A

US 2022/0139924A1

US 2023/0081676A1

US 2023/0389264A1

US 2024/0074212A1

審查人員：黃淑萍

【57】申請專利範圍

1. 一種半導體結構的製造方法，包括：
提供一基板；
在該基板上形成一位元線導電層；
在該位元線導電層上形成一位元線介電層；
在該位元線介電層上依序形成一第一硬遮罩層與一第二硬遮罩層，其中該第一硬遮罩層包括多晶矽，該第二硬遮罩層包括碳；
形成一第一溝槽，以將該位元線介電層與該位元線導電層定義為一位元線結構，其中將該第二硬遮罩層移除，並保留該第一硬遮罩層；
在該第一溝槽中形成一犧牲層；
移除該犧牲層以形成一第二溝槽，並移除該第一硬遮罩層以暴露出該位元線介電層的一頂面；及
在該第二溝槽中形成一單元接觸件。
2. 如請求項 1 所述之方法，其中該位元線導電層包括：
一第一導電層，位於該基板上；及
一第二導電層，位於該第一導電層上。
3. 如請求項 2 所述之方法，其中該第一導電層與該第一硬遮罩層由相同材料製成。
4. 如請求項 1 所述之方法，進一步包括：
在形成該第一溝槽之前，在該第二硬遮罩層上形成一光阻。
5. 如請求項 1 所述之方法，進一步包括：
移除該犧牲層的一部分以形成一隔離溝槽。
6. 如請求項 5 所述之方法，進一步包括：
在形成該第二溝槽之前，在該隔離溝槽內填充一接觸隔離層。

(2)

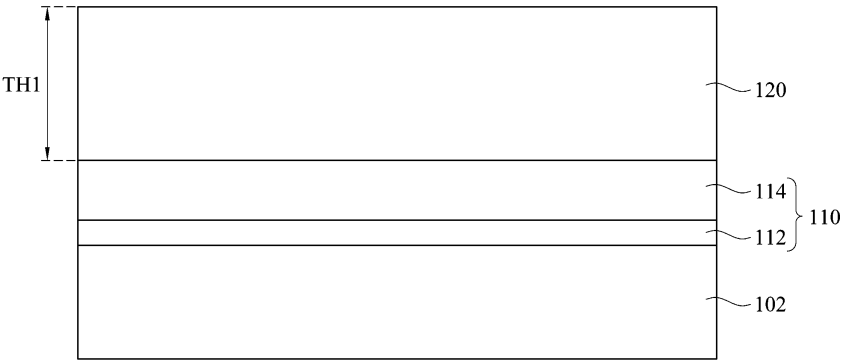
7. 如請求項 1 所述之方法，進一步包括：
在形成該犧牲層之前，在該位元線結構上形成一間隔層。
8. 如請求項 7 所述之方法，其中該間隔層包括：
一第一間隔層，位於該位元線結構的側壁上；及
一第二間隔層，位於該第一間隔層的側壁上，其中該第一間隔層與該第二間隔層由不同材料製成。
9. 一種半導體結構的製造方法，包括：
提供一基板；
在該基板上形成一位元線導電層，其中該位元線導電層包括一第一導電層和一第二導電層；
在該位元線導電層上形成一位元線介電層，其中該位元線介電層具有一第一厚度；
在該位元線介電層上依序形成一第一硬遮罩層與一第二硬遮罩層，其中該第一硬遮罩層與該第一導電層由相同的一材料構成；
形成一第一溝槽以將該位元線介電層和該位元線導電層定義為一位元線結構，其中將該第二硬遮罩層移除，而保留該第一硬遮罩層；
在該第一溝槽中形成一犧牲層；
移除該犧牲層以形成一第二溝槽，並該第一硬遮罩層以暴露該位元線介電層的一頂面，其中該位元線介電層具有一第二厚度，該第二厚度與該第一厚度相同；及
在該第二溝槽中形成一單元接觸件。
10. 如請求項 9 所述之方法，其中該第一溝槽與該位元線結構平行。
11. 如請求項 9 所述之方法，其中該犧牲層包括氧化物。
12. 如請求項 9 所述之方法，其中該第一硬遮罩層與該第一導電層包括多晶矽。
13. 如請求項 9 所述之方法，其中該第二硬遮罩層包括碳。
14. 如請求項 9 所述之方法，進一步包括：
移除該犧牲層的一部分以形成一隔離溝槽。
15. 如請求項 14 所述之方法，進一步包括：
在形成該第二溝槽之前，在該隔離溝槽內填充一接觸隔離層。

圖式簡單說明

透過閱讀以下結合附圖對實施例的詳細描述，可以更全面地理解本揭露內容：

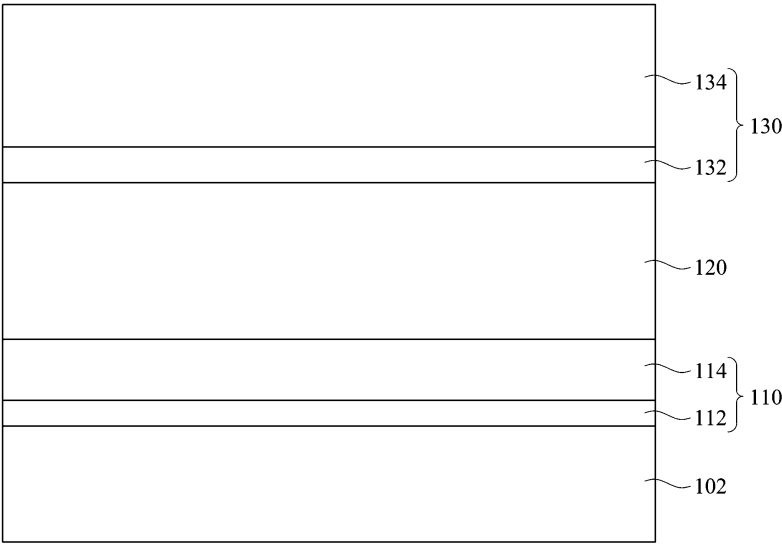
- 第 1 圖是根據一些實施例的半導體結構的剖面示意圖。
- 第 2 圖是根據一些實施例的形成硬遮罩層的半導體結構的剖面示意圖。
- 第 3 圖是根據一些實施例的形成光阻後的半導體結構的剖面示意圖。
- 第 4 圖是根據一些實施例的形成第一溝槽後的半導體結構的剖面示意圖。
- 第 5 圖是根據一些實施例的形成第一間隔層的半導體結構的剖面示意圖。
- 第 6 圖是根據一些實施例的移除第一間隔層的一部分後的半導體結構的剖面示意圖。
- 第 7 圖是根據一些實施例的形成第二間隔層後的半導體結構的剖面示意圖。
- 第 8A 圖是根據一些實施例的在第一溝槽中形成犧牲層後的半導體結構的剖面示意圖。
- 第 8B 圖是根據一些實施例的第 8A 圖的俯視示意圖。
- 第 9 圖是根據一些實施例的形成接觸隔離層後的半導體結構的剖面示意圖。
- 第 10A 圖是根據一些實施例的在移除犧牲層後的半導體結構的剖面示意圖。
- 第 10B 圖是根據一些實施例的第 10A 圖的俯視示意圖。
- 第 11 圖是根據一些實施例的形成單元接觸件後的半導體結構的剖面示意圖。

100



第 1 圖

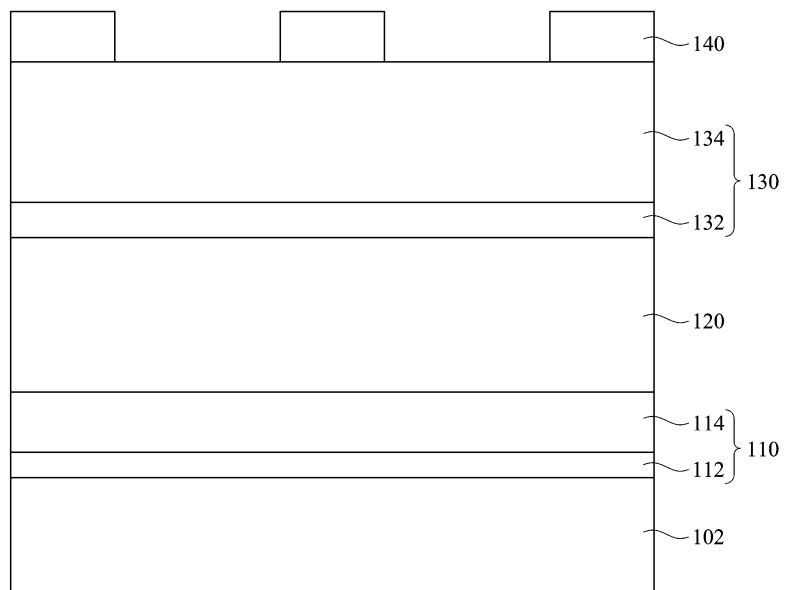
100



第 2 圖

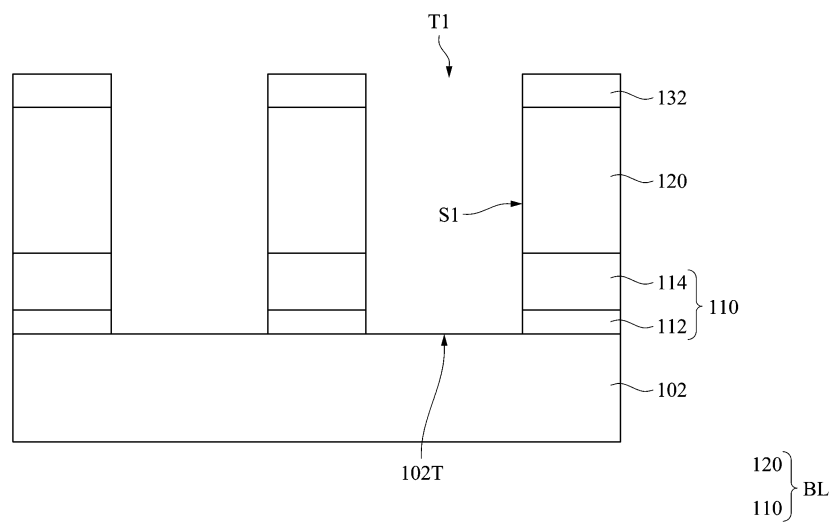
(4)

100



第 3 圖

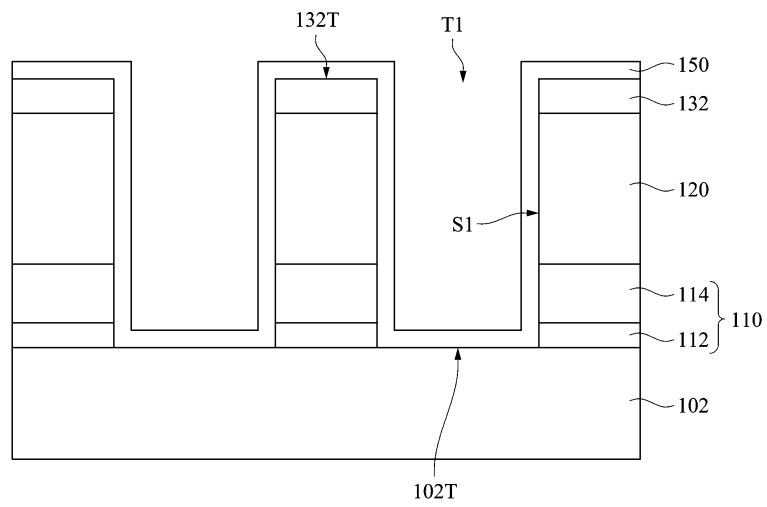
100



第 4 圖

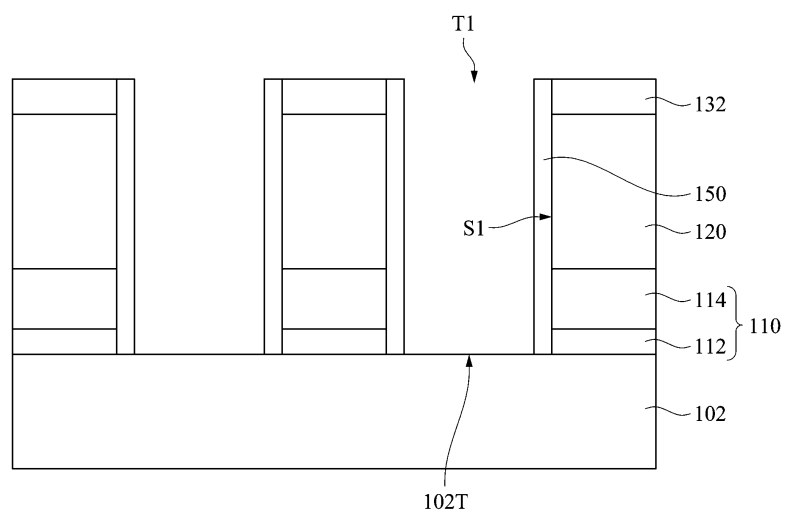
(5)

100



第 5 圖

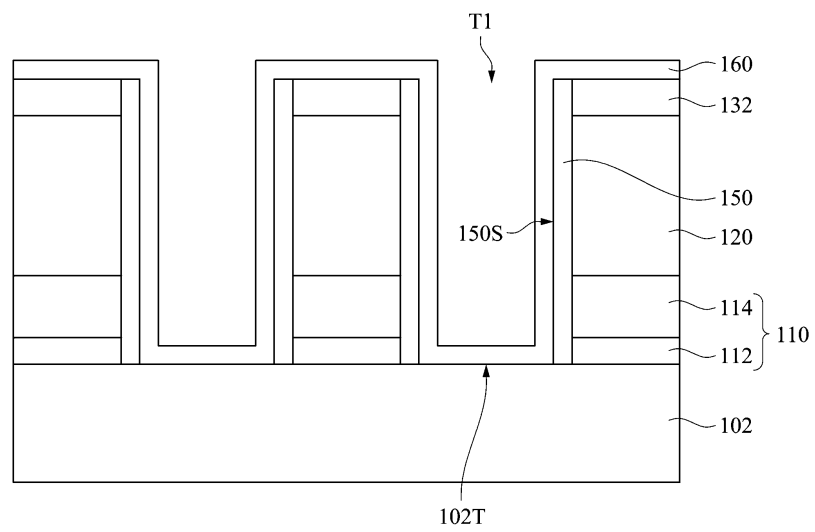
100



第 6 圖

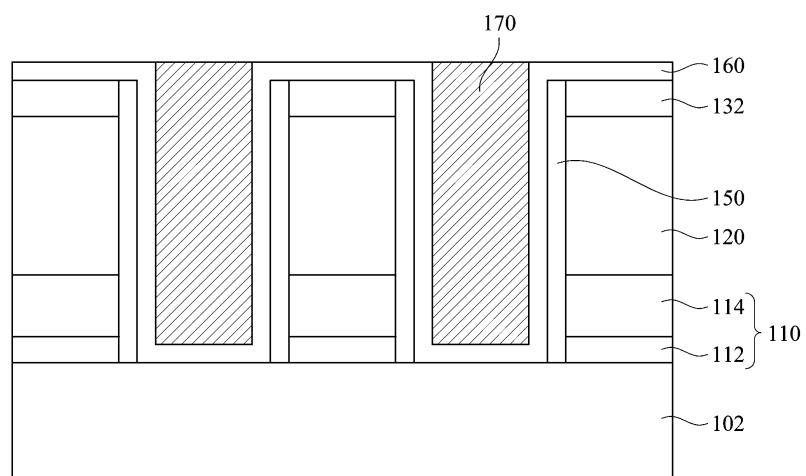
(6)

100



第 7 圖

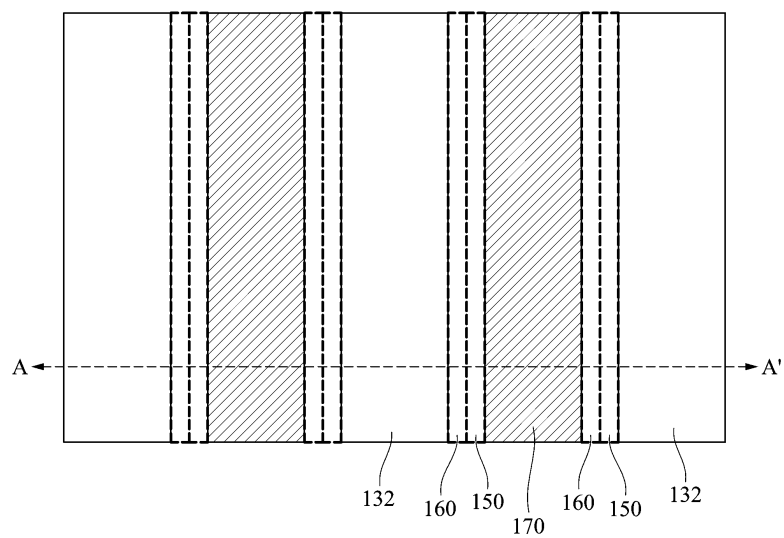
100



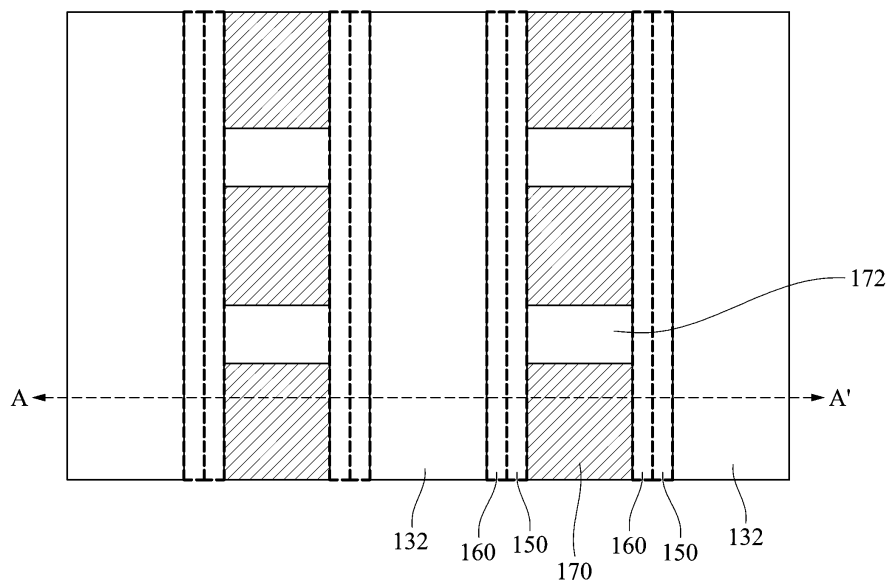
第 8A 圖

(7)

100



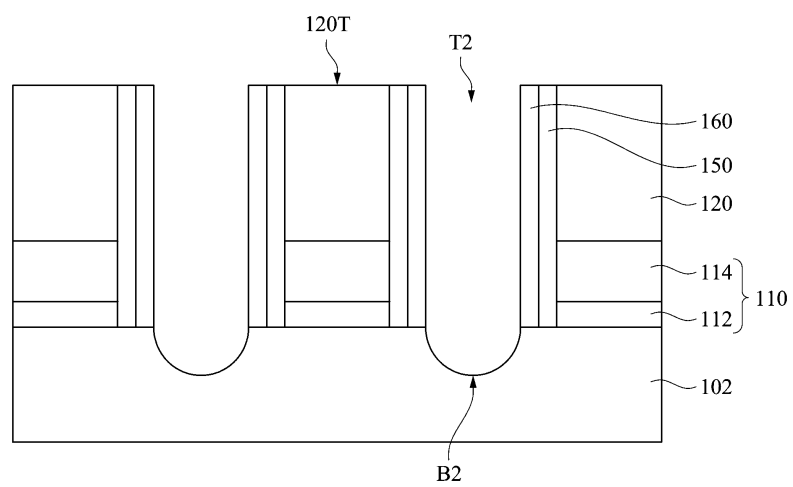
第 8B 圖



第 9 圖

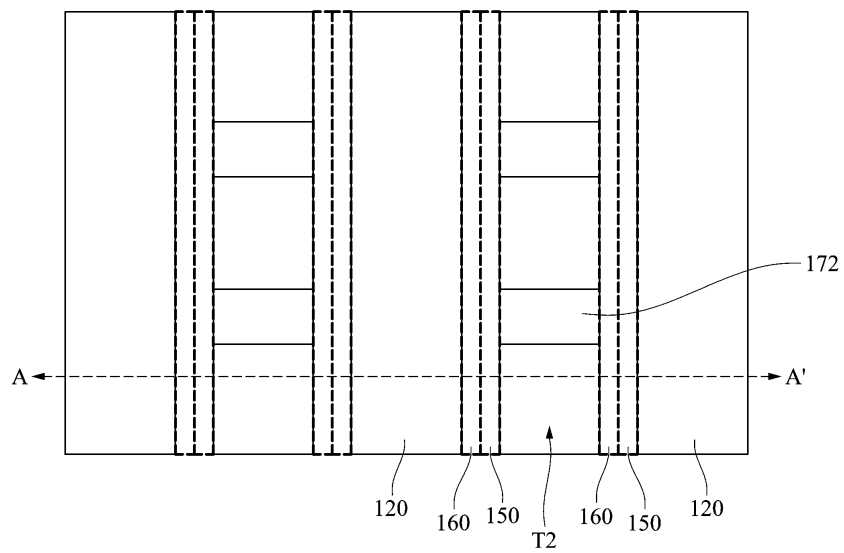
(8)

100



第 10A 圖

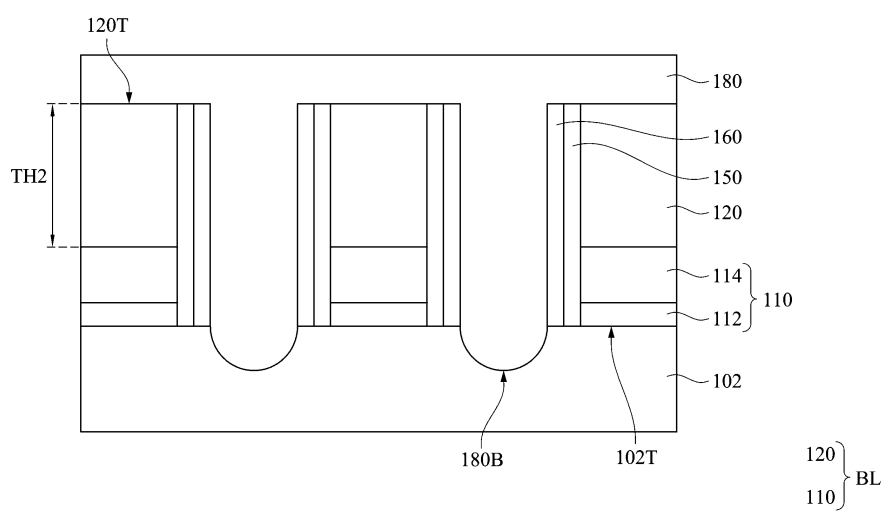
100



第 10B 圖

(9)

100



第 11 圖