【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I939517
【45】公告日： 中華民國 115 (2026) 年 09 月 21 日
【51】Int. Cl.：　*G11C7/10　(2006.01)*　*G11C7/22　(2006.01)*
G11C8/18　(2006.01)

發明　　全 10 頁

【54】名　稱：記憶體陣列、記憶體系統及其操作方法
【21】申請案號：111124737　【22】申請日： 中華民國 111 (2022) 年 07 月 01 日
【11】公開編號：202309888　【43】公開日期： 中華民國 112 (2023) 年 03 月 01 日
【30】優 先 權： 2021/08/28　美國　17/460,216
【72】發 明 人： 張盟昇 (TW) CHANG, MENG-SHENG；黃家恩 (TW) HUANG, CHIA-EN；
劉逸青 (TW) LIU, YI-CHING；王　奕 (US) WANG, YIH
【71】申 請 人： 台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.
新竹市東區新竹科學工業園區力行六路八號
【74】代 理 人： 李世章；秦建譜
【56】參考文獻：
TW　202101679A　　US　2009/0029511A1
審查人員：謝紀明

【57】申請專利範圍

1. 一種記憶體陣列，包括： 多個記憶體單元的一第一集合，包含多個記憶體單元的一第一子集及多個記憶體單元的一第二子集；
一第一開關，包含：
一第一電極，連接至多個記憶體單元的該第一子集的多個第一電極，及
一第二電極，連接至一第一全域線；
一第二開關，包含：
一第一電極，連接至多個記憶體單元的該第二子集的多個第一電極，及
一第二電極，連接至該第一全域線；
一第三開關，包含：
一第一電極，連接至該些記憶體單元的該第一子集的多個第二電極，及
一第二電極，連接至一第二全域線；及
一第四開關，包含：
一第一電極，連接至該些記憶體單元的該第二子集的多個第二電極，及
一第二電極，連接至一第三全域線。
2. 如請求項 1 所述之記憶體陣列，進一步包括：
多個記憶體單元的一第二集合，包含多個記憶體單元的一第三子集及多個記憶體單元的一第四子集；
一第五開關，包含：
一第一電極，連接至多個記憶體單元的該第三子集的複數個第一電極，及
一第二電極，連接至一第四全域線；及
一第六開關，包含：
一第一電極，連接至多個記憶體單元的該第四子集的複數個第一電極，及
一第二電極，連接至該第四全域線。

3. 一種記憶體系統，包括：
一記憶體陣列，包含：
多個記憶體單元的一第一集合，
多個記憶體單元的一第二集合，
一第一開關，連接至多個記憶體單元的該第一集合，及
一第二開關，連接至多個記憶體單元的該第二集合；
一控制器，連接至該記憶體陣列，該控制器用以：
在一第一時間段期間啟用該第一開關，同時禁用該第二開關以將多個記憶體單元的該第一集合電耦接至一第一全域選擇線且將多個記憶體單元的該第二集合與該第一全域選擇線電去耦，及
在一第二時間段期間啟用該第二開關，同時禁用該第一開關以將多個記憶體單元的該第二集合電耦接至該第一全域選擇線且將多個記憶體單元的該第一集合與該第一全域選擇線電去耦；
多個記憶體單元的一第三集合，位於該些記憶體單元的該第一集合上方；
一第三開關，將該些記憶體單元的該第一集合耦接至一第一全域線；
一第四開關，將該些記憶體單元的該第三集合耦接至該第一全域線；及
一第五開關，將該些記憶體單元的該第三集合耦接至一第二全域線，
其中，該第一全域選擇線、該第一全域線及該第二全域線皆沿一第一橫向延伸。

4. 如請求項 3 所述之記憶體系統，其中該記憶體陣列進一步包含：
多個記憶體單元的一第四集合，
多個記憶體單元的一第五集合，
一第六開關，連接至多個記憶體單元的該第四集合，及
一第七開關，連接至多個記憶體單元的該第五集合，
其中該控制器將用以：
在該第一時間段期間啟用該第六開關，同時禁用該第七開關以將多個記憶體單元的該第四集合電耦接至一第二全域選擇線且將多個記憶體單元的該第五集合與該第二全域選擇線電去耦，及
在該第二時間段期間啟用該第七開關，同時禁用該第六開關以將多個記憶體單元的該第五集合電耦接至該第二全域選擇線且將多個記憶體單元的該第四集合與該第二全域選擇線電去耦。

5. 一種記憶體系統的操作方法，包括以下步驟：
在一第一時間段期間啟用連接至多個記憶體單元的一第一集合的多個第一電極的一第一開關以將多個記憶體單元的該第一集合的該些第一電極電耦接至一第一全域選擇線；
在該第一時間段期間禁用連接至多個記憶體單元的一第二集合的多個第一電極的一第二開關以將多個記憶體單元的該第二集合的該些第一電極與該第一全域選擇線電去耦；
在該第一時間段期間啟用連接至多個記憶體單元的該第一集合的多個第二電極的一第三開關以將多個記憶體單元的該第一集合的該些第二電極電耦接至一第一全域位元線；
在該第一時間段期間禁用連接至多個記憶體單元的該第二集合的多個第二電極的一第四開關以將多個記憶體單元的該第二集合的該些第二電極與該第一全域位元線電去耦；及
在該第一時間段期間組態多個記憶體單元的該第一集合中的一或多個記憶體單元，
其中該記憶體系統包含：
相互垂直排列的該些記憶體單元的該第一集合；
相互垂直排列的該些記憶體單元的一第三集合，該些記憶體單元的該第三集合位於該些記憶體單元的該第一集合的垂直上方；
一第五開關，將該些記憶體單元的該第三集合耦接至該第一全域位元線；以及

一第六開關，將該些記憶體單元的該第三集合耦接至一第二全域選擇線，該第二全域選擇線位於該些記憶體單元的該第三集合的垂直上方，

其中該第一開關將該些記憶體單元的該第一集合耦接至該第一全域選擇線，該第一全域選擇線位於該些記憶體單元的該第一集合的垂直下方，

該第三開關將該些記憶體單元的該第一集合耦接至該第一全域位元線，該第一全域位元線位於該些記憶體單元的該第一集合的垂直上方，以及

該第一全域選擇線、該第一全域位元線及該第二全域選擇線皆沿一第一橫向延伸。

6. 一種記憶體陣列，包括：

多個記憶體單元的一第一子集；

一第一開關，包含:

一第一電極，連接至該些記憶體單元的該第一子集的多個第一電極，及

一第二電極，連接至一第一全域位元線；

一第二開關，包含:

一第一電極，連接至該些記憶體單元的該第一子集的多個第二電極，及

一第二電極，連接至一第一全域選擇線；

多個記憶體單元的一第二子集；

一第三開關，包含:

一第一電極，連接至該些記憶體單元的該第二子集的多個第一電極，及

一第二電極，連接至該第一全域位元線；以及

一第四開關，包含:

一第一電極，連接至該些記憶體單元的該第二子集的多個第二電極，及

一第二電極，連接至一第二全域選擇線。

7. 如請求項 6 所述的記憶體陣列，其中該第一開關及該第二開關藉由一驅動器驅動。

8. 如請求項 7 所述的記憶體陣列，其中該第一全域選擇線、該第二全域選擇線及該第一全域位元線皆沿一第一橫向延伸。

9. 一種記憶體陣列，包含:

多個記憶體單元的一第一子集；

該些記憶體單元的一第二子集，位於該些記憶體單元的該第一子集上方；

一第一開關將該些記憶體單元的該第一子集耦接至一第一全域線；

一第二開關，將該些記憶體單元的該第一子集耦接至一第二全域線；

一第三開關，將該些記憶體單元的該第二子集耦接至該第二全域線；以及

一第四開關，將該些記憶體單元的該第二子集耦接至一第三全域線；

其中，該第一至第三全域線皆沿一第一橫向延伸。

10. 一種記憶體陣列，包含:

相互垂直排列的多個記憶體單元的一第一子集；

相互垂直排列的該些記憶體單元的一第二子集，多個該些記憶體單元的該第二子集位於該些記憶體單元的該第一子集的垂直上方；

一第一開關，將該些記憶體單元的該第一子集耦接至一第一全域線，該第一全域線位於該些記憶體單元的該第一子集的垂直下方；

一第二開關，將該些記憶體單元的該第一子集耦接至一第二全域線，該第二全域線位於該些記憶體單元的該第一子集的垂直上方；

一第三開關，將該些記憶體單元的該第二子集耦接至該第二全域線；以及

一第四開關，將該些記憶體單元的該第二子集耦接至一第三全域線，該第三全域線位於該些記憶體單元的該第二子集的垂直上方；

其中該第一至第三全域線皆沿一第一橫向延伸。

圖式簡單說明

在結合隨附圖式閱讀以下詳細描述時可最佳地理解本揭露的各個態樣。應注意，根據業界的標準慣例，各種特徵並未按比例繪製。實際上，各種特徵的尺寸可出於論述的清楚起見而任意地增大或減小。

第 1 圖為根據一個實施例的記憶體系統的圖。

第 2 圖為示出根據一個實施例的三維記憶體陣列的圖。

第 3 圖為示出根據一個實施例的包含開關以降低電容性負載(capacitive loading)的三維記憶體陣列的圖。

第 4A 圖為示出根據一個實施例的兩個三維記憶體陣列的圖。

第 4B 圖為示出根據一個實施例的兩個三維記憶體陣列的圖。

第 5 圖為示出根據一個實施例的用於驅動兩個或更多個開關的驅動器的圖。

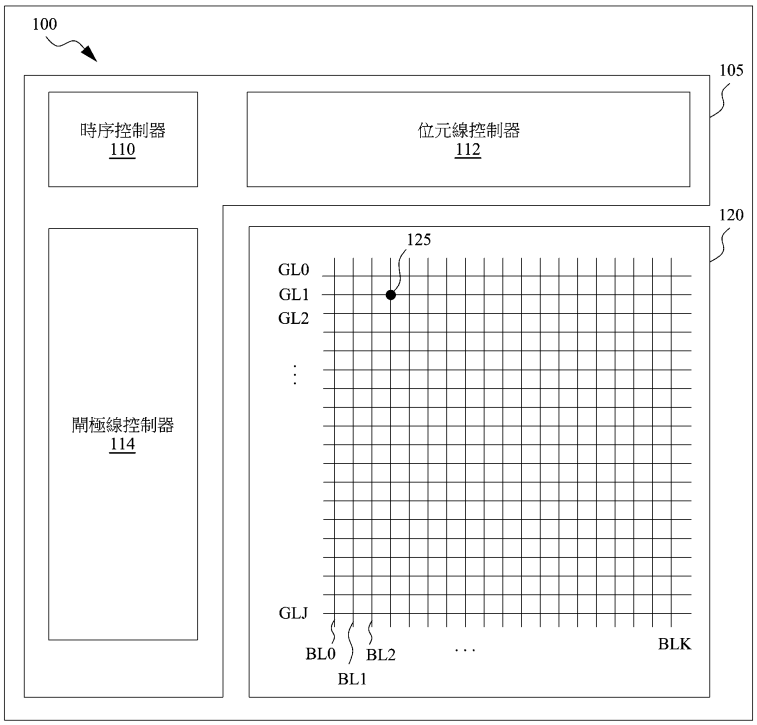
第 6 圖為示出根據一個實施例的施加至記憶體陣列的開關的脈衝的圖。

第 7 圖為示出根據一個實施例的歸因於開關的降低的電容性負載的效應的圖表。

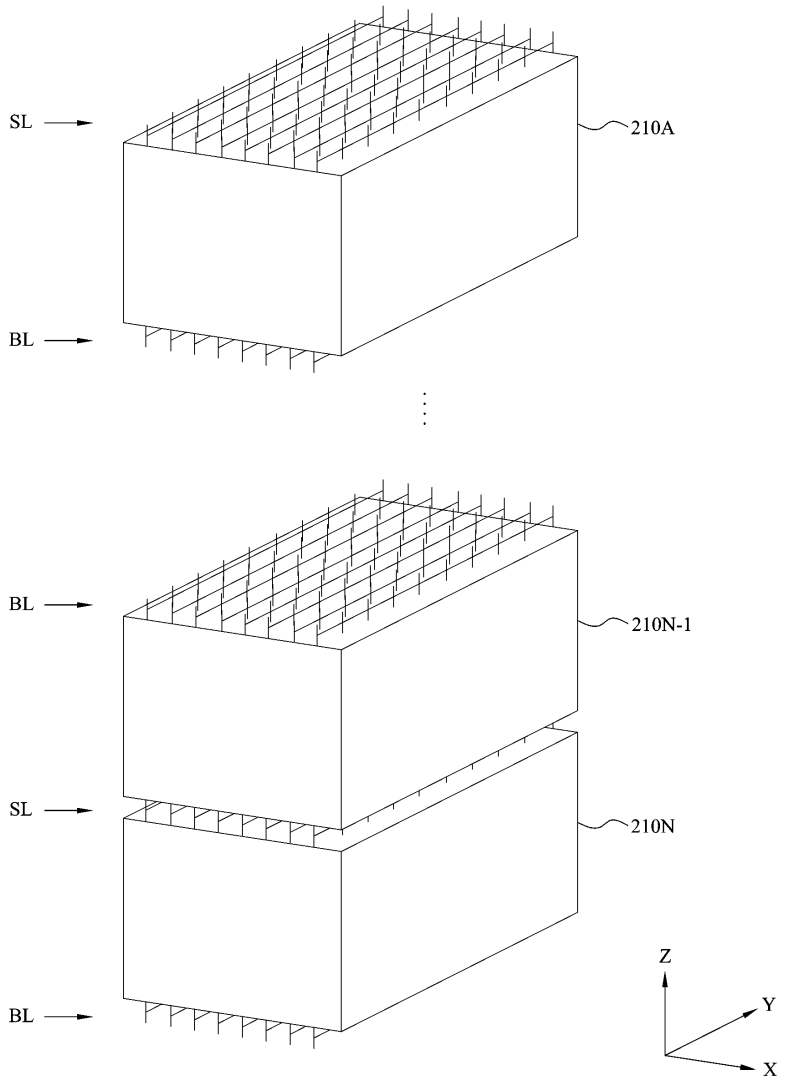
第 8 圖為示出根據一個實施例的藉由採用共用驅動器來減小面積的圖表。

第 9 圖為示出根據一些實施例的操作記憶體單元的方法的流程圖。

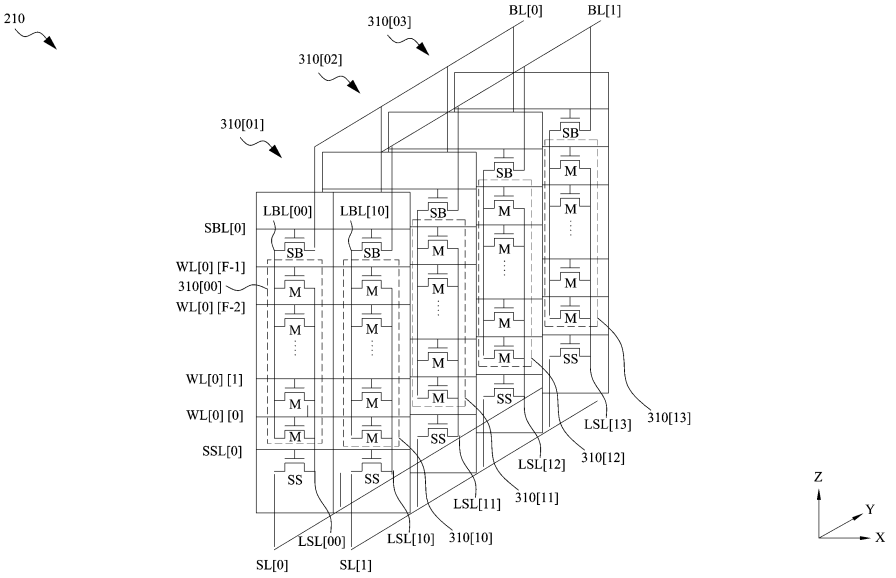
第 10 圖為根據一些實施例的計算系統的實例方塊圖。



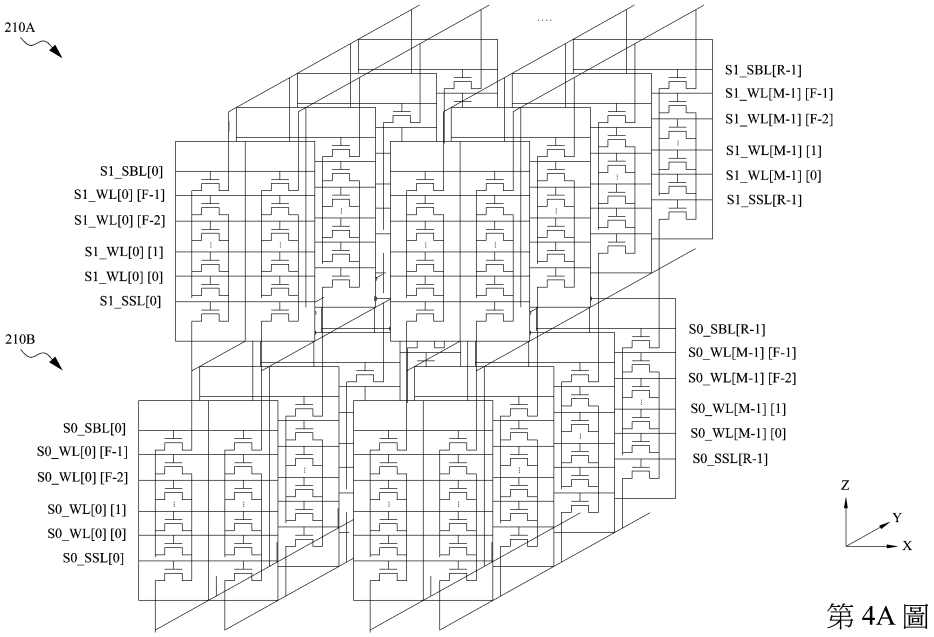
第 1 圖



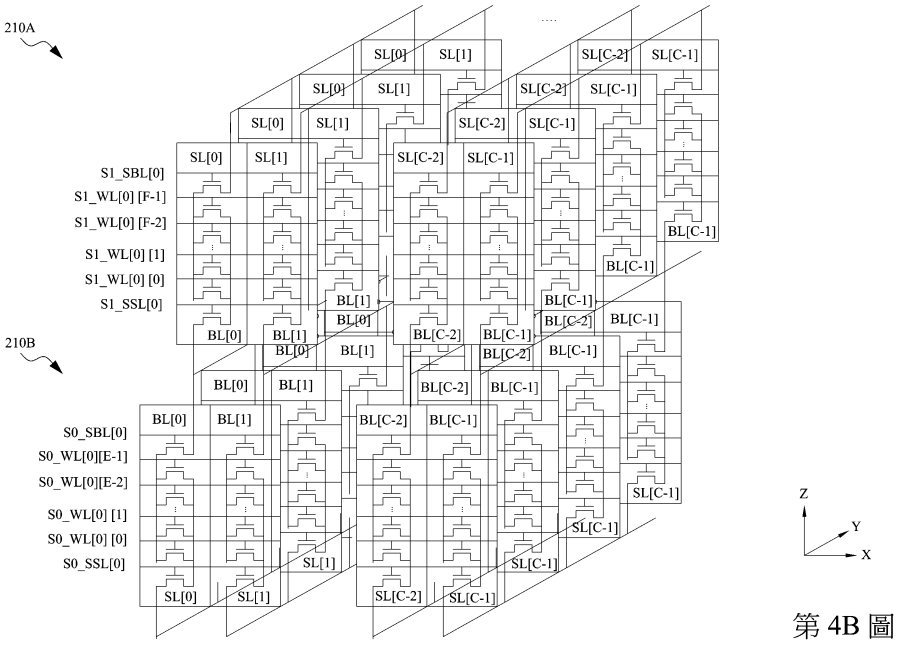
第 2 圖


210
310[03]
310[02]
310[01]
BL[0]
BL[1]
SBL[0]
LBL[00]
LBL[10]
WL[0] [F-1]
310[00]
WL[0] [F-2]
WL[0] [1]
WL[0] [0]
SSL[0]
LSL[13]
310[13]
LSL[12]
310[12]
LSL[11]
310[11]
LSL[00]
LSL[10]
310[10]
SL[0]
SL[1]
Z
Y
X

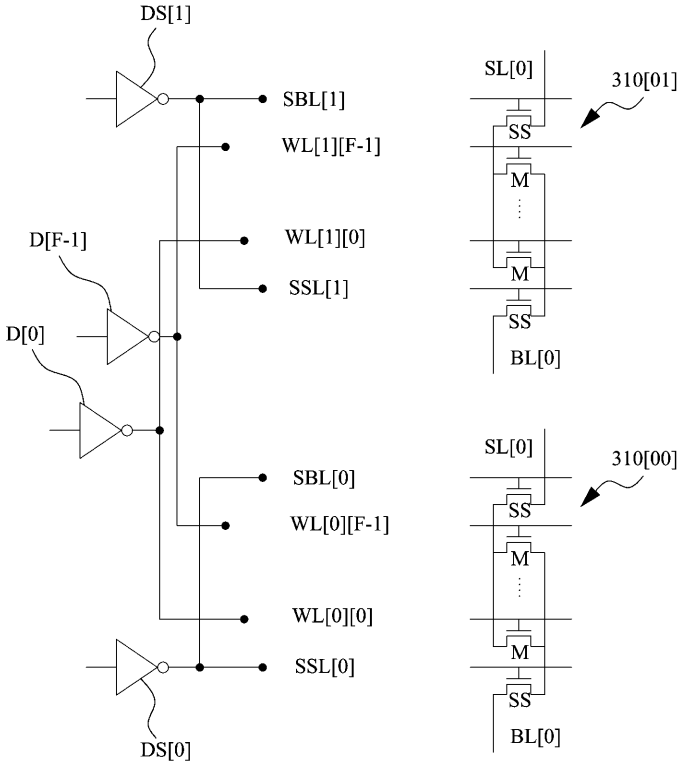
第 3 圖


210A
S1_SBL[0]
S1_WL[0] [F-1]
S1_WL[0] [F-2]
S1_WL[0] [1]
S1_WL[0] [0]
S1_SSL[0]
S1_SBL[R-1]
S1_WL[M-1] [F-1]
S1_WL[M-1] [F-2]
S1_WL[M-1] [1]
S1_WL[M-1] [0]
S1_SSL[R-1]
210B
S0_SBL[0]
S0_WL[0] [F-1]
S0_WL[0] [F-2]
S0_WL[0] [1]
S0_WL[0] [0]
S0_SSL[0]
S0_SBL[R-1]
S0_WL[M-1] [F-1]
S0_WL[M-1] [F-2]
S0_WL[M-1] [1]
S0_WL[M-1] [0]
S0_SSL[R-1]
Z
Y
X

第 4A 圖

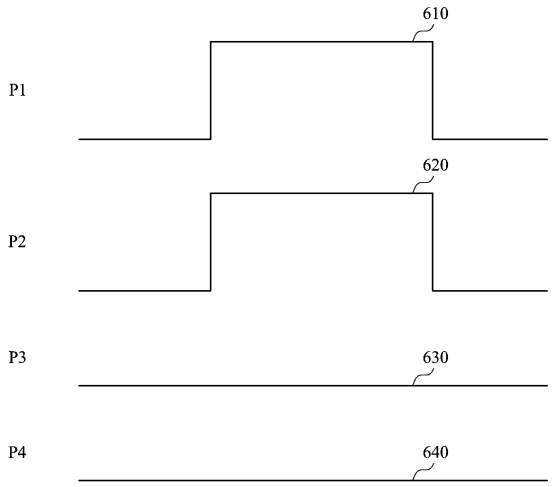

210A
210B
S1_SBL[0]
S1_WL[0] [F-1]
S1_WL[0] [F-2]
S1_WL[0] [1]
S1_WL[0] [0]
S1_SSL[0]
S0_SBL[0]
S0_WL[0][E-1]
S0_WL[0][E-2]
S0_WL[0] [1]
S0_WL[0] [0]
S0_SSL[0]
SL[0]
SL[1]
SL[C-2]
SL[C-1]
BL[0]
BL[1]
BL[C-2]
BL[C-1]
Z
Y
X

第 4B 圖


DS[1]
SBL[1]
WL[1][F-1]
WL[1][0]
SSL[1]
D[F-1]
D[0]
SBL[0]
WL[0][F-1]
WL[0][0]
SSL[0]
DS[0]
SL[0]
310[01]
SS
M
SS
BL[0]
SL[0]
310[00]
SS
M
SS
BL[0]

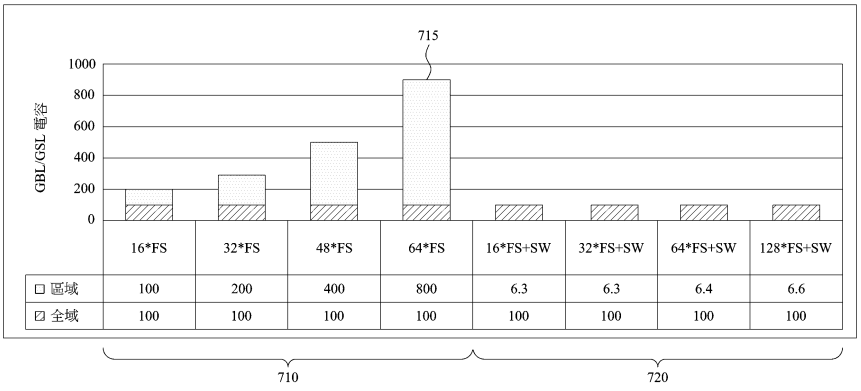
第 5 圖

600



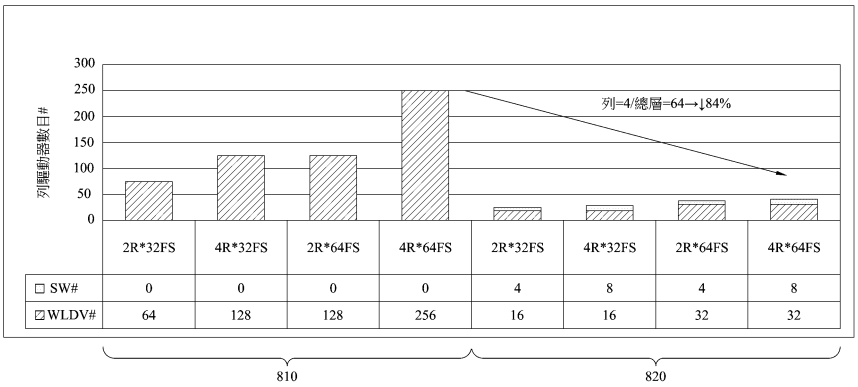
第 6 圖

700



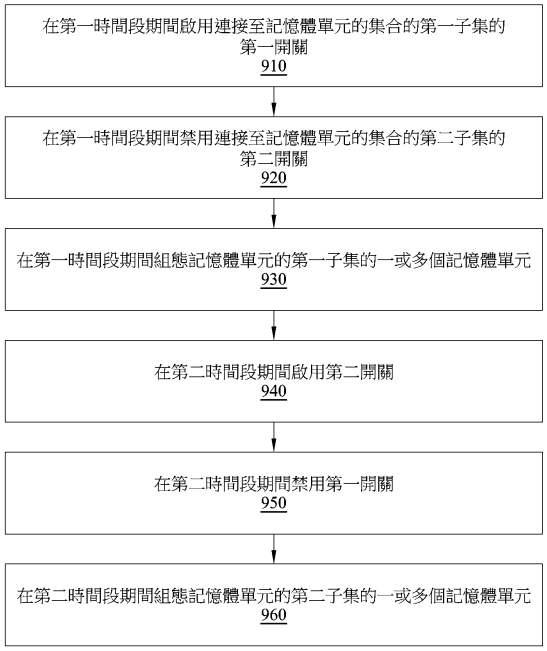
第 7 圖

800

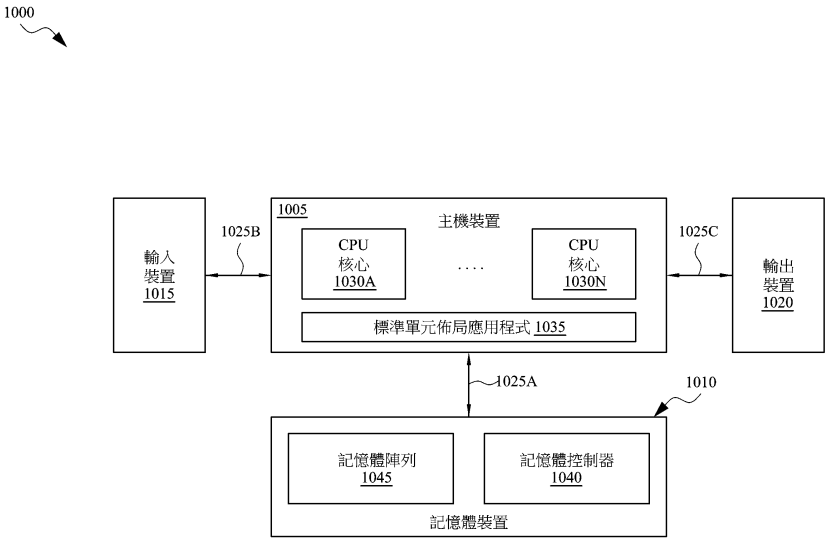


第 8 圖

900



第 9 圖


1000
1005
主機裝置
輸入
裝置
1015
1025B
CPU
核心
1030A
....
CPU
核心
1030N
1025C
輸出
裝置
1020
標準單元佈局應用程式 1035
1025A
1010
記憶體陣列
1045
記憶體控制器
1040
記憶體裝置

第 10 圖