【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I939565
【45】公告日： 中華民國 115 (2026) 年 09 月 21 日
【51】Int. Cl.：　*H10W20/00　(2026.01)*　　*H10B69/00　(2023.01)*
發明　　全 24 頁

【54】名　　稱：半導體裝置及其操作方法

【21】申請案號：111132453　　【22】申請日： 中華民國 111 (2022) 年 08 月 29 日
【11】公開編號：202320232　　【43】公開日期： 中華民國 112 (2023) 年 05 月 16 日
【30】優 先 權： 2021/08/30　美國　17/461,863

【72】發 明 人： 劉相瑋 (TW) LIU, HSIANG-WEI；楊耀仁 (TW) YANG, YAO-JEN；張盟昇 (TW) CHANG, MENG-SHENG
【71】申 請 人： 台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.
新竹市東區新竹科學工業園區力行六路八號
【74】代 理 人： 李世章；秦建譜

【56】參考文獻：

TW	202123417A	US	9773792B1
US	10020313B2	US	2016/0071582A1
US	2017/0154686A1	US	2019/0251223A1
US	2021/0249421A1		

審查人員：張俊緯

【57】申請專利範圍

1. 一種半導體裝置，包含： 一第一導電結構，在一第一方向上延伸，該第一導電結構連接至一金屬氧化物半導體裝置的一汲極電極；
一第二導電結構，該第二導電結構在該第一方向上延伸、平行於該第一導電結構，且在垂直於該第一方向的一第二方向上與該第一導電結構隔開，其中該金屬氧化物半導體裝置的一閘極電極連接至除該第一導電結構或該第二導電結構之外的一導電結構；
一介電材料，該介電材料至少安置於該第一導電結構上方；及
一通孔結構，該通孔結構在垂直於該第一方向及該第二方向的一第三方向上直接安置於該第二導電結構上方且電耦接至該第二導電結構，
其中當一電壓施加至該第二導電結構時，一通道用以形成於該介電材料中以將該第二導電結構及該第一導電結構電短路。
2. 如請求項 1 所述之半導體裝置，進一步包含：
一第三導電結構，該第三導電結構在該第二方向上延伸且安置於該通孔結構上方。
3. 一種半導體裝置，包含：
一第一導電結構，在一第一方向上延伸的，該第一導電結構連接至一金屬氧化物半導體裝置的一汲極電極；
一第二導電結構，該第二導電結構在該第一方向上延伸且與該第一導電結構隔開，在垂直於該第一方向的一第二方向上與該第一導電結構隔開達一第一間距，其中一金屬氧化物半導體裝置的一閘極電極連接至除該第一導電結構或該第二導電結構之外的一導電結構；及

一通孔結構，安置於該第二導電結構上方，其中該通孔結構在該第二方向上與該第一導電結構隔開達一第二間距，且其中該第二間距與該第一間距的一比率係在 0.4 至 0.9 的一範圍內；

其中當一電壓施加至該第二導電結構時，一通道形成於介電材料中以將該第二導電結構及該第一導電結構電短路。

4. 如請求項 3 所述之半導體裝置，進一步包含：

一第三導電結構，該第三導電結構在該第二方向上延伸且安置於該通孔結構上方。

5. 一種操作一半導體裝置的方法，包含以下步驟：

經由電耦接至一金屬氧化物半導體裝置之一閘極的一第一導電結構接收一字線電壓；

經由一第二導電結構接收大於一預定電壓的一位元線電壓；及

在該第二導電結構與一第三導電結構之間產生一第一通道，該第三導電結構電耦接至該金屬氧化物半導體裝置之一汲極或一源極中的一者，

其中該第二及該第三導電結構在一第一方向延伸且在垂直於該第一方向的一第二方向上彼此隔開。

6. 一種操作一半導體裝置的方法，包含以下步驟：

經由電耦接至一金屬氧化物半導體裝置之一閘極的一第一導電結構接收一字線電壓；

經由一第二導電結構接收一位元線電壓；及

在該第二導電結構與一第三導電結構之間產生一第一通道，該第三導電結構電耦接至該金屬氧化物半導體裝置之一汲極或一源極中的一者；

其中該第二及該第三導電結構在一第一方向延伸且在垂直於該第一方向的一第二方向上彼此隔開，且該第一導電結構在該第二方向上延伸。

7. 一種操作一半導體裝置的方法，包含以下步驟：

經由電耦接至一金屬氧化物半導體裝置之一閘極的一第一導電結構接收一字線電壓；

經由在一第一方向上延伸的一第二導電結構接收一位元線電壓；及

在一第三導電結構與一第四導電結構之間產生一通道，該第三導電結構及該第四導電結構的每一者在一第二方向上延伸，其中該第四導電結構電耦接至該金屬氧化物半導體裝置之一汲極或一源極中的一者；

其中該第二導電結構位於該第三導電結構及該第四導電結構上方。

8. 一種半導體裝置，包含：

一第一導電結構，在一第一方向上延伸；

一第二導電結構，該第二導電結構在垂直於該第一方向的一第二方向上延伸，其中該第二導電結構及該第一導電結構彼此垂直隔開；及

一通孔結構，該通孔結構將該第二導電結構連接至該第一導電結構；

其中一程式化電壓用以透過該通孔結構施加於該第二導電結構，且施加至該第一導電結構，以將該第一導電結構及第三導電結構短路，且其中該第三導電結構及該第一導電結構彼此平行且在該第二方向上彼此隔開。

9. 一種半導體裝置，包含：

一第一導電結構，在一第一方向上延伸；

一第二導電結構，該第二導電結構在該第一方向上延伸、與該第一導電結構平行且與該第一導電結構隔開；

一第三導電結構，該第三導電結構在垂直於該第一方向的一第二方向上延伸，且位於該第一導電結構及該第二導電結構上方；以及

一通孔結構，該通孔結構將該第三導電結構連接至該第一導電結構；

其中一程式化電壓用以透過該通孔結構施加於該第三導電結構，且施加至該第一導電結構，以將該第一導電結構及該第二導電結構短路。

10. 一種半導體裝置，包含：
複數個第一導電結構，在一第一方向上延伸且彼此平行；
複數個第二導電結構，在垂直於該第一方向的一第二方向上延伸且彼此平行，其中該些第二導電結構及該些第一導電結構彼此垂直隔開；以及
複數個通孔結構，該複數個通孔結構將對應的該些第二導電結構中之一者連接至一對應的該些第一導電結構中之一者；
其中一程式化電壓用以透過對應的該些通孔結構施加於該些第二導電結構中的每一者，以將該對應的該些第一導電結構中之一者及該些第一導電結構中之另一者短路。

圖式簡單說明

本揭示之態樣在與隨附圖式一起研讀時自以下詳細描述內容來最佳地理解。應注意，根據行業中之標準慣例，各種特徵未按比例繪製。實際上，各種特徵之尺寸可為了論述清楚經任意地增大或減小。_

第 1A 圖及第 1B 圖各自圖示根據一些實施例之處於各種操作階段之熔絲單元的示意性電路圖。

第 1C 圖及第 1D 圖各自圖示根據一些實施例之處於各種操作階段之另一熔絲單元的示意性電路圖。

第 2 圖圖示根據一些實施例之熔絲單元的電路佈局。

第 3A 圖及第 3B 圖各自圖示根據一些實施例之處於各種操作階段之熔絲結構的橫截面圖。

第 4 圖圖示根據一些實施例之數個熔絲單元 200 之陣列的電路佈局。

第 5A 圖至第 5F 圖圖示根據一些實施例之熔絲單元的各種電路佈局。

第 6 圖圖示根據一些實施例之熔絲單元的電路佈局。

第 7A 圖及第 7B 圖各自圖示根據一些實施例之處於各種操作階段之熔絲結構的橫截面圖。

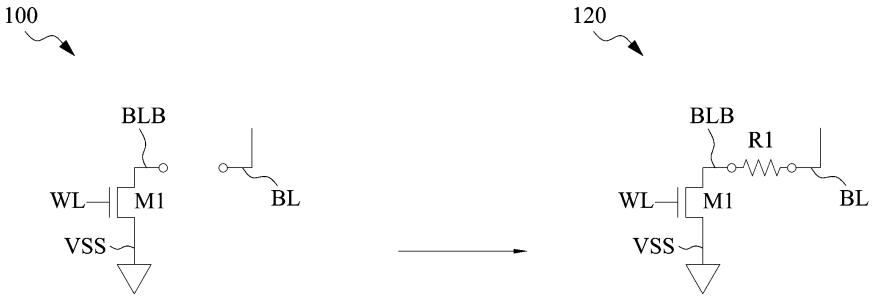
第 8A 圖至第 8F 圖圖示根據一些實施例之熔絲單元的各種電路佈局。

第 9 圖圖示根據一些實施例之熔絲單元的電路佈局。

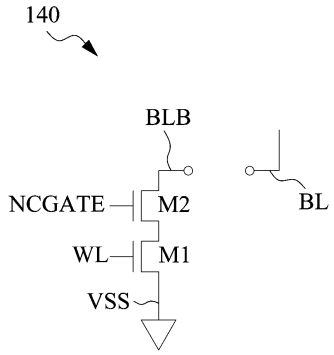
第 10A 圖至第 10F 圖圖示根據一些實施例之熔絲單元的各種電路佈局。

第 11 圖圖示根據一些實施例之操作半導體裝置之實例方法的流程圖。

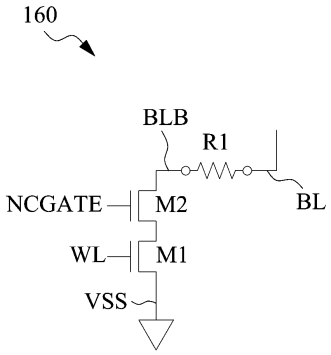
第 12 圖為繪示根據一些實施例之記憶體系統之組態的方塊圖。



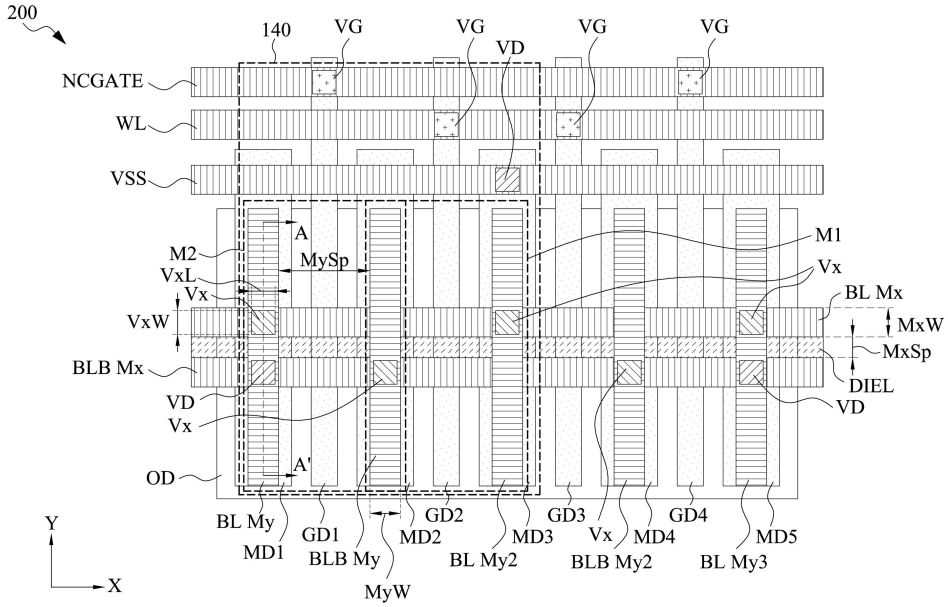
第 1A 圖　　第 1B 圖



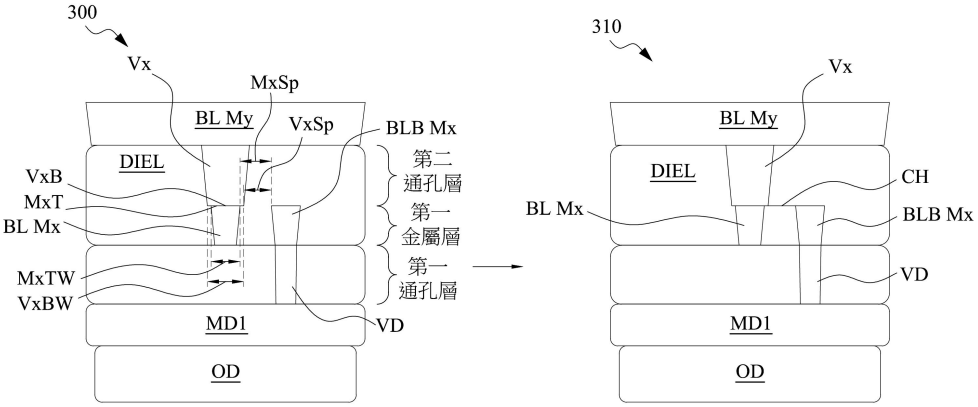
第 1C 圖



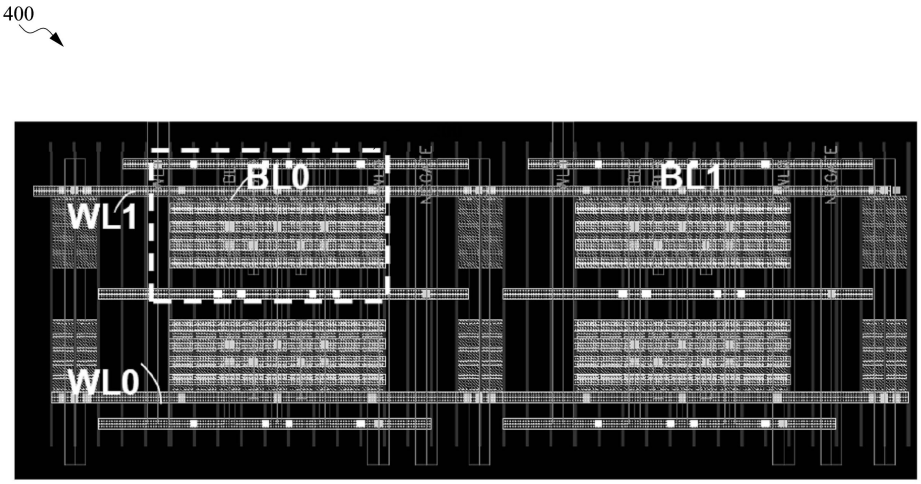
第 1D 圖



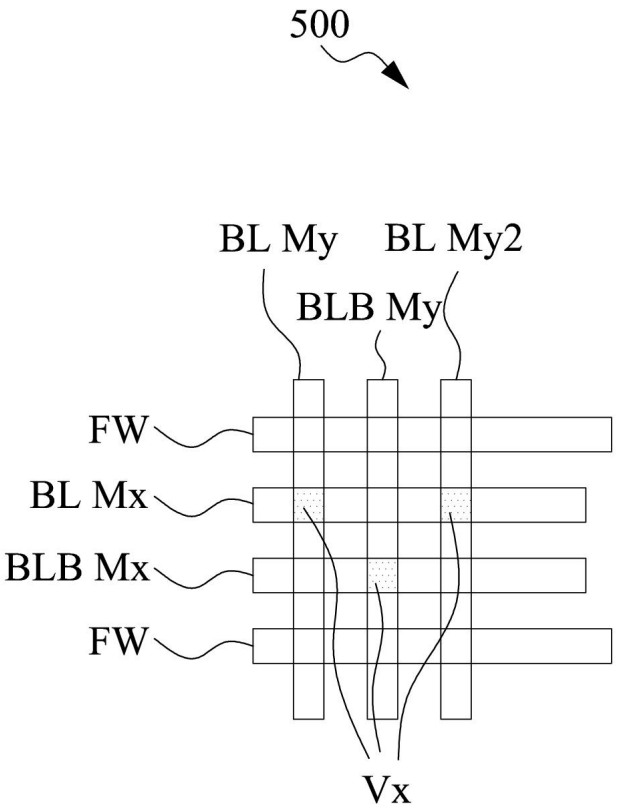
第 2 圖



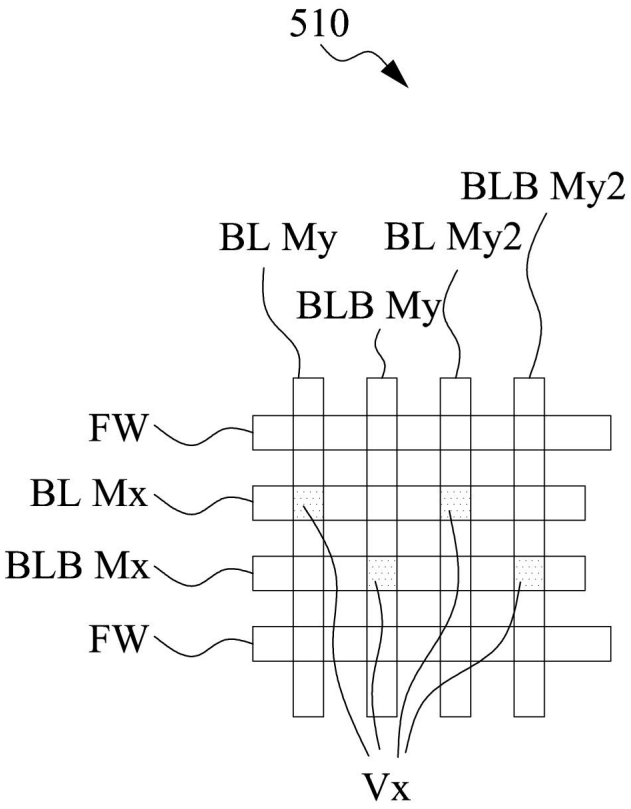
第 3A 圖　　第 3B 圖



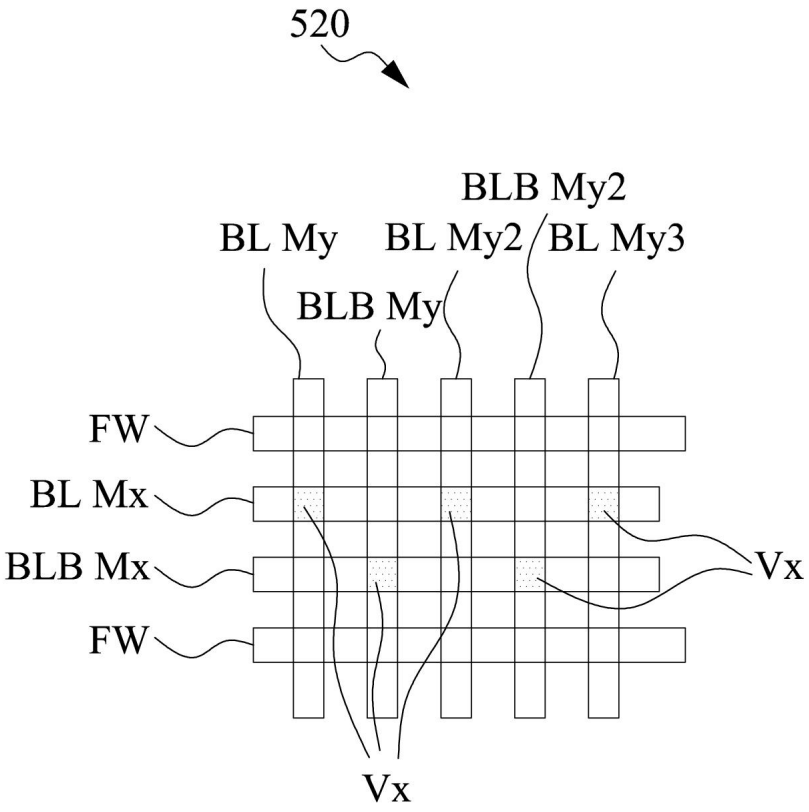
第 4 圖



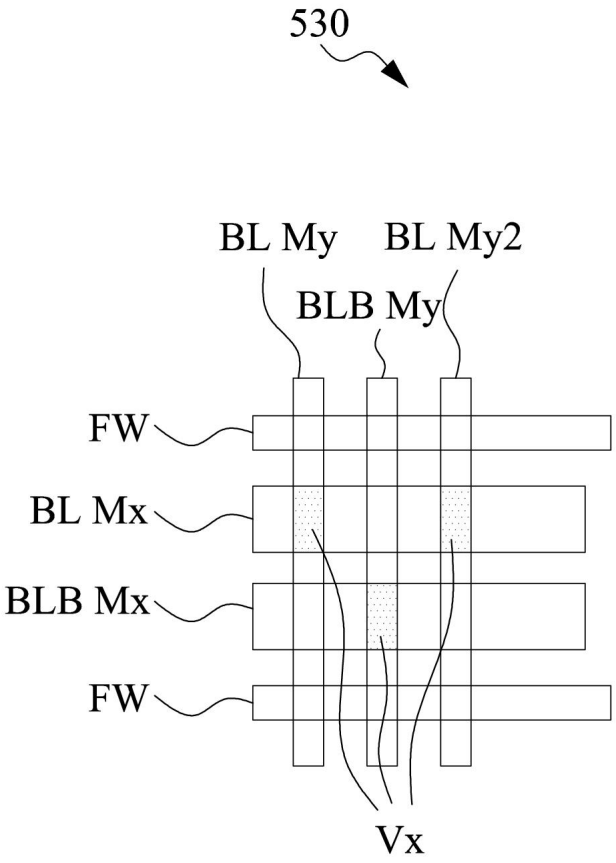
第 5A 圖



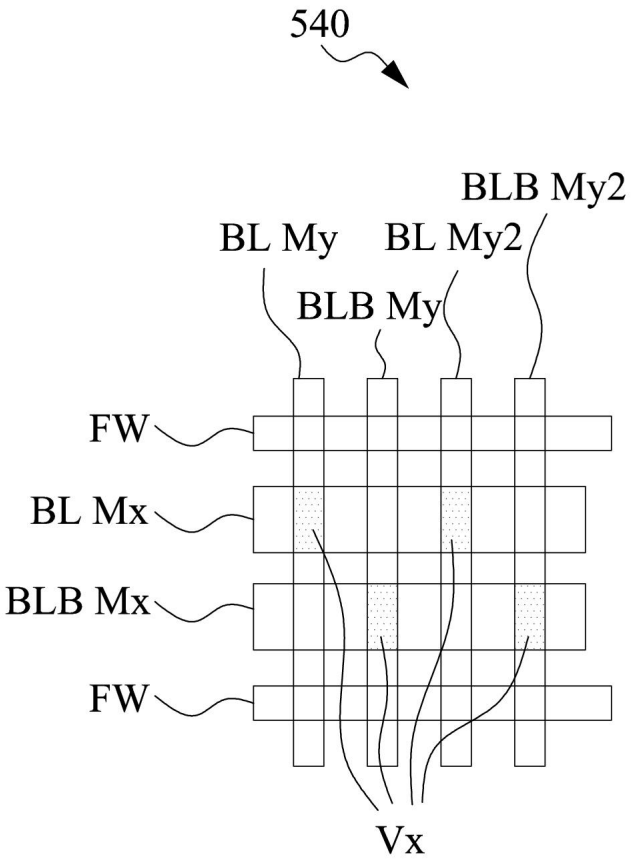
第 5B 圖



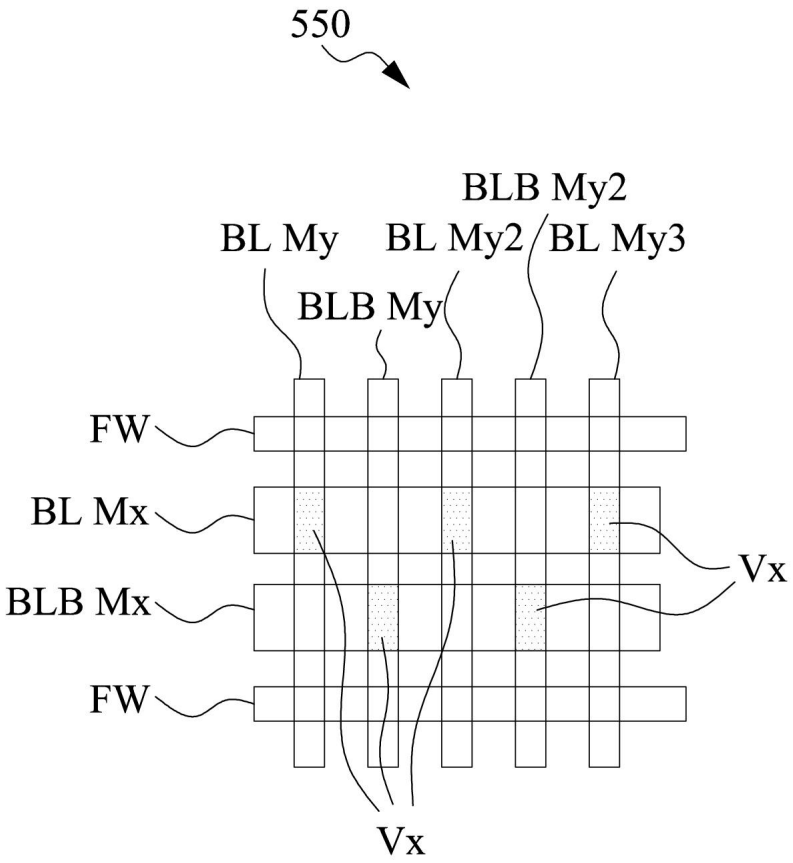
第 5C 圖



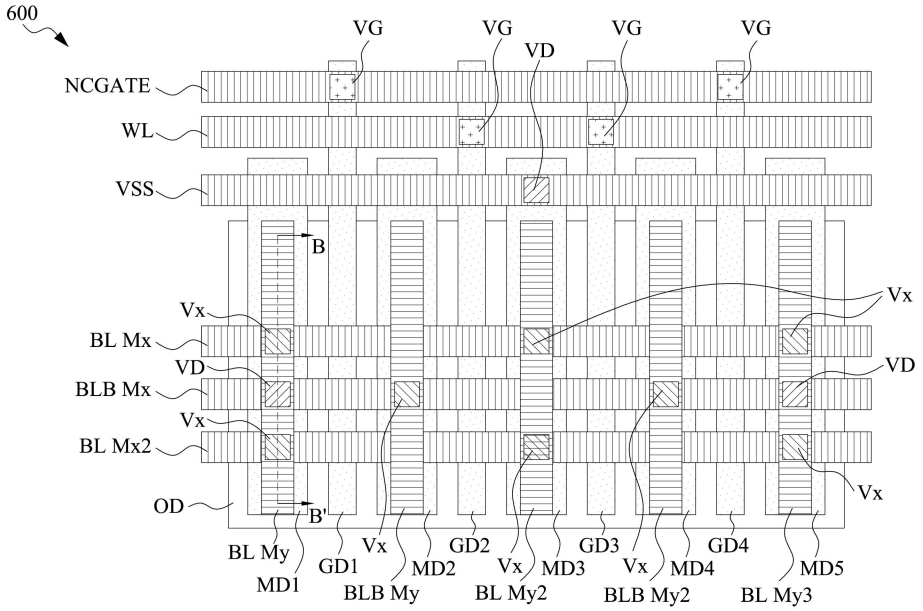
第 5D 圖



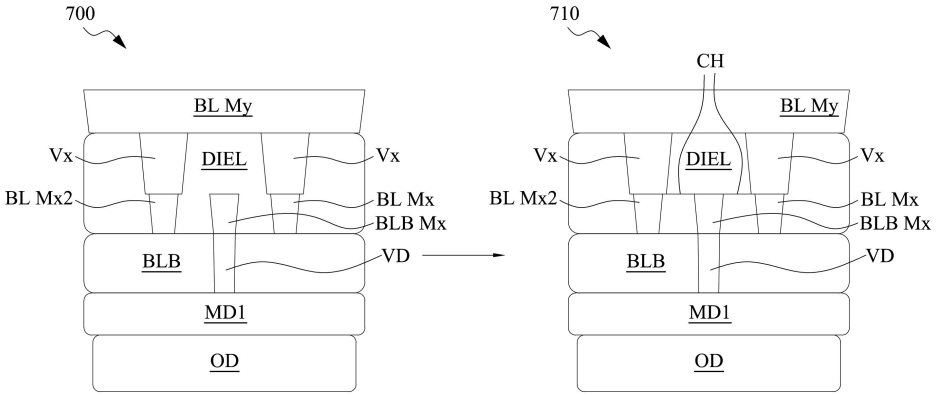
第 5E 圖



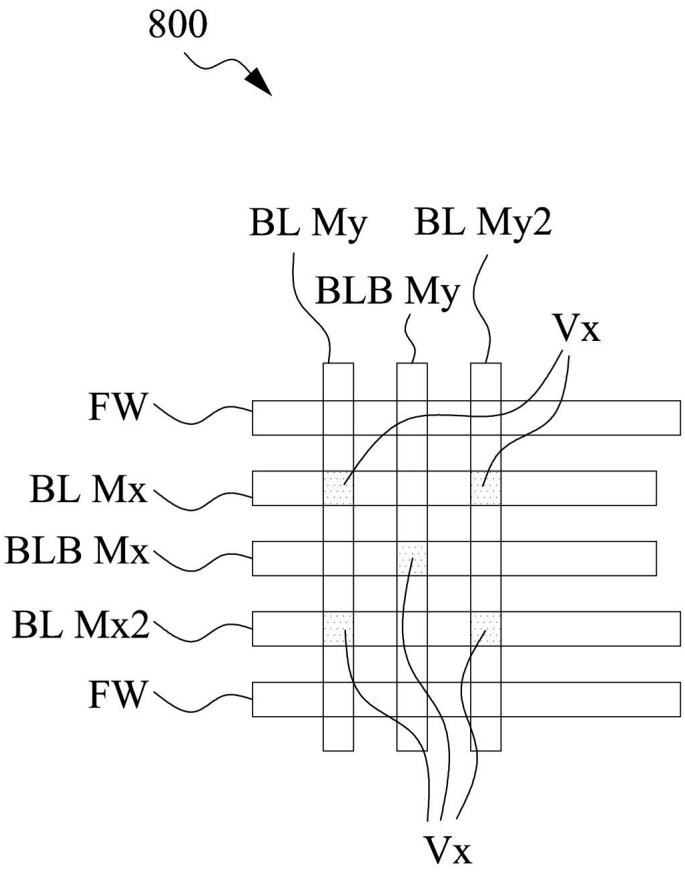
第 5F 圖



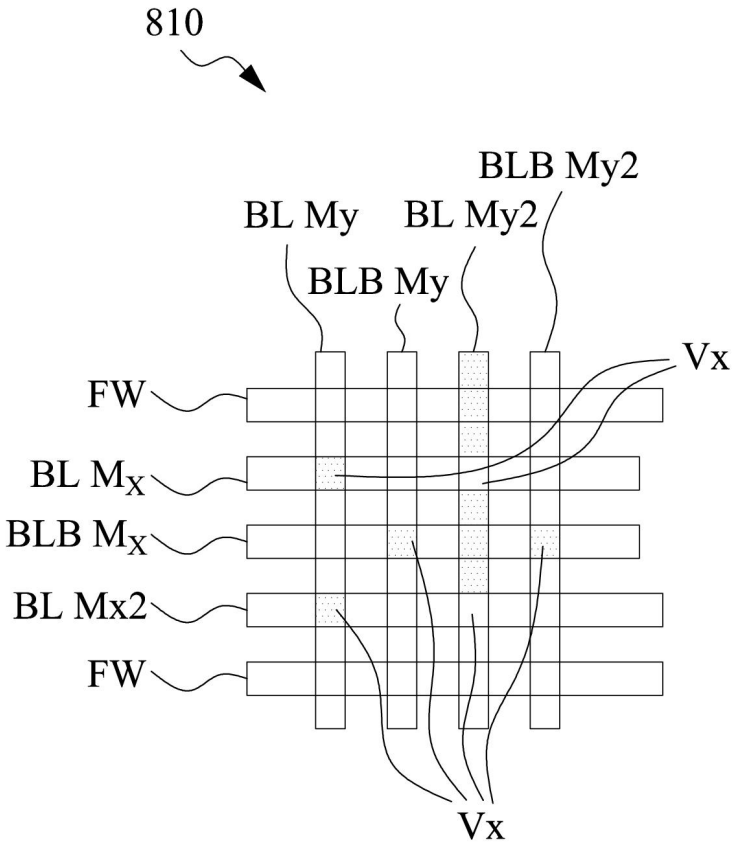
第 6 圖



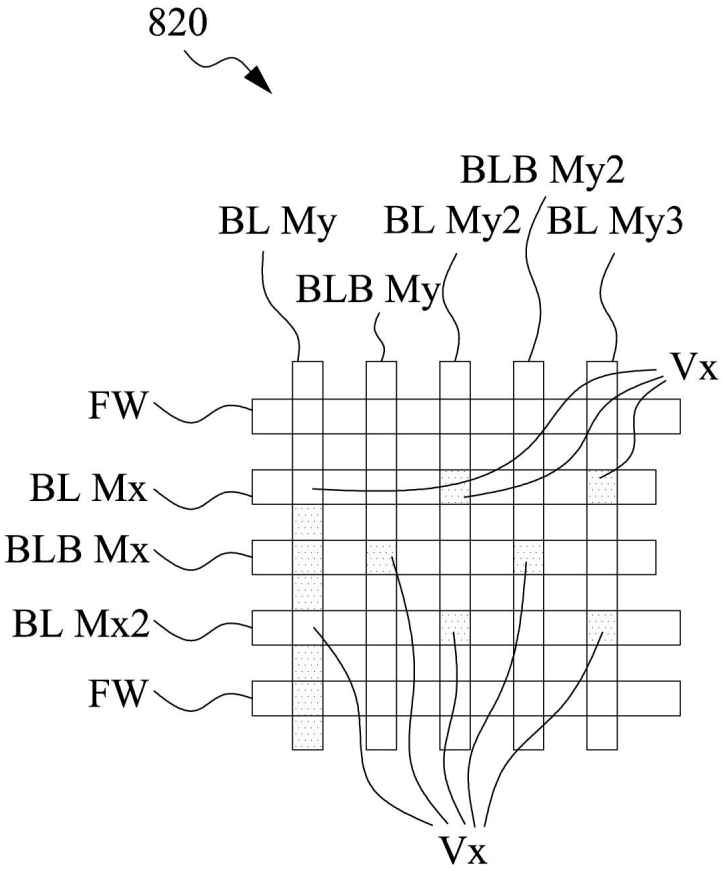
第 7A 圖　　第 7B 圖



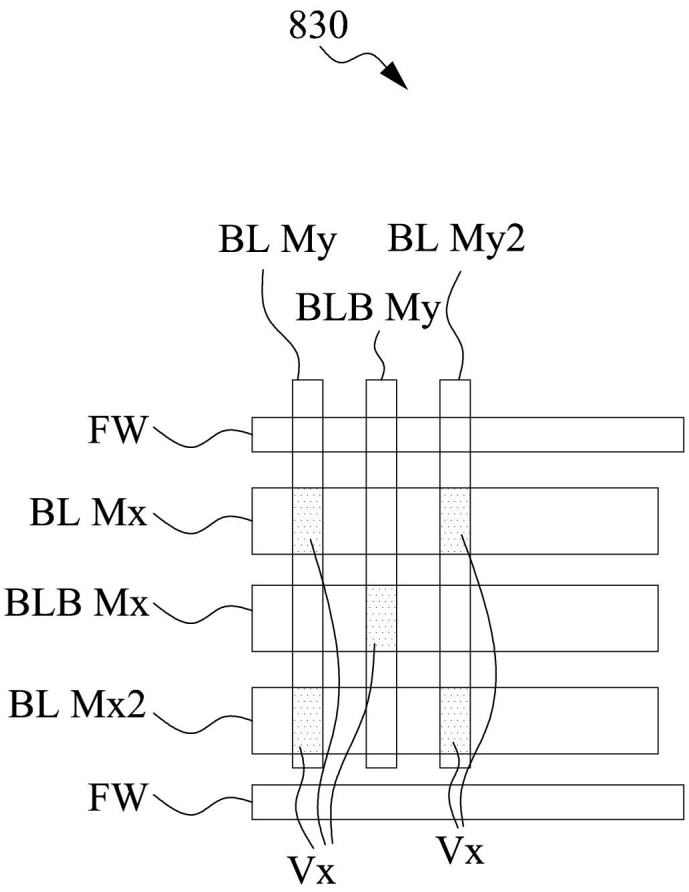
第 8A 圖



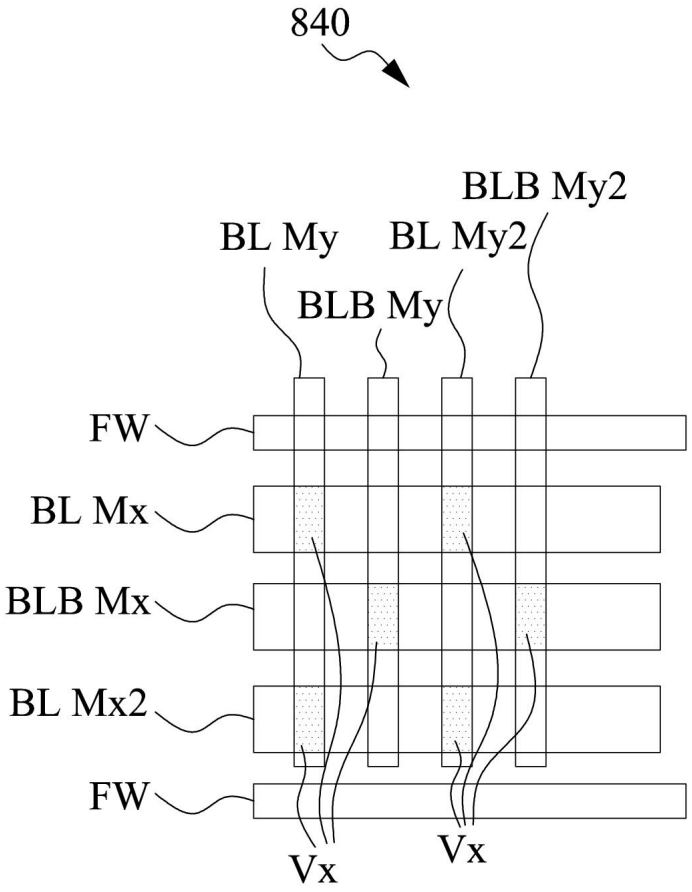
第 8B 圖


820
BLB My2
BL My
BL My2
BL My3
BLB My
Vx
FW
BL Mx
BLB Mx
BL Mx2
FW
Vx

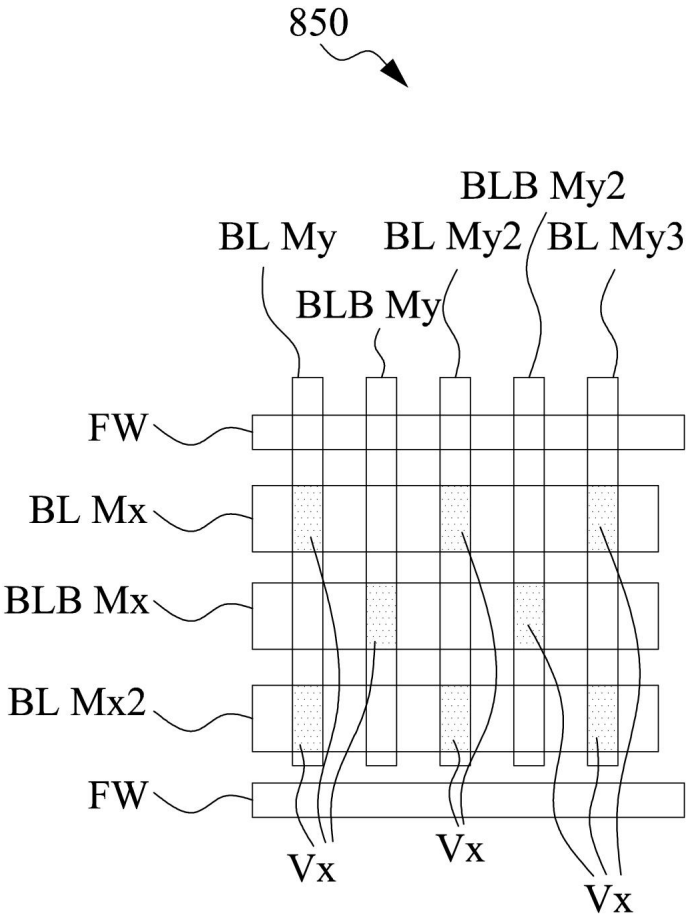
第 8C 圖



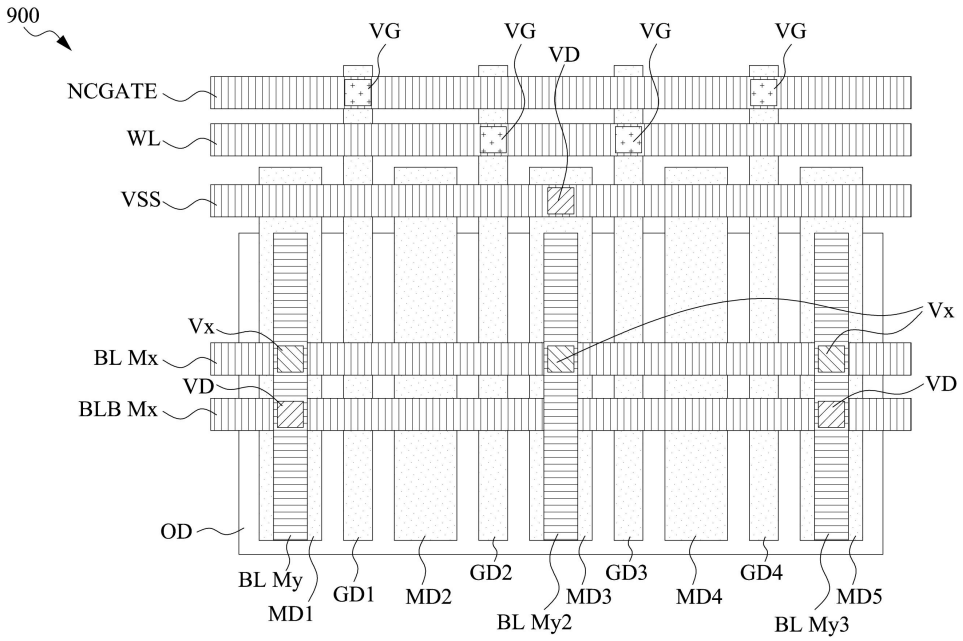
第 8D 圖



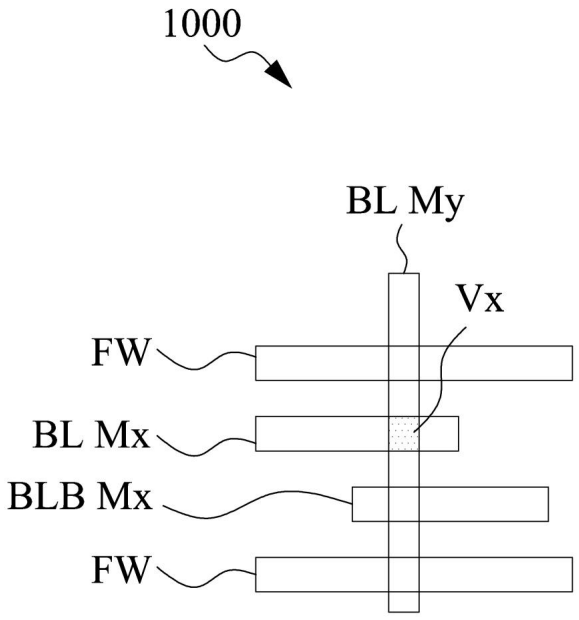
第 8E 圖


850
BLB My2
BL My
BL My2
BL My3
BLB My
FW
BL Mx
BLB Mx
BL Mx2
FW
Vx
Vx
Vx

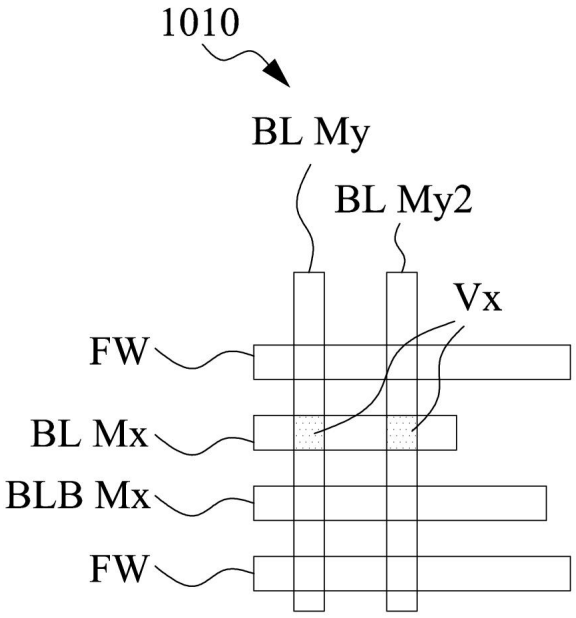
第 8F 圖


900
VG
VG
VD
VG
VG
NCGATE
WL
VSS
Vx
Vx
BL Mx
VD
VD
BLB Mx
OD
BL My
MD1
GD1
MD2
GD2
BL My2
MD3
GD3
MD4
GD4
MD5
BL My3

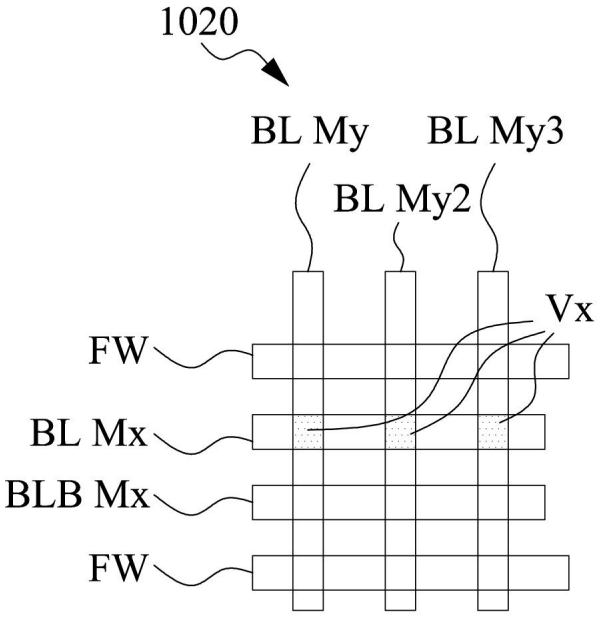
第 9 圖


1000
BL My
Vx
FW
BL Mx
BLB Mx
FW

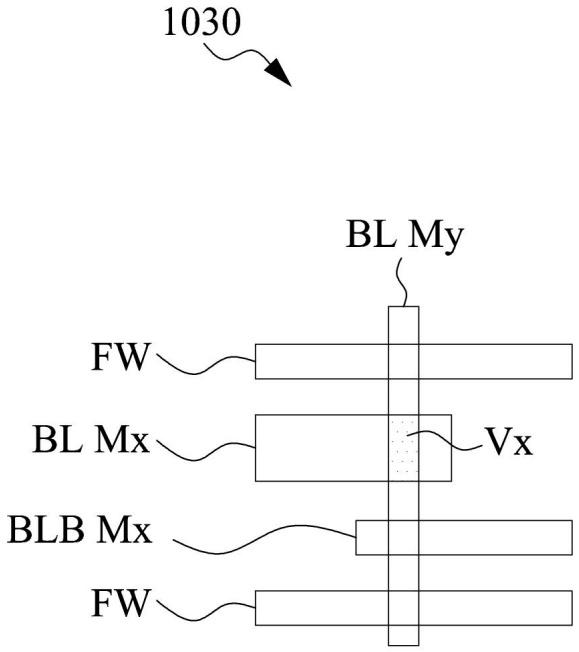
第 10A 圖


1010
BL My
BL My2
Vx
FW
BL Mx
BLB Mx
FW

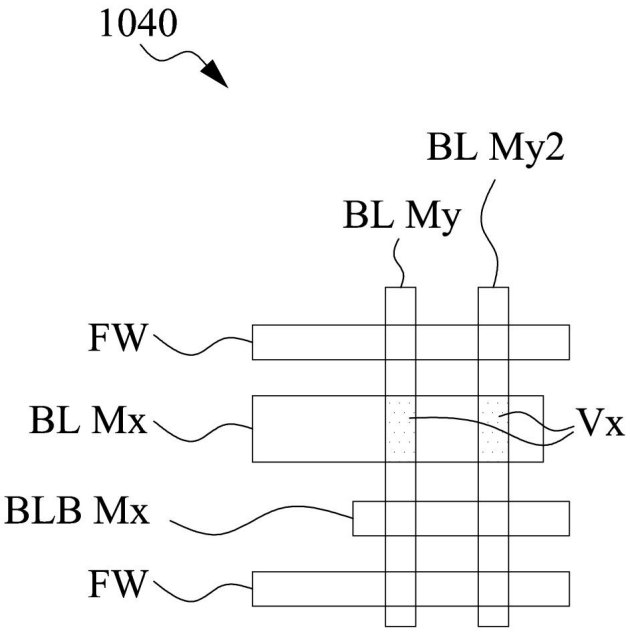
第 10B 圖


1020
BL My
BL My3
BL My2
Vx
FW
BL Mx
BLB Mx
FW

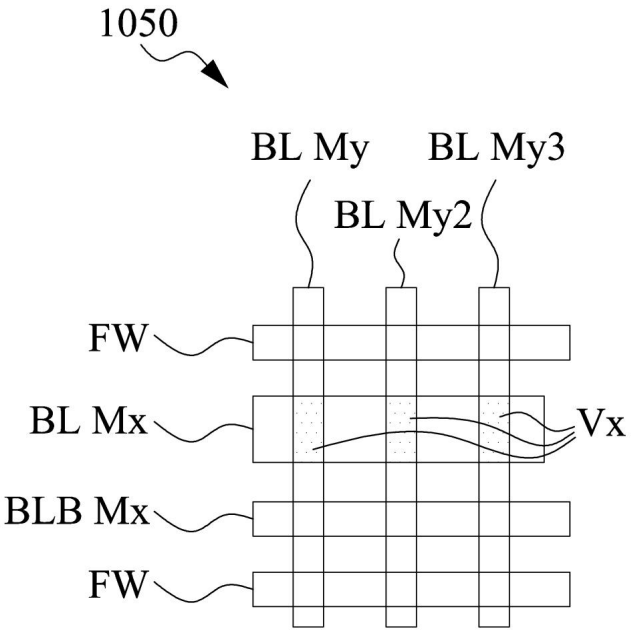
第 10C 圖



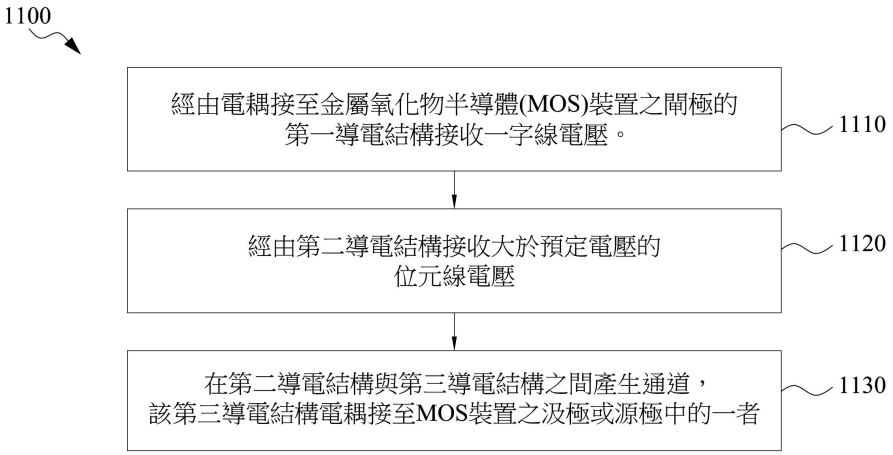
第 10D 圖



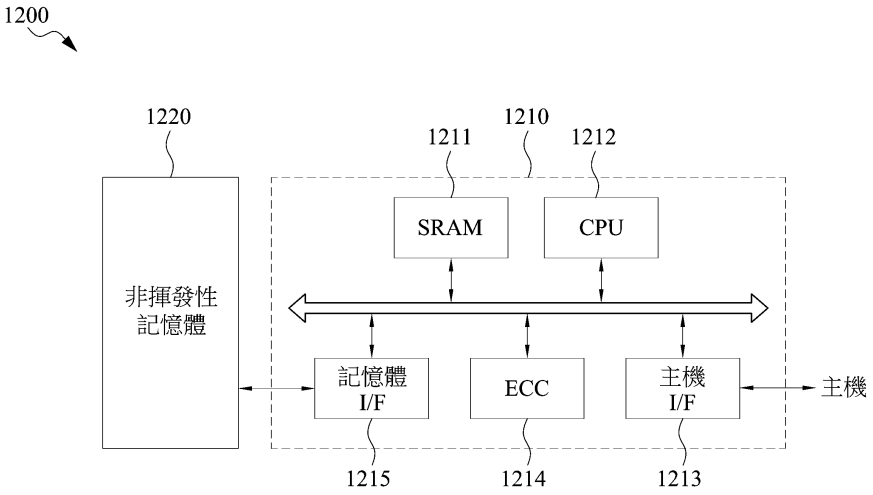
第 10E 圖


1050
BL My
BL My3
BL My2
FW
BL Mx
Vx
BLB Mx
FW

第 10F 圖


1100
經由電耦接至金屬氧化物半導體(MOS)裝置之閘極的
第一導電結構接收一字線電壓。
1110
經由第二導電結構接收大於預定電壓的
位元線電壓
1120
在第二導電結構與第三導電結構之間產生通道，
該第三導電結構電耦接至MOS裝置之汲極或源極中的一者
1130

第 11 圖


1200
1220
1210
1211
1212
SRAM
CPU
非揮發性
記憶體
記憶體
I/F
ECC
主機
I/F
主機
1215
1214
1213

第 12 圖