【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I939696
【45】公告日： 中華民國 115 (2026) 年 09 月 21 日
【51】Int. Cl.：　*H10W42/00 (2026.01)*　*H10W72/00 (2026.01)*
H10F39/12 (2025.01)

發明　　全 18 頁

【54】名　稱：積體電路裝置及其製造方法

【21】申請案號：112123929　【22】申請日： 中華民國 112 (2023) 年 06 月 27 日
【11】公開編號：202431589　【43】公開日期： 中華民國 113 (2024) 年 08 月 01 日
【30】優 先 權： 2023/01/18　美國　63/480,340
2023/05/02　美國　18/311,112

【72】發 明 人： 許嘉麟 (TW) HSU, CHIA-LIN；蘇郁迪 (TW) SU, YU-TI
【71】申 請 人： 台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.
新竹科學工業園區新竹市力行六路八號
【74】代 理 人： 卓俊傑

【56】參考文獻：

TW	201428927A	TW	201818545A
US	2006/0226485A1	US	2019/0237459A1

審查人員：吳鴻鎮

【57】申請專利範圍

1. 一種積體電路(IC)裝置，包括：基底；第一半導體裝置，在所述基底中位於第一摻雜區中；第二半導體裝置，在所述基底中位於第二摻雜區中，其中所述第一摻雜區與所述第二摻雜區彼此不同，且所述第一半導體裝置的閘極電性耦合至所述第二半導體裝置的源極/汲極；第一保護裝置，被配置為第一正向二極體及第一反向二極體中的一者；以及第二保護裝置，被配置為所述第一正向二極體及所述第一反向二極體中的另一者，所述第一正向二極體與所述第一反向二極體以串聯方式電性耦合於所述基底與摻雜阱之間，其中所述摻雜阱位於所述第一摻雜區中，且所述第一半導體裝置的源極/汲極位於所述摻雜阱中，或者所述摻雜阱位於所述第二摻雜區中，且所述第二半導體裝置的所述源極/汲極位於所述摻雜阱中。
2. 如請求項 1 所述的積體電路裝置，其中所述第一保護裝置及所述第二保護裝置中的每一者包括以下中的至少一者：P 型二極體，N 型二極體，二極體連接式金屬氧化物半導體(MOS)電晶體，或者二極體連接式雙極接面電晶體(BJT)。
3. 如請求項 1 所述的積體電路裝置，其中所述摻雜阱被配置成接收較所述基底的電壓高的電壓，且存在以下情況中的一者：所述第一保護裝置包括具有與所述摻雜阱電性耦合的陽極的 P 型二極體，且所述第二保護裝置包括具有與所述基底電性耦合的陽極的 N 型二極體，所述第一保護裝置包括電性耦合至所述摻雜阱的二極體連接式 P 通道金屬氧化物半導體(PMOS)電晶體，且所述第二保護裝置包括電性耦合至所述基底的二極體連接式 N 通道金屬氧化物半導體(NMOS)電晶體，或者所述第一保護裝置包括二極體連接式 PNP 雙極接面電晶體(BJT)，且所述第二保護裝置包括二極體連接式 NPN 雙極接面電晶體，或者所述第一保護裝置包括電性耦合至所述摻雜阱的二極體連接式 P 通道金屬氧化物半導體(PMOS)電晶體，且所述第二保護裝置包括具有與所述基底電性耦合的陰極的二極體，所述第一保護裝置包括具有與所述摻雜阱電性耦合的陽極的二極體，且所述第二保

護裝置包括電性耦合至所述基底的二極體連接式 N 通道金屬氧化物半導體(NMOS)電晶體，所述第一保護裝置包括具有與所述摻雜阱電性耦合的陰極的二極體，且所述第二保護裝置包括電性耦合至所述基底的二極體連接式 P 通道金屬氧化物半導體電晶體，或者所述第一保護裝置包括電性耦合至所述摻雜阱的二極體連接式 N通道金屬氧化物半導體電晶體，且所述第二保護裝置包括具有與所述基底電性耦合的陽極的二極體，或者所述第一保護裝置包括電性耦合至所述摻雜阱的二極體連接式 P 通道金屬氧化物半導體(PMOS)電晶體，且所述第二保護裝置包括電性耦合至所述基底的二極體連接式 NPN 雙極接面電晶體(BJT)，或者所述第一保護裝置包括電性耦合至所述摻雜阱的二極體連接式 PNP 雙極接面電晶體，且所述第二保護裝置包括電性耦合至所述基底的二極體連接式 N 通道金屬氧化物半導體(NMOS)電晶體。

4. 如請求項 1 所述的積體電路裝置，其中所述摻雜阱被配置成接收較所述基底的電壓低的電壓，且存在以下情況中的一者：所述第一保護裝置包括具有與所述摻雜阱電性耦合的陽極的 N 型二極體，且所述第二保護裝置包括具有與所述基底電性耦合的陽極的 P 型二極體，所述第一保護裝置包括電性耦合至所述摻雜阱的二極體連接式 N 通道金屬氧化物半導體(NMOS)電晶體，且所述第二保護裝置包括電性耦合至所述基底的二極體連接式 P 通道金屬氧化物半導體(PMOS)電晶體，或者所述第一保護裝置包括二極體連接式 NPN 雙極接面電晶體(BJT)，且所述第二保護裝置包括二極體連接式 PNP 雙極接面電晶體，或者所述第一保護裝置包括電性耦合至所述摻雜阱的二極體，且所述第二保護裝置包括電性耦合至所述基底的二極體連接式 NPN 雙極接面電晶體(BJT)，或者所述第一保護裝置包括電性耦合至所述摻雜阱的二極體連接式 PNP 雙極接面電晶體，且所述第二保護裝置包括電性耦合至所述基底的二極體，或者所述第一保護裝置包括電性耦合至所述摻雜阱的二極體連接式 NPN 雙極接面電晶體(BJT)，且所述第二保護裝置包括電性耦合至所述基底的二極體連接式 P 通道金屬氧化物半導體(PMOS)電晶體，或者所述第一保護裝置包括電性耦合至所述摻雜阱的二極體連接式 N 通道金屬氧化物半導體(NMOS)電晶體，且所述第二保護裝置包括電性耦合至所述基底的二極體連接式 PNP 雙極接面電晶體。

5. 如請求項 1 所述的積體電路裝置，其中所述第一保護裝置及所述第二保護裝置二者為：P 型二極體，N 型二極體，二極體連接式 N 通道金屬氧化物半導體(NMOS)電晶體，二極體連接式 P 通道金屬氧化物半導體(PMOS)電晶體，二極體連接式 NPN 雙極接面電晶體(BJT)，或者二極體連接式 PNP 雙極接面電晶體。

6. 如請求項 1 所述的積體電路裝置，其中所述摻雜阱是位於所述第二摻雜區中的第一摻雜阱，所述第二摻雜區更包括具有與所述第一摻雜阱相反的導電性的第二摻雜阱，所述第一半導體裝置的所述閘極電性耦合至所述第二摻雜阱，且所述積體電路裝置更包括：第二正向二極體；以及第二反向二極體，所述第二正向二極體與所述第二反向二極體以串聯方式電性耦合於所述基底與所述第二摻雜阱之間。

7. 如請求項 1 所述的積體電路裝置，其中所述摻雜阱是位於所述第一摻雜區中的第一摻雜阱，所述第一摻雜區更包括具有與所述第一摻雜阱相反的導電性的第二摻雜阱，且所述積體電路裝置更包括：第三半導體裝置，具有與所述第一半導體裝置的所述閘極電性耦合的閘極；第二正向二極體；以及第二反向二極體，所述第二正向二極體與所述第二反向二極體以串聯方式電性耦合於所述基底與所述第二摻雜阱之間。

8. 一種積體電路(IC)裝置，包括：基底；第一摻雜阱，位於所述基底之上；第一二極體，位於所述基底之上；第二二極體，位於所述基底之上；第一電性連接部，將所述第一二極體的陽極或陰極電性耦合至所述第一摻雜阱；以及第二電性連接部，將所述第二二極體的陽極或陰極電性耦合至所述基底，其中所述第一二極體的所述陽極與所述第二二極

體的所述陽極電性耦合至彼此，或者所述第一二極體的所述陰極與所述第二二極體的所述陰極電性耦合至彼此。

9. 如請求項 8 所述的積體電路裝置，其中所述第一二極體及所述第二二極體中的一者是反向二極體，所述反向二極體被配置成藉由所述反向二極體的漏電流而將電荷自所述第一摻雜阱放電至所述基底，且所述第一二極體及所述第二二極體中的另一者是正向二極體，所述正向二極體被配置成在所述積體電路裝置的操作中維持在所述第一摻雜阱及所述基底兩端施加的工作電壓。

10. 一種製造積體電路(IC)裝置的方法，所述方法包括：實行摻雜劑植入以在基底之上形成第一摻雜阱、第二摻雜阱、第一 P-N 接面及第二 P-N 接面，其中所述基底包括位於所述第一摻雜阱及所述第二摻雜阱外部的又一區；在所述第一摻雜阱之上沈積閘極且對所述閘極進行圖案化；以及在所述基底之上沈積內連線且對所述內連線進行圖案化以：將所述第一 P-N 接面與所述第二 P-N 接面以串聯方式電性耦合於所述基底的所述又一區與所述第一摻雜阱及所述第二摻雜阱中的一者之間，其中所述第一 P-N 接面的 P 型區與所述第二 P-N 接面的 P 型區電性耦合至彼此，或者所述第一 P-N 接面的 N 型區與所述第二 P-N 接面的 N 型區電性耦合至彼此，且然後將位於所述第一摻雜阱之上的所述閘極電性耦合至所述第二摻雜阱。

圖式簡單說明

結合附圖閱讀以下詳細說明，會最佳地理解本揭露的各態樣。應注意，根據行業中的標準慣例，各種特徵並非按比例繪製。事實上，為使論述清晰起見，可任意增大或減小各種特徵的尺寸。

圖 1A 是根據一些實施例的 IC 裝置的示意性剖視圖。

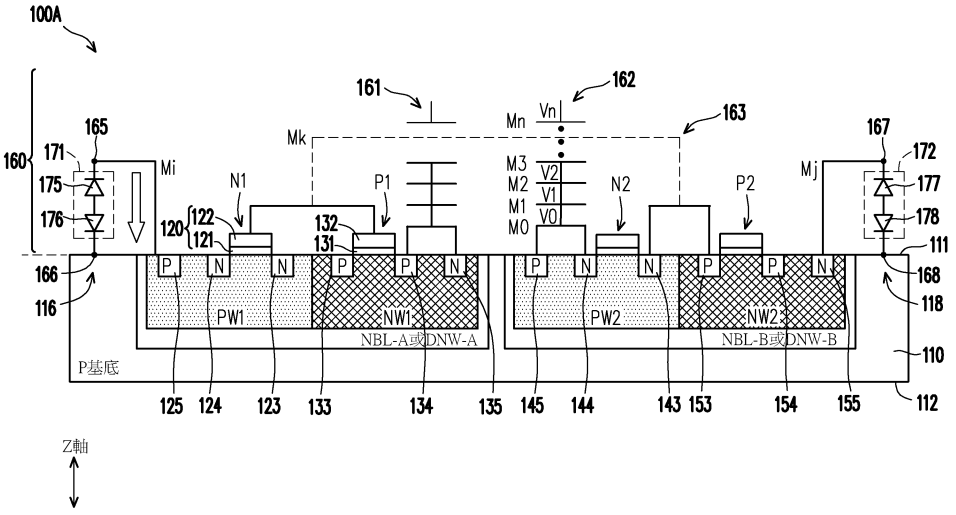
圖 1B 是根據一些實施例的 IC 裝置的示意性電路圖。

圖 2 包括根據一些實施例的各種保護裝置的示意性電路圖。

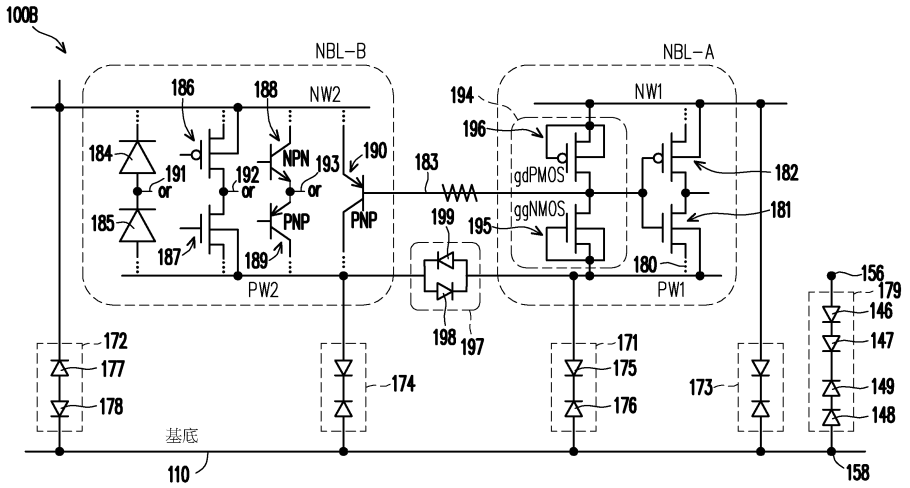
圖 3A 至圖 3E、圖 4A 至圖 4B、圖 5A 至圖 5B、圖 6A 至圖 6B 是根據一些實施例的各種保護裝置的示意性剖視圖。

圖 7A 至圖 7F 包括根據一些實施例的各種保護電路的示意性電路圖。

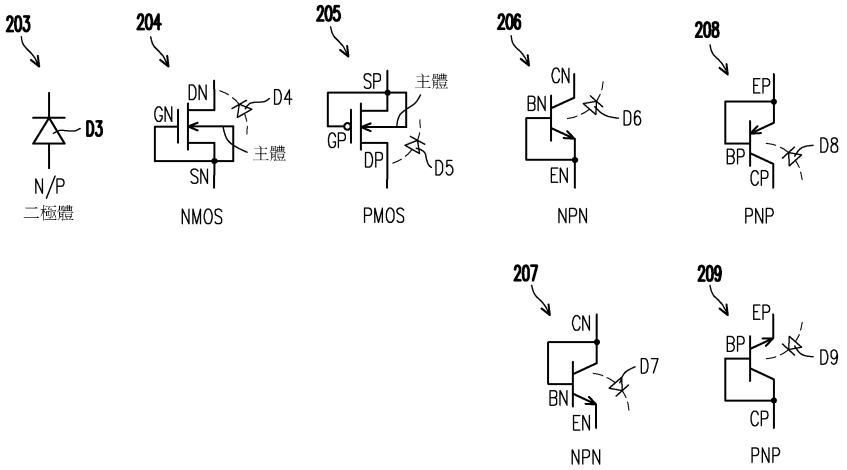
圖 8A 至圖 8B 是根據一些實施例的製造 IC 裝置的各種方法的流程圖。



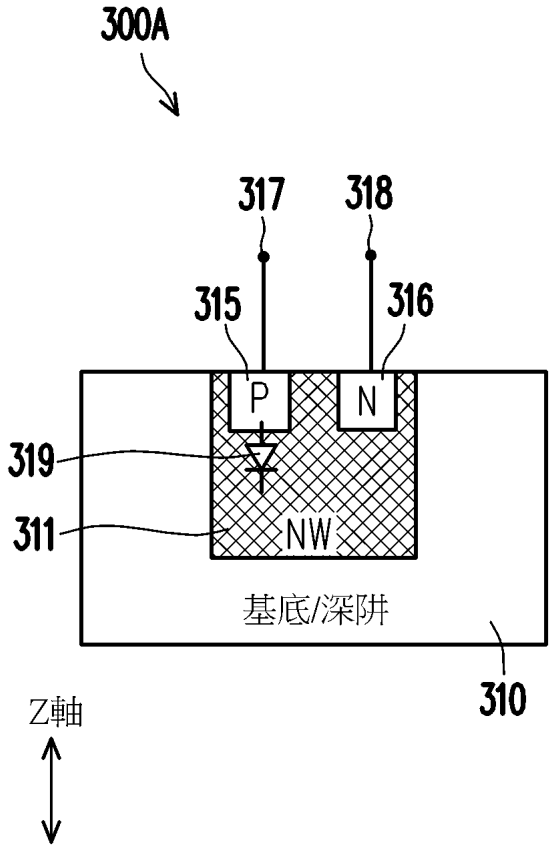
【圖1A】


100B
NBL-B
NBL-A
NW2
NW1
PW2
PW1
186
188
184
191
or
192
NPN
193
190
185
187
189
PNP
183
194
196
gdPMOS
ggNMOS
195
199
182
181
180
156
179
146
147
149
148
158
172
177
178
174
171
175
176
173
198
197
基底
110

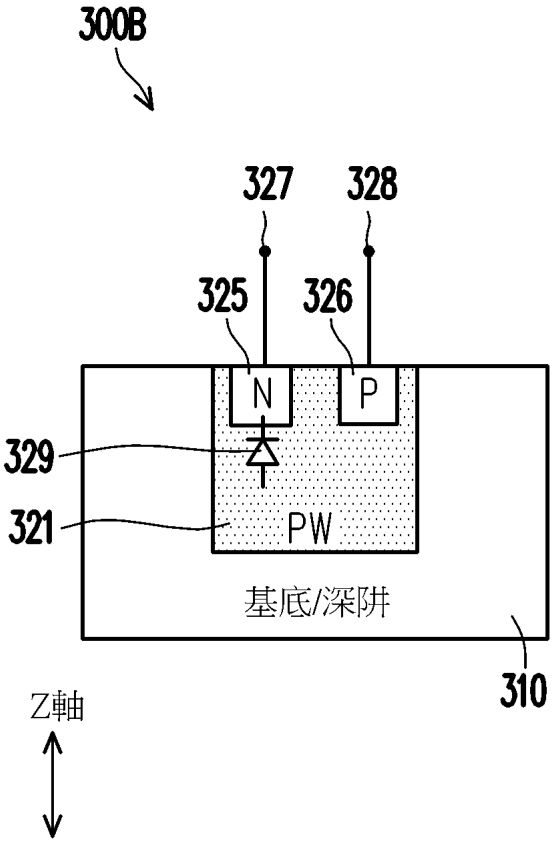
【圖1B】


203
D3
N/P
二極體
204
DN
D4
GN
主體
SN
NMOS
205
SP
主體
GP
DP
D5
PMOS
206
CN
BN
D6
EN
NPN
208
EP
BP
D8
CP
PNP
207
CN
D7
BN
EN
NPN
209
EP
BP
D9
CP
PNP

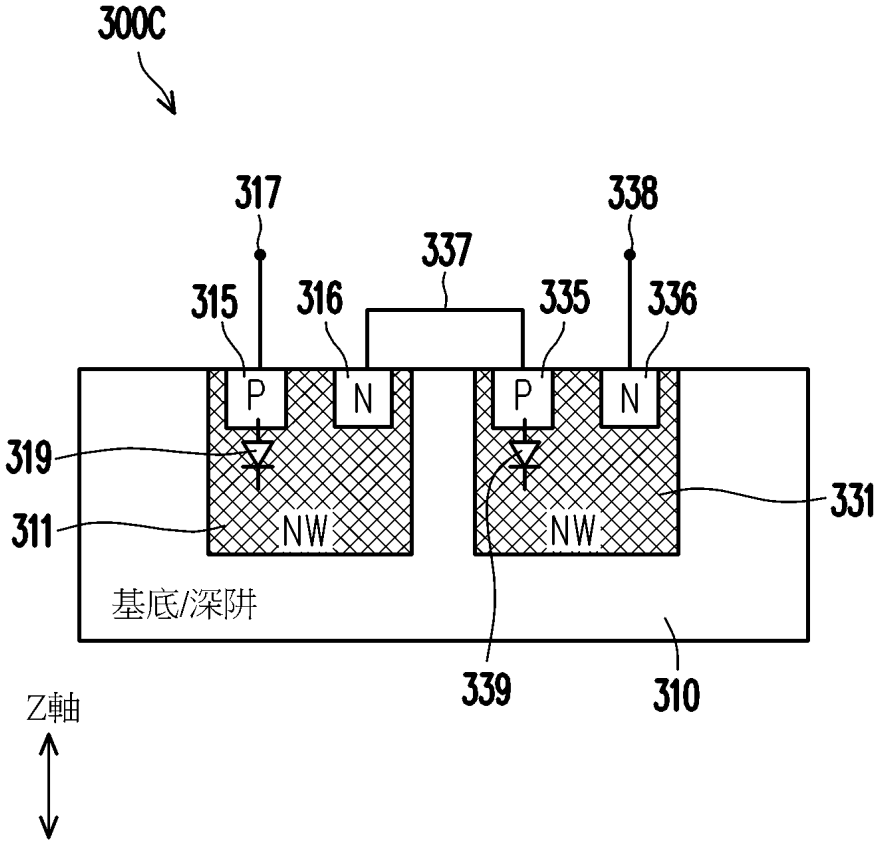
【圖2】



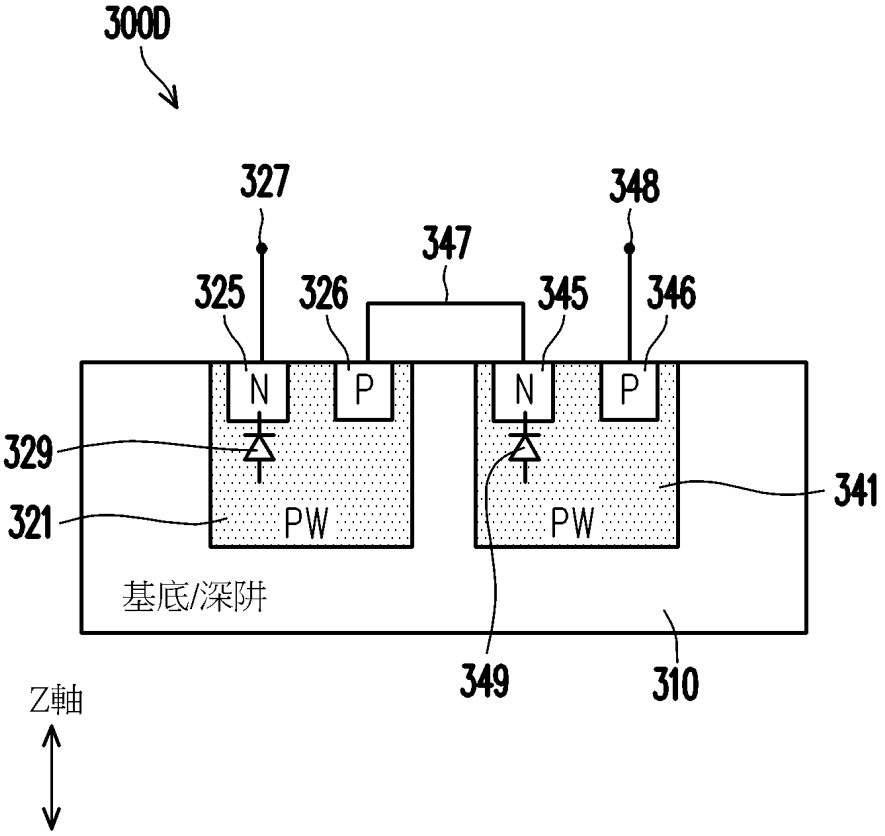
【圖3A】



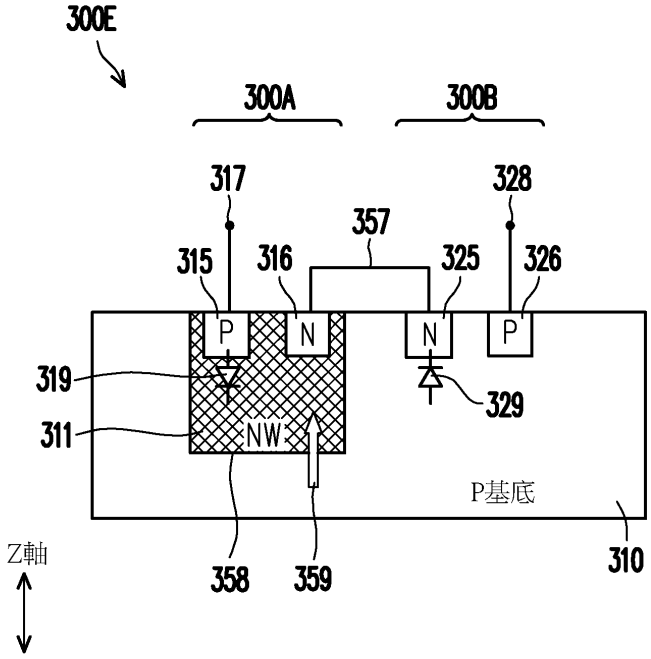
【圖3B】


300C
317
338
337
315
316
335
336
P
N
P
N
319
311
NW
NW
331
基底/深阱
339
310
Z軸

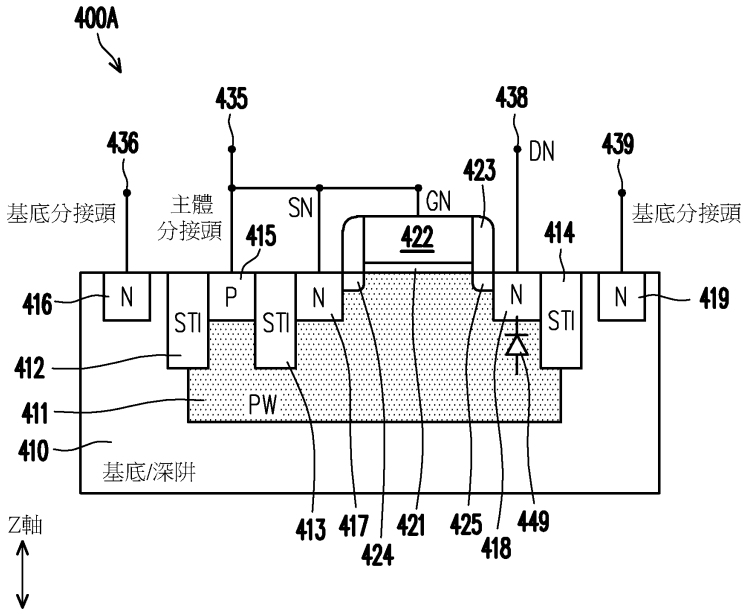
【圖3C】


300D
327
348
347
325
326
345
346
N
P
N
P
329
341
321
PW
PW
基底/深阱
349
310
Z軸

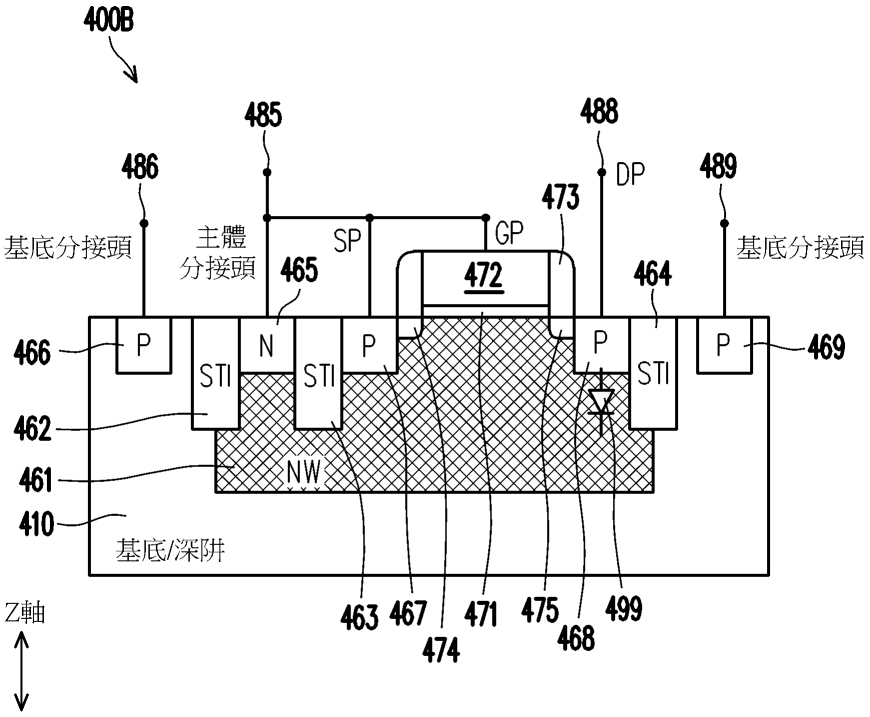
【圖3D】


300E
300A
300B
317
328
357
315
316
325
326
P
N
N
P
319
329
311
NW
P基底
Z軸
358
359
310

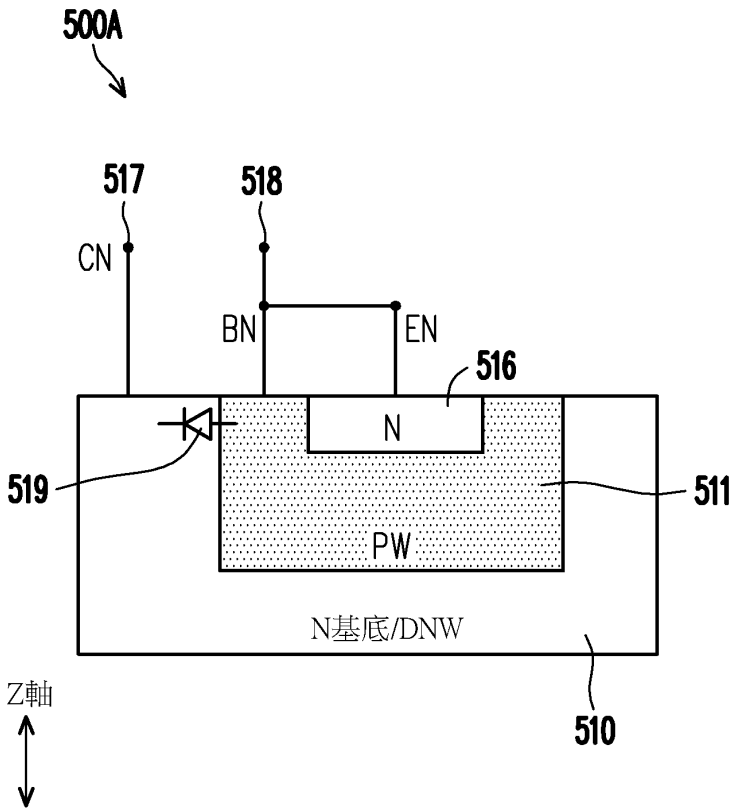
【圖3E】


400A
435
438
436
DN
439
423
基底分接頭
主體
分接頭
SN
GN
基底分接頭
415
422
414
416
N
P
N
N
N
419
STI
STI
STI
412
PW
411
410
基底/深阱
Z軸
413
417
421
425
449
424
418

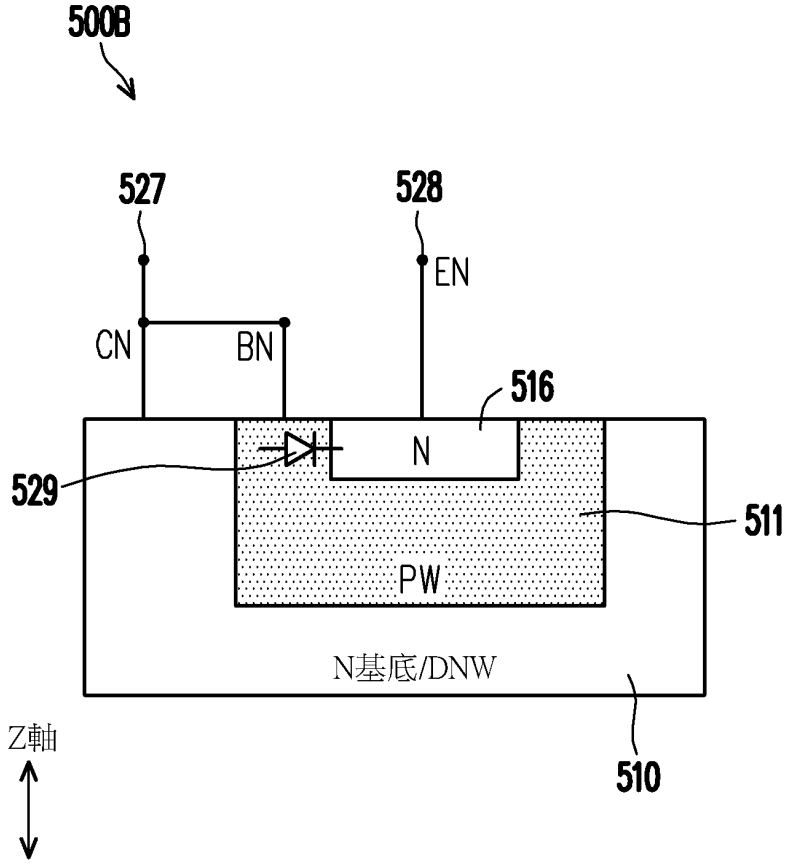
【圖4A】


400B
485
488
486
DP
489
473
基底分接頭
主體
分接頭
SP
GP
基底分接頭
472
465
464
466
P
N
P
P
P
469
STI
STI
STI
462
461
NW
410
基底/深阱
Z軸
463
467
471
475
499
474
468

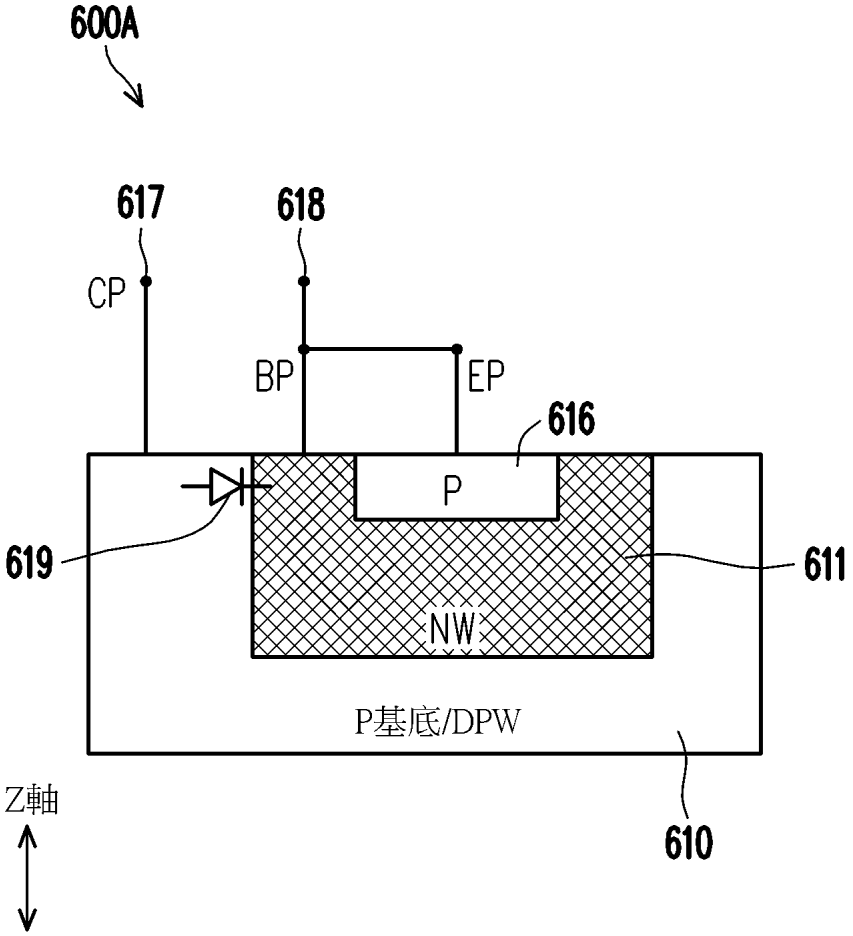
【圖4B】



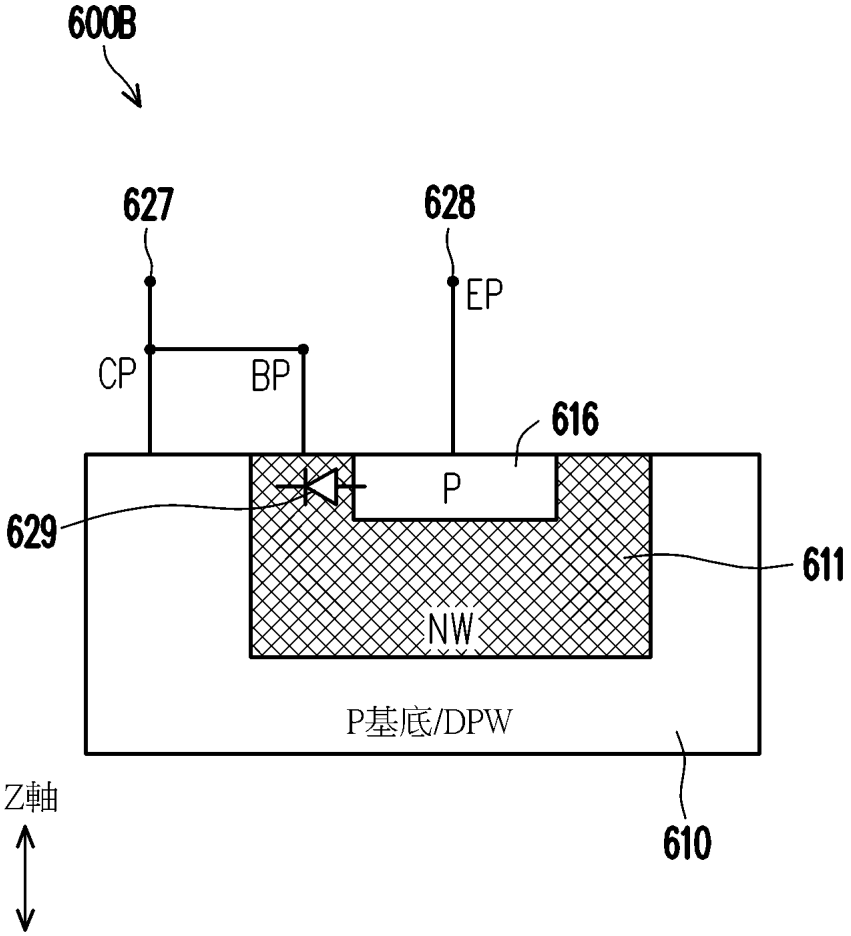
【圖5A】



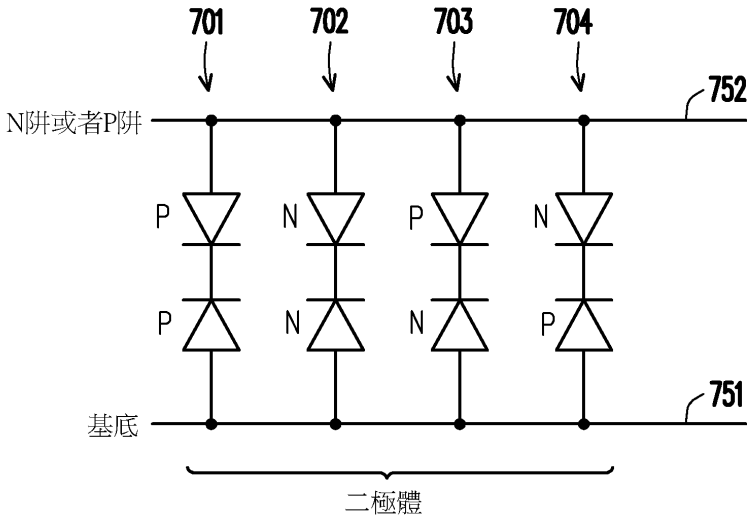
【圖5B】



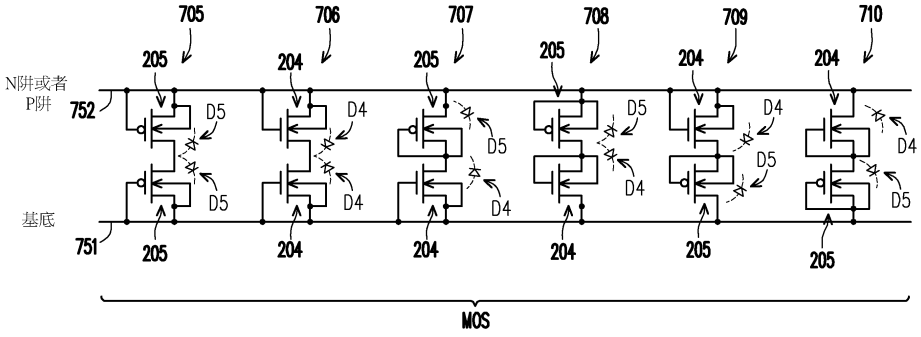
【圖6A】



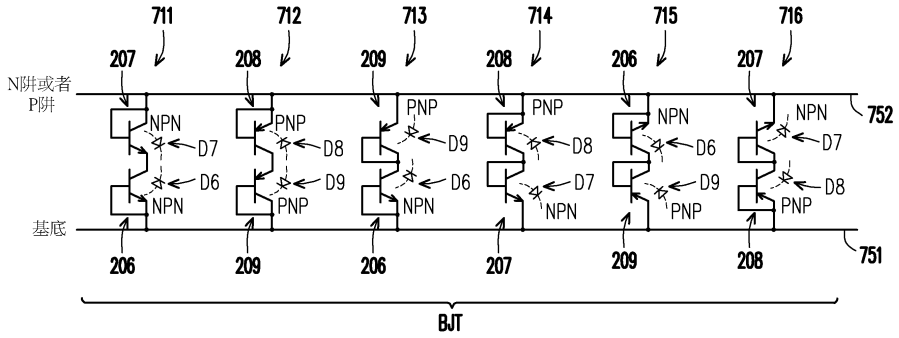
【圖6B】


701
702
703
704
752
N阱或者P阱
P
N
P
N
P
N
N
P
751
基底
二極體

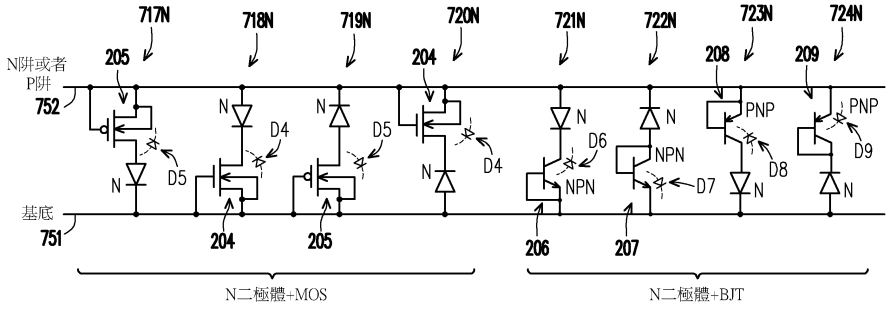
【圖7A】


705
706
707
708
709
710
205
204
205
205
204
204
N阱或者
P阱
752
D5
D4
D5
D4
D5
D4
D5
D4
D4
D5
D5
D4
基底
751
205
204
204
204
205
205
MOS

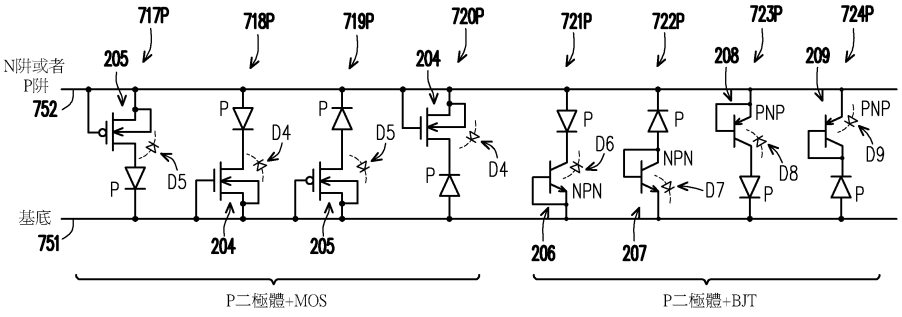
【圖7B】


711
712
713
714
715
716
207
208
209
208
206
207
N阱或者
P阱
NPN
PNP
D7
D8
D9
D6
752
基底
751
206
209
206
207
209
208
BJT

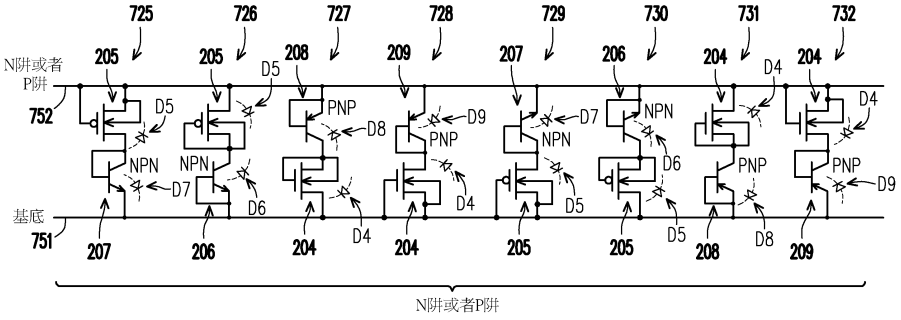
【圖7C】


717N
718N
719N
720N
721N
722N
723N
724N
205
204
208
209
N阱或者
P阱
752
N
D4
D5
D6
D7
D8
D9
NPN
PNP
基底
751
204
205
206
207
N二極體+MOS
N二極體+BJT

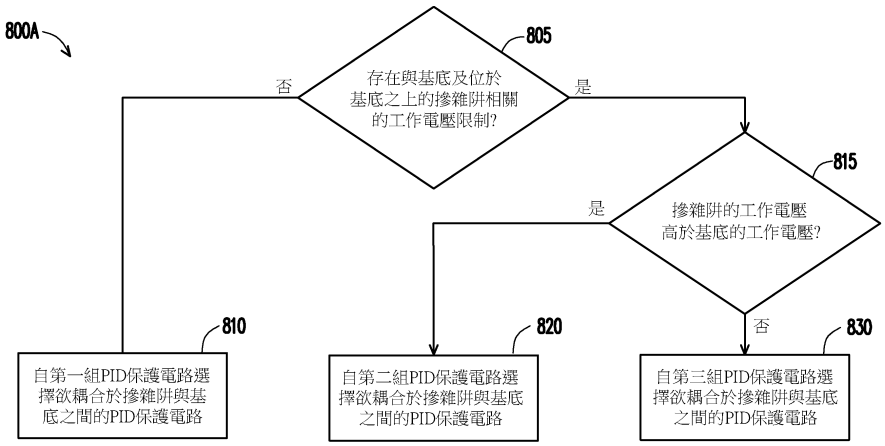
【圖7D】


717P
718P
719P
720P
721P
722P
723P
724P
205
204
208
209
N阱或者
P阱
752
P
D4
D5
D6
D7
D8
D9
NPN
PNP
基底
751
204
205
206
207
P二極體+MOS
P二極體+BJT

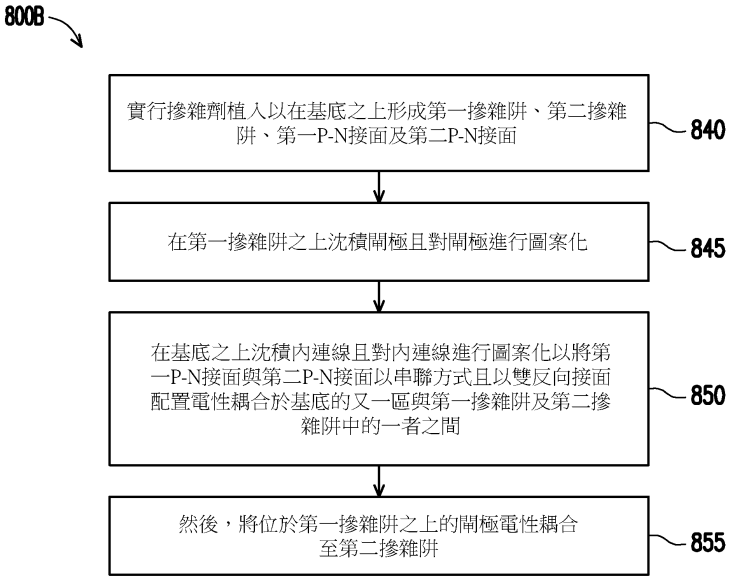
【圖7E】


725
726
727
728
729
730
731
732
N阱或者
P阱
752
205
205
208
209
207
206
204
204
D5
D4
D5
PNP
D8
D9
PNP
NPN
D7
NPN
D6
PNP
D4
D4
NPN
NPN
D7
D6
D4
D5
D5
D8
D9
基底
751
207
206
204
204
205
205
208
209
N阱或者P阱

【圖7F】


800A
805
存在與基底及位於
基底之上的摻雜阱相關
的工作電壓限制?
否
是
815
摻雜阱的工作電壓
高於基底的工作電壓?
是
否
810
自第一組PID保護電路選
擇欲耦合於摻雜阱與基
底之間的PID保護電路
820
自第二組PID保護電路選
擇欲耦合於摻雜阱與基底
之間的PID保護電路
830
自第三組PID保護電路選
擇欲耦合於摻雜阱與基底
之間的PID保護電路

【圖8A】


800B
實行摻雜劑植入以在基底之上形成第一摻雜阱、第二摻雜阱、第一P-N接面及第二P-N接面
840
在第一摻雜阱之上沈積閘極且對閘極進行圖案化
845
在基底之上沈積內連線且對內連線進行圖案化以將第一P-N接面與第二P-N接面以串聯方式且以雙反向接面配置電性耦合於基底的又一區與第一摻雜阱及第二摻雜阱中的一者之間
850
然後，將位於第一摻雜阱之上的閘極電性耦合至第二摻雜阱
855

【圖8B】