【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I939999
【45】公告日： 中華民國 115 (2026) 年 09 月 21 日
【51】Int. Cl.：　*H03M1/50　(2006.01)*　　*H03L7/085　(2006.01)*
發明　　全 14 頁

【54】名　　稱：時間數位轉換裝置
【21】申請案號：114108371　　【22】申請日： 中華民國 114 (2025) 年 03 月 06 日
【11】公開編號：202616668　　【43】公開日期： 中華民國 115 (2026) 年 04 月 16 日
【30】優 先 權： 2024/10/04　美國　63/703,789
2025/01/12　美國　19/017,719
【72】發 明 人： 呂宗哲 (TW) LU, TSUNG-CHE；傅敬銘 (TW) FU, CHIN-MING；張智賢 (TW) CHANG, CHIH-HSIEN
【71】申 請 人： 台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.
新竹市力行六路八號
【74】代 理 人： 卓俊傑
【56】參考文獻：
TW　I743203B
審查人員：陳俊達

【57】申請專利範圍

1. 一種時間數位轉換裝置，包括：
第一振盪器，經組態以回應第一事件輸出第一時脈信號，所述第一時脈信號具有第一時脈週期；
第二振盪器，經組態以回應第二事件輸出第二時脈信號，所述第二時脈信號具有第二時脈週期，所述第一事件發生在所述第二事件之前，且所述第一時脈週期大於所述第二時脈週期；
相位偵測器，經組態以基於所述第一時脈信號與所述第二時脈信號之間的相位關係產生偵測信號；以及
時脈計數器，經組態以響應所述偵測信號指示所述第二時脈信號的相位滯後於所述第一時脈信號的相位，基於所述第一時脈信號產生計數值，所述計數值指示所述第一事件與所述第二事件之間的時間差，
其中所述第一事件對應於第一參考信號而從第一邏輯狀態變為第二邏輯狀態，以及，
所述第二事件對應於第二參考信號而從所述第一邏輯狀態變為所述第二邏輯狀態。
2. 如請求項 1 所述的時間數位轉換裝置，其中，
所述第一振盪器經組態為基於所述第一參考信號處於所述第一邏輯狀態而停用，並基於所述第一參考信號處於所述第二邏輯狀態而啟動，以及，
所述第二振盪器經組態為基於所述第二參考信號處於所述第一邏輯狀態而停用，並基於所述第二參考信號處於所述第二邏輯狀態而啟動。
3. 如請求項 1 所述的時間數位轉換裝置，其中，
所述第一振盪器是第一環形振盪器，包括在所述第一振盪器的兩個連續反相級之間的一個或多個第一負載電容、第一負載電阻或第一相位內插器，並經組態以設定所述第一振盪器的第一可配置延遲，且

所述第二振盪器是第二環形振盪器，包括在所述第二振盪器的兩個連續反相級之間的一個或多個第二負載電容、第二負載電阻或第二相位內插器，並經組態以設定所述第二振盪器的第二可配置延遲。

4. 如請求項 1 所述的時間數位轉換裝置，其中所述時脈計數器包括：
時脈閘控電路，經組態以基於所述第一時脈信號和所述偵測信號產生計數時脈信號；以及
計數器，經組態以基於所述計數時脈信號產生所述計數值。

5. 如請求項 4 所述的時間數位轉換裝置，其中，
所述時脈閘控電路是基於 D 型正反器或 D 型閂鎖器，並具有反及閘或及閘。

6. 如請求項 4 所述的時間數位轉換裝置，其中，
所述計數器是 N 位元計數器，以及，
N 的範圍從 6 到 12。

7. 如請求項 1 所述的時間數位轉換裝置，其中，
所述第二時脈週期至少是所述第一時脈週期與所述第二時脈週期之間的週期差的 100 倍。

8. 一種產生指示第一事件與第二事件之間時間差的計數值的方法，包括：
由第一振盪器輸出第一時脈信號，以響應所述第一事件，所述第一時脈信號具有第一時脈週期；
由第二振盪器輸出第二時脈信號，以響應所述第二事件，所述第二時脈信號具有第二時脈週期，所述第一事件發生在所述第二事件之前，且所述第一時脈週期大於所述第二時脈週期；
由相位偵測器基於所述第一時脈信號與所述第二時脈信號之間的相位關係產生偵測信號；以及
由時脈計數器基於所述第一時脈信號產生所述計數值，以響應所述偵測信號指示所述第二時脈信號的相位滯後於所述第一時脈信號的相位，
其中所述第一事件對應於第一參考信號而從第一邏輯狀態變為第二邏輯狀態，以及，
所述第二事件對應於第二參考信號而從所述第一邏輯狀態變為所述第二邏輯狀態。

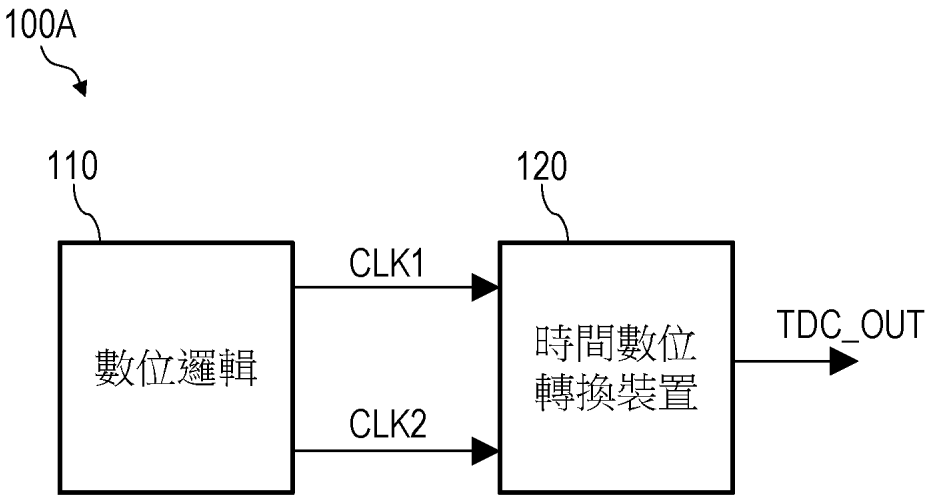
9. 一種積體電路晶片，包括：
一個或多個數位電路區塊，經組態以輸出第一參考信號和第二參考信號；以及
時間數位轉換裝置，經組態以輸出指示第一事件和第二事件之間時間差的計數值，所述時間數位轉換裝置包括：
第一振盪器，經組態以響應於基於所述第一參考信號的所述第一事件而輸出第一時脈信號，所述第一時脈信號具有第一時脈週期；
第二振盪器，經組態以響應於基於所述第二參考信號的所述第二事件而輸出第二時脈信號，所述第二時脈信號具有第二時脈週期，所述第一事件發生在所述第二事件之前，且所述第一時脈週期大於所述第二時脈週期；
相位偵測器，經組態以基於所述第一時脈信號和所述第二時脈信號之間的相位關係產生偵測信號；以及
時脈計數器，經組態以響應所述偵測信號指示所述第二時脈信號的相位滯後於所述第一時脈信號的相位，基於所述第一時脈信號產生計數值，
其中所述第一事件對應於所述第一參考信號而從第一邏輯狀態變為第二邏輯狀態，以及，
所述第二事件對應於所述第二參考信號而從所述第一邏輯狀態變為所述第二邏輯狀態。

圖式簡單說明

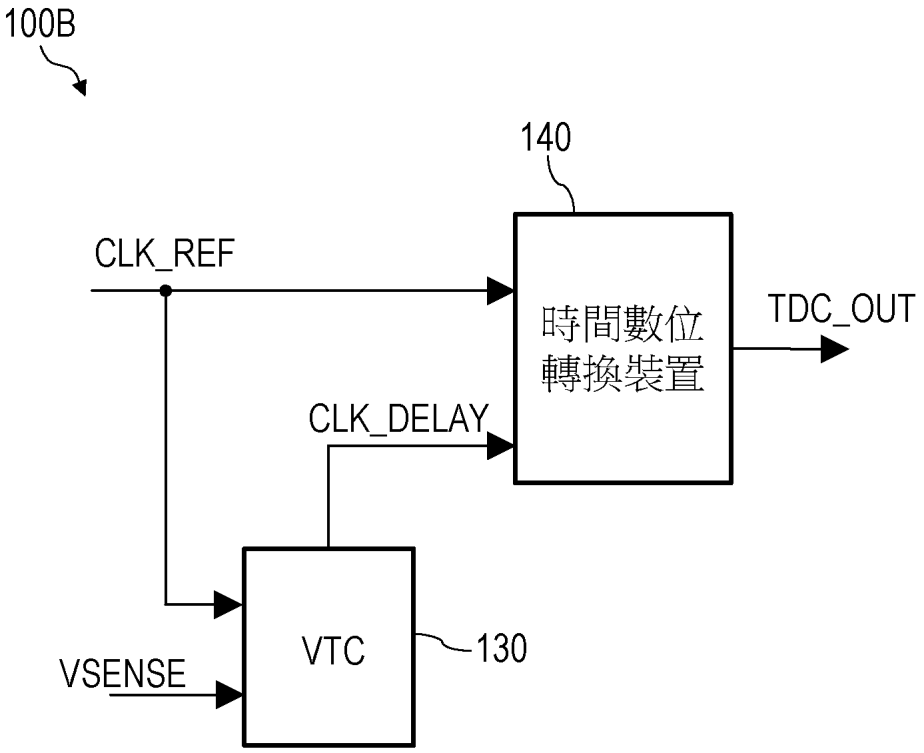
圖 1A 至圖 1B 是基於時間數位轉換裝置的應用例的方塊圖，根據某些實施例。

圖 2 是時間數位轉換裝置範例的方塊圖，根據某些實施例。

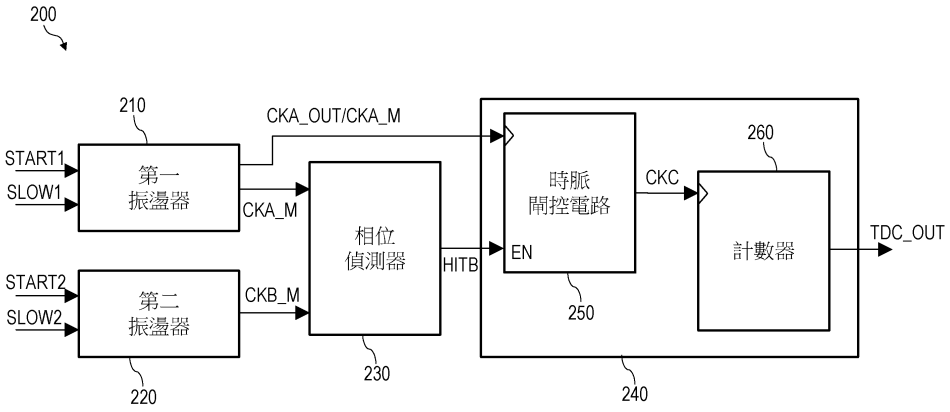
圖 3 是由時間數位轉換裝置執行的流程範例的流程圖，根據某些實施例。
圖 4A 是振盪器範例的電路圖，根據某些實施例。
圖 4B 是圖 4A 中延遲電路中反及閘的電路圖，根據某些實施例。
圖 5 是相位偵測器範例的電路圖，根據某些實施例。
圖 6A 是時脈閘控電路範例的電路圖，根據某些實施例。
圖 6B 至圖 6C 是基於圖 6A 中時脈閘控電路的變化例的電路圖，根據某些實施例。
圖 7 是計數器範例的方塊圖，根據某些實施例。
圖 8A 至圖 8D 是由基於圖 2 至圖 6A 和圖 7 中範例的時間數位轉換裝置的時間數位轉換會話範例的信號波形和/或數位值的圖式，根據某些實施例。
圖 9A 至圖 9B 是基於相位內插器的延遲電路範例的圖式，根據某些實施例。
圖 10A 至圖 10C 是基於可調負載電阻的延遲電路範例的圖式，根據某些實施例。
圖 11 是配置為對應不同時脈週期的振盪器的電路圖，根據某些實施例。
圖 12 是產生指示第一事件和第二事件之間時間差的計數值的方法的流程圖，根據某些實施例。



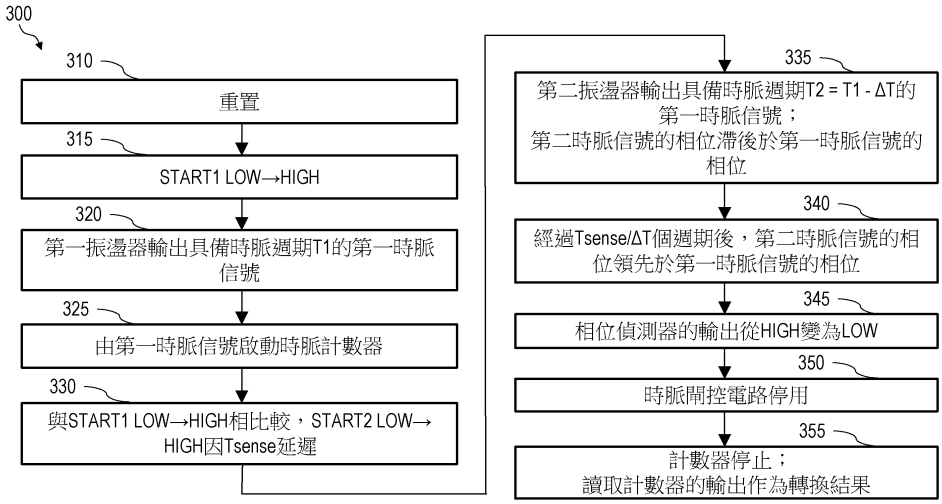
【圖1A】


100B
140
CLK_REF
時間數位
轉換裝置
TDC_OUT
CLK_DELAY
VTC
130
VSENSE

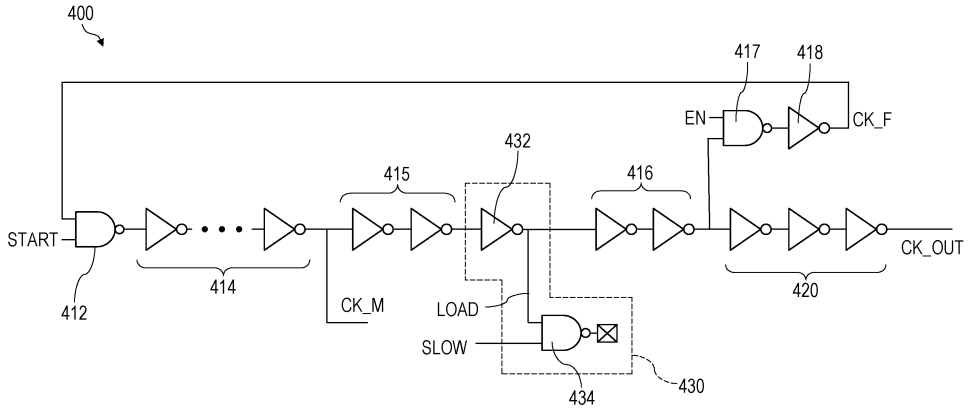
【圖1B】


200
210
CKA_OUT/CKA_M
START1
SLOW1
第一
振盪器
CKA_M
相位
偵測器
時脈
閘控電路
260
CKC
計數器
TDC_OUT
HITB
EN
START2
SLOW2
第二
振盪器
CKB_M
250
220
230
240

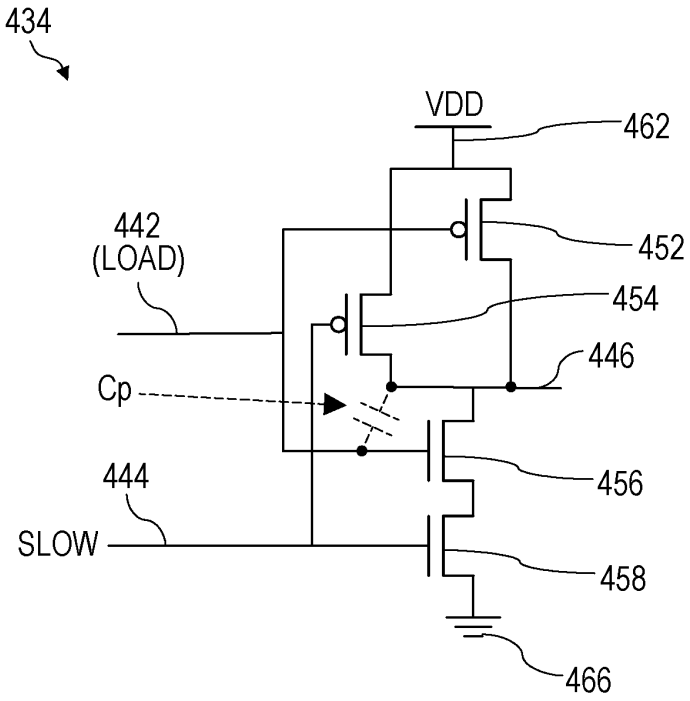
【圖2】


300
310
重置
315
START1 LOW→HIGH
320
第一振盪器輸出具備時脈週期T1的第一時脈信號
325
由第一時脈信號啟動時脈計數器
330
與START1 LOW→HIGH相比較，START2 LOW→HIGH因Tsense延遲
335
第二振盪器輸出具備時脈週期T2 = T1 - ΔT的第一時脈信號；
第二時脈信號的相位滯後於第一時脈信號的相位
340
經過Tsense/ΔT個週期後，第二時脈信號的相位領先於第一時脈信號的相位
345
相位偵測器的輸出從HIGH變為LOW
350
時脈閘控電路停用
355
計數器停止；
讀取計數器的輸出作為轉換結果

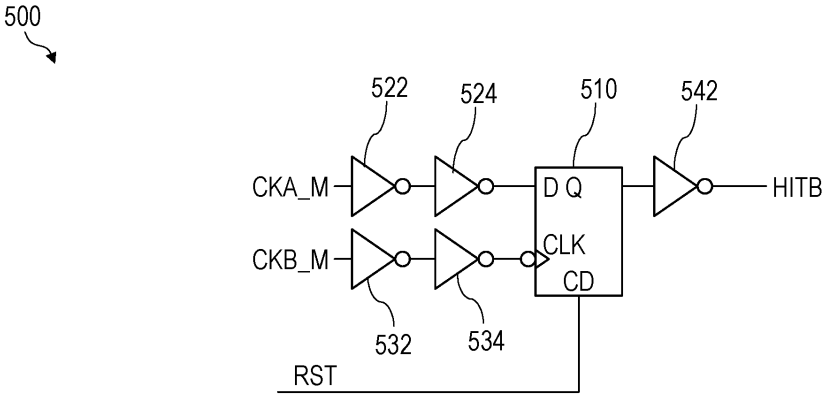
【圖3】


400
417
418
EN
CK_F
432
415
416
START
412
414
CK_M
LOAD
SLOW
434
430
420
CK_OUT

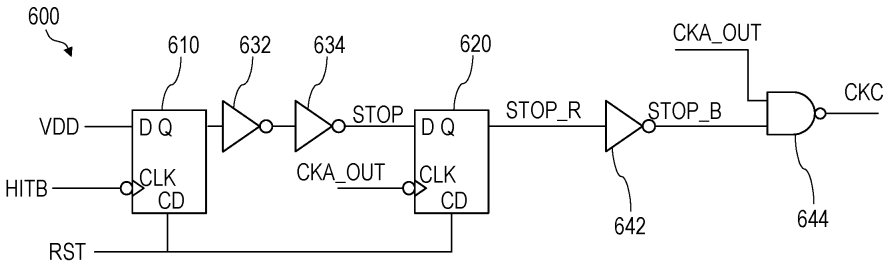
【圖4A】


434
VDD
462
442
(LOAD)
452
454
446
Cp
444
456
SLOW
458
466

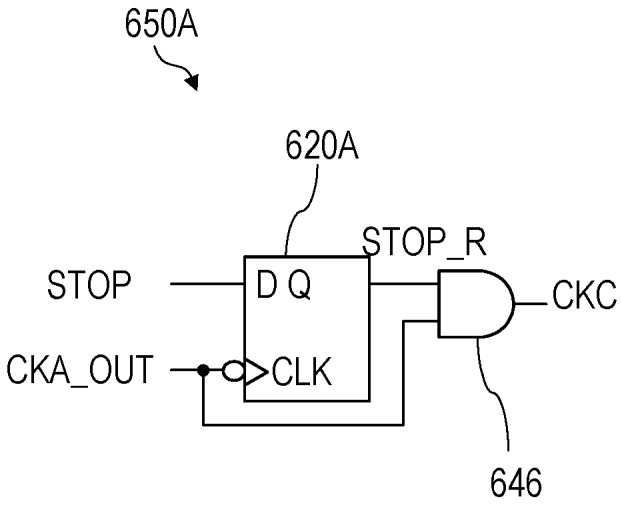
【圖4B】


500
522
524
510
542
CKA_M
D Q
HITB
CKB_M
CLK
CD
532
534
RST

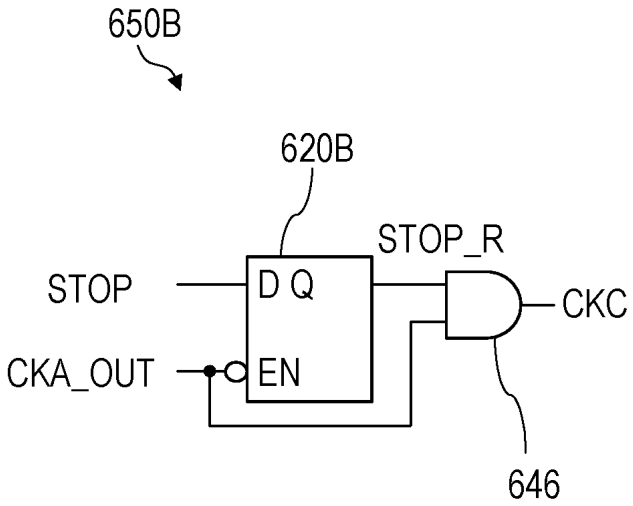
【圖5】


600
610
632
634
620
CKA_OUT
CKC
VDD
D Q
STOP
D Q
STOP_R
STOP_B
HITB
CLK
CD
CKA_OUT
CLK
CD
642
644
RST

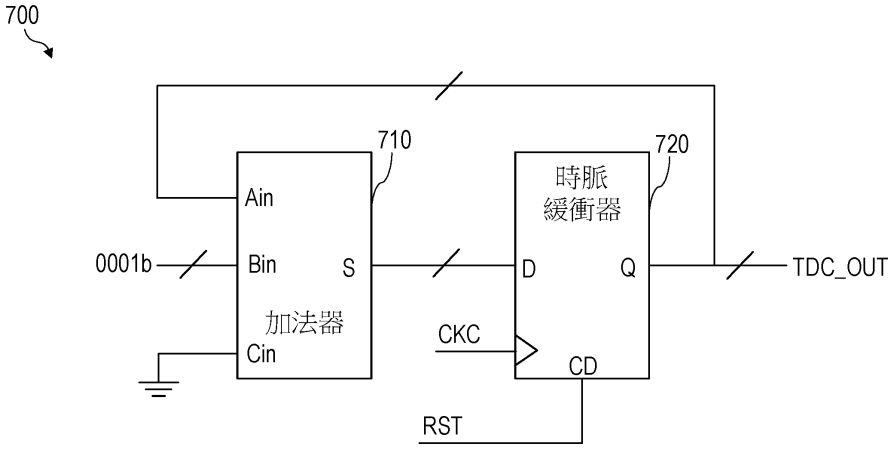
【圖6A】


650A
620A
STOP_R
STOP
D Q
CKC
CKA_OUT
CLK
646

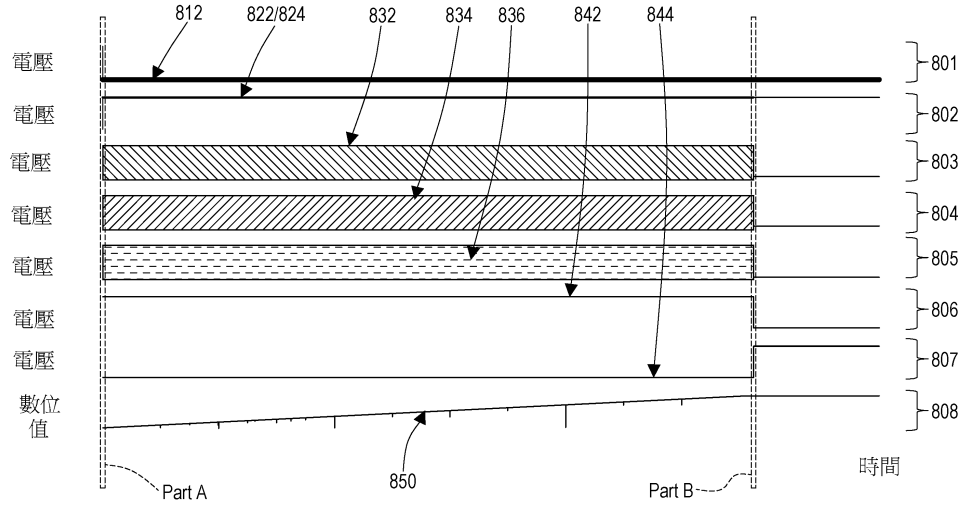
【圖6B】


650B
620B
STOP_R
STOP
D Q
CKC
CKA_OUT
EN
646

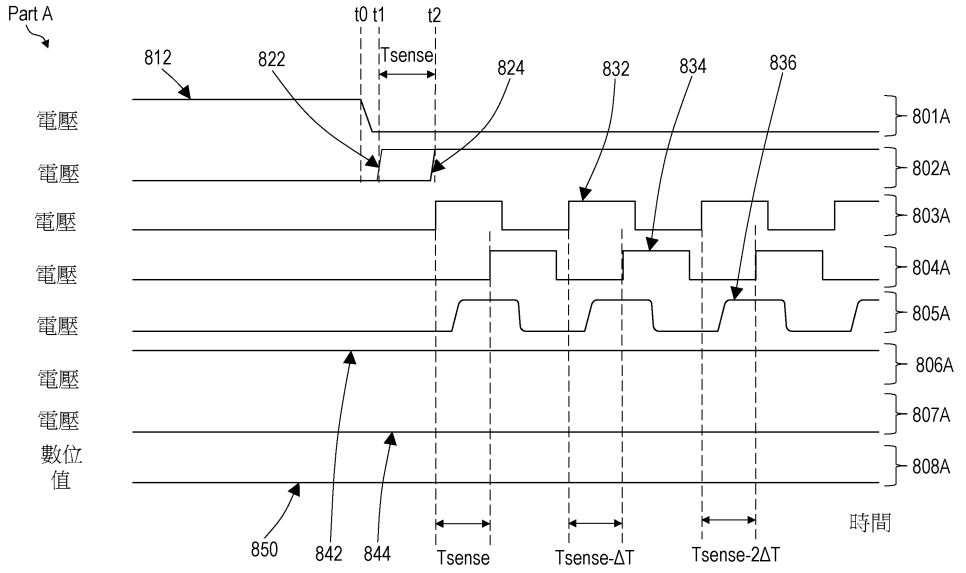
【圖6C】


700
710
720
時脈
緩衝器
Ain
0001b
Bin
S
D
Q
TDC_OUT
加法器
Cin
CKC
CD
RST

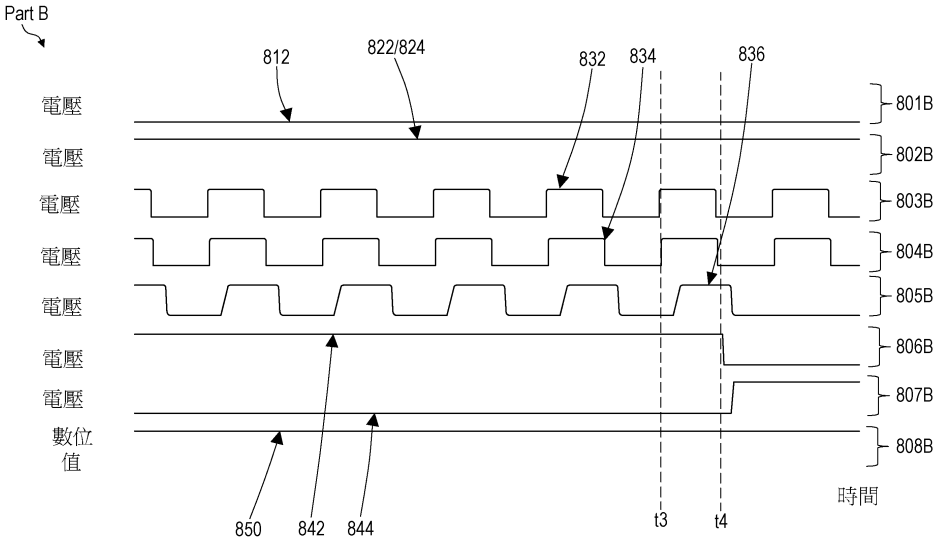
【圖7】


812
822/824
832
834
836
842
844
電壓
電壓
電壓
電壓
電壓
電壓
電壓
數位值
801
802
803
804
805
806
807
808
Part A
850
Part B
時間

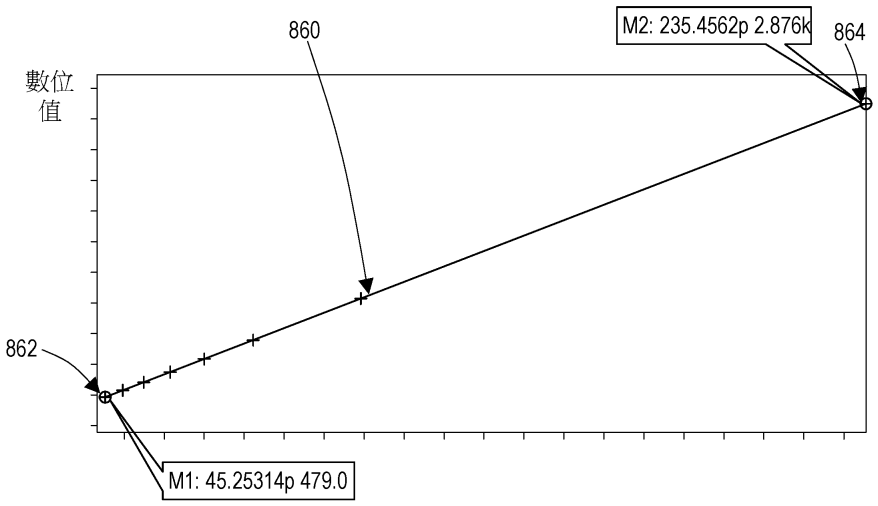
【圖8A】


Part A
t0 t1
t2
Tsense
812
822
824
832
834
836
電壓
電壓
電壓
電壓
電壓
電壓
電壓
數位值
801A
802A
803A
804A
805A
806A
807A
808A
850
842
844
Tsense
Tsense-ΔT
Tsense-2ΔT
時間

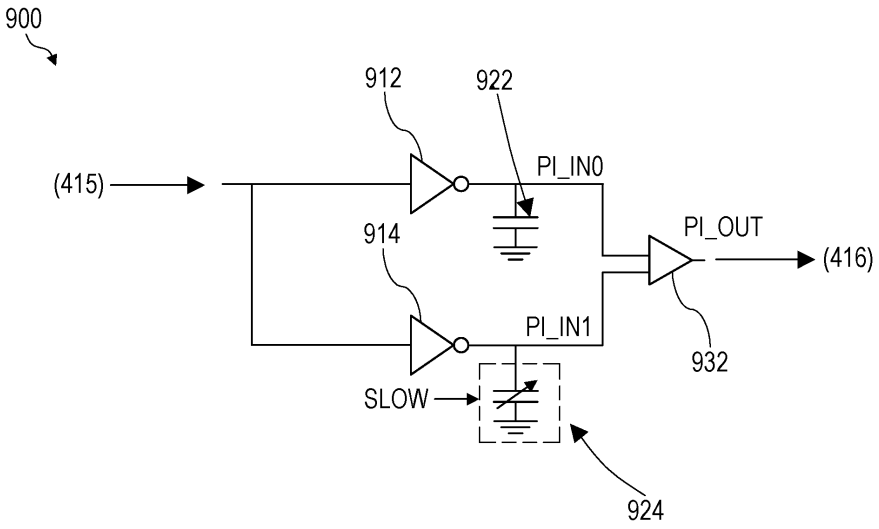
【圖8B】


Part B
812
822/824
832
834
836
電壓
電壓
電壓
電壓
電壓
電壓
電壓
數位值
801B
802B
803B
804B
805B
806B
807B
808B
850
842
844
t3
t4
時間

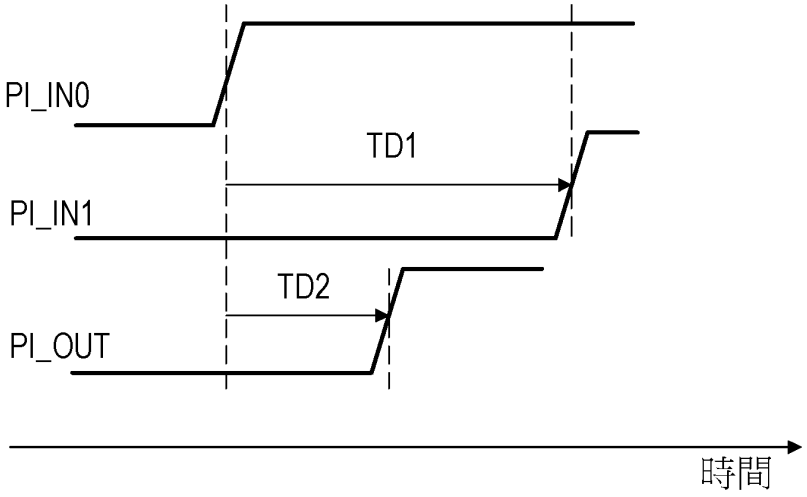
【圖8C】


860
M2: 235.4562p 2.876k
864
數位值
862
M1: 45.25314p 479.0

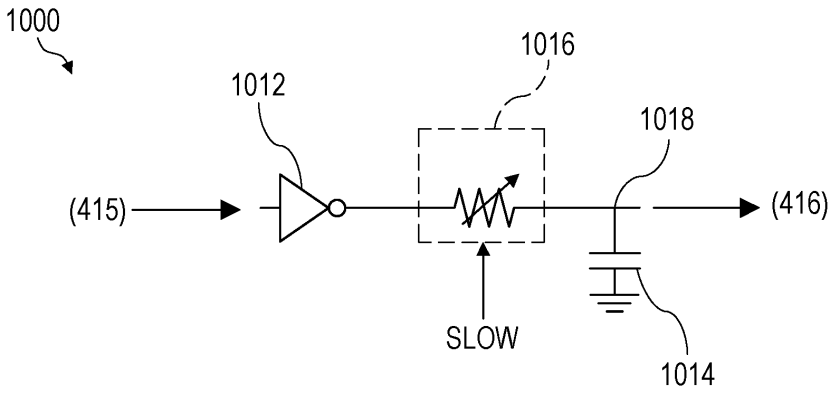
【圖8D】


900
912
922
(415)
PI_IN0
914
PI_OUT
(416)
PI_IN1
932
SLOW
924

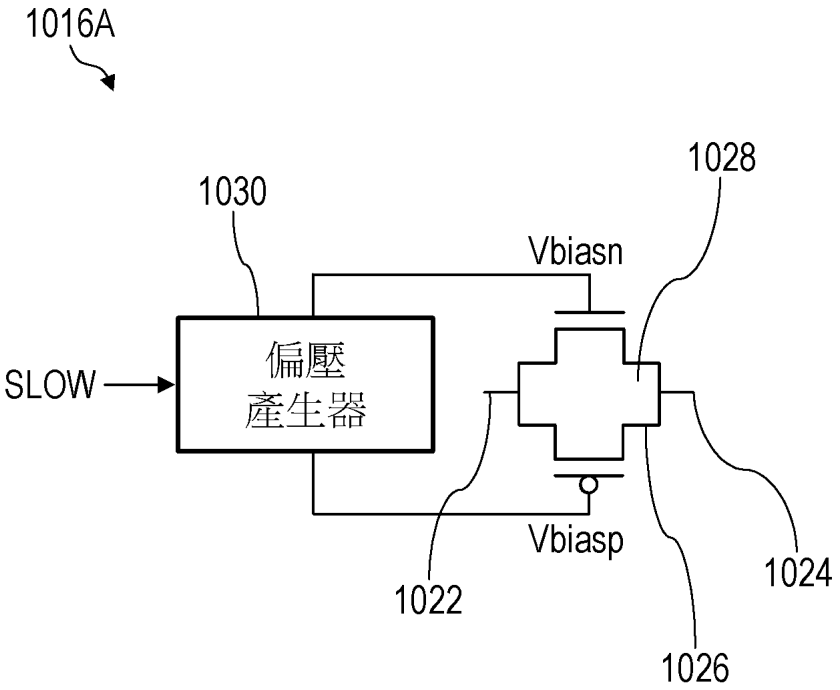
【圖9A】


PI_IN0
TD1
PI_IN1
TD2
PI_OUT
時間

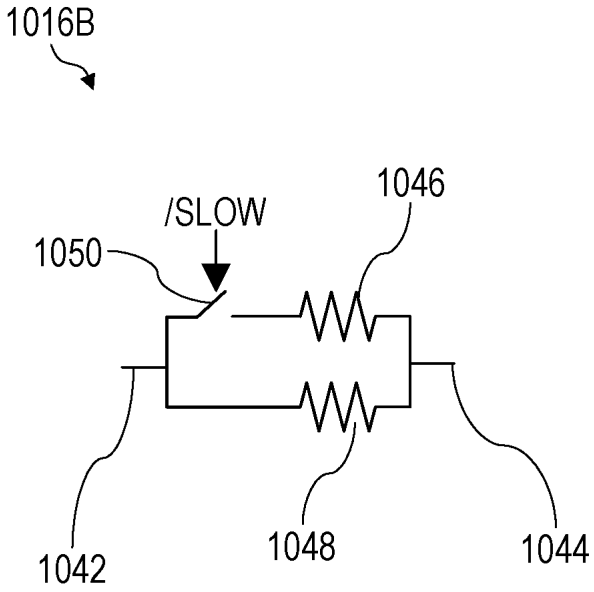
【圖9B】


1000
1016
1012
1018
(415)
(416)
SLOW
1014

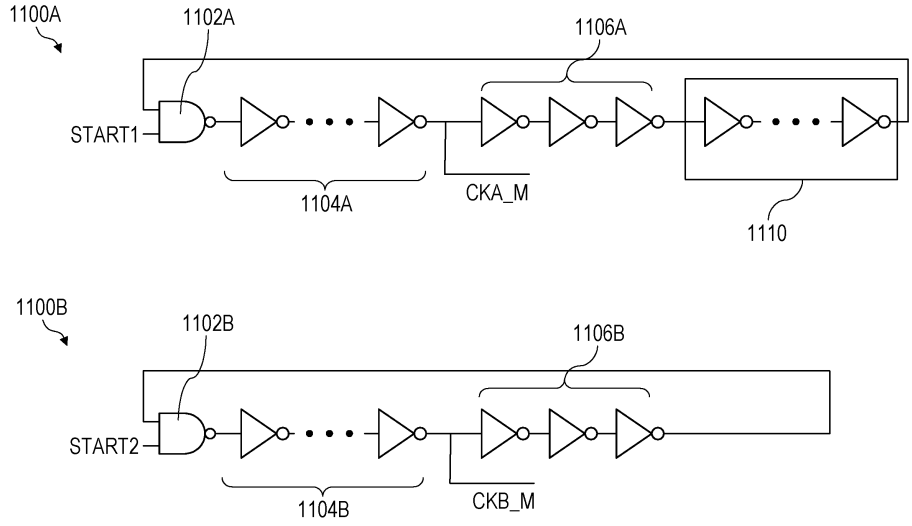
【圖10A】


1016A
1028
1030
Vbiasn
SLOW
偏壓
產生器
Vbiasp
1022
1024
1026

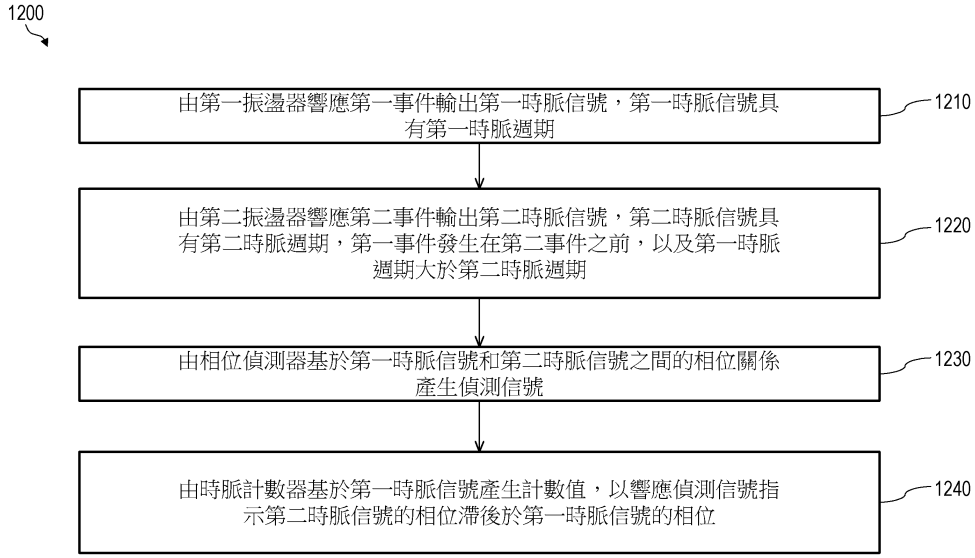
【圖10B】


1016B
/SLOW
1046
1050
1042
1048
1044

【圖10C】


1100A
1102A
1106A
START1
1104A
CKA_M
1110
1100B
1102B
1106B
START2
1104B
CKB_M

【圖11】


1200
由第一振盪器響應第一事件輸出第一時脈信號，第一時脈信號具有第一時脈週期
1210
由第二振盪器響應第二事件輸出第二時脈信號，第二時脈信號具有第二時脈週期，第一事件發生在第二事件之前，以及第一時脈週期大於第二時脈週期
1220
由相位偵測器基於第一時脈信號和第二時脈信號之間的相位關係產生偵測信號
1230
由時脈計數器基於第一時脈信號產生計數值，以響應偵測信號指示第二時脈信號的相位滯後於第一時脈信號的相位
1240

【圖12】