【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940056
【45】公告日： 中華民國 115 (2026) 年 09 月 21 日
【51】Int. Cl.：　*H10W76/134 (2026.01)*　*H10W74/10 (2026.01)*
B81B7/02 (2006.01)　*H10W10/20 (2026.01)*
H10D84/01 (2026.01)　*H10W72/50 (2026.01)*
H10P74/00 (2026.01)

發明　　全 14 頁

【54】名　稱：半導體結構及形成方法

【21】申請案號：114113595　【22】申請日： 中華民國 114 (2025) 年 04 月 10 日
【11】公開編號：202625874　【43】公開日期： 中華民國 115 (2026) 年 06 月 16 日
【30】優 先 權：　2024/12/06　美國　63/728,989
2025/02/20　美國　19/058,480

【72】發 明 人： 張貴松 (TW) CHANG, KUEI-SUNG
【71】申 請 人： 台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.
新竹市力行六路八號
【74】代 理 人： 卓俊傑

【56】參考文獻：
TW　201741230A

審查人員：陳志遠

【57】申請專利範圍

1. 一種半導體結構，包括：
第一半導體晶粒，其中所述第一半導體晶粒包括第一半導體裝置，所述第一半導體裝置包括：
第一空腔；
第一微機電系統結構，在所述第一空腔中；及
第一密封結構，在所述第一空腔周圍且在所述半導體結構的厚度方向上設置在所述第一半導體裝置的第一半導體層和第二半導體層之間；以及
第二半導體晶粒，其中所述第二半導體晶粒包括第二半導體裝置，所述第二半導體裝置包括：
第二空腔；
第二微機電系統結構，在所述第二空腔中；及
第二密封結構，在所述第二空腔周圍且在所述厚度方向上設置在所述第二半導體裝置的第一半導體層和第二半導體層之間，其中所述第一密封結構在不同於所述厚度方向的所述半導體結構的第一側向方向上包括第一尺寸，所述第二密封結構在所述第一側向方向上包括第二尺寸，所述第一尺寸大於所述第二尺寸。
2. 如請求項 1 的所述半導體結構，其中所述第二密封結構還包括在與所述第一側向方向不同的第二側向方向上的第三尺寸，所述第二尺寸和所述第三尺寸在所述第二空腔周圍均勻分佈。
3. 如請求項 1 的所述半導體結構，其中所述第二密封結構包括：
第一部分，包括在所述第一側向方向上的所述第二尺寸；以及

第二部分，包括在與所述第一側向方向不同的第二側向方向上的第三尺寸，其中所述第三尺寸小於所述第二尺寸。

4. 如請求項 1 的所述半導體結構，其中所述第二密封結構的所述第二尺寸與所述第一密封結構的所述第一尺寸之間的差異在 5%到 10%的範圍內。

5. 如請求項 1 的所述半導體結構，還包括：
第三半導體晶粒，其中所述第三半導體晶粒包括第三半導體裝置，所述第三半導體裝置包括：
第三空腔；
第三微機電系統結構，在所述第三空腔中；以及
第三密封結構，在所述第三空腔周圍且在所述第三半導體裝置的第一半導體層和第二半導體層之間，其中所述第二密封結構的所述第二尺寸大於所述第三密封結構在所述第一側向方向上的第三尺寸。

6. 一種半導體結構，包括：
裝置晶圓；
頂蓋晶圓，在第一方向上設置在所述裝置晶圓上方，其中所述頂蓋晶圓與所述裝置晶圓接合；
第一微機電系統結構，在藉由所述頂蓋晶圓和所述裝置晶圓形成的第一空腔中；
第一接合結構，形成在所述第一空腔周圍；
第二微機電系統結構，在藉由所述頂蓋晶圓和所述裝置晶圓形成的第二空腔中；以及
第二接合結構，形成在所述第二空腔周圍，其中所述第一接合結構的在第二方向上的尺寸大於所述第二接合結構的在所述第二方向上的尺寸。

7. 如請求項 6 的所述半導體結構，其中所述第一接合結構和所述第二接合結構各自包括半導體層和金屬層。

8. 如請求項 6 的所述半導體結構，其中所述第一接合結構在所述第一空腔周圍形成第一密封，並且其中所述第二接合結構在所述第二空腔周圍形成第二密封。

9. 如請求項 6 的所述半導體結構，其中所述第二接合結構包括：多個凹陷部分，在所述第二接合結構中對稱分佈或非對稱分佈。

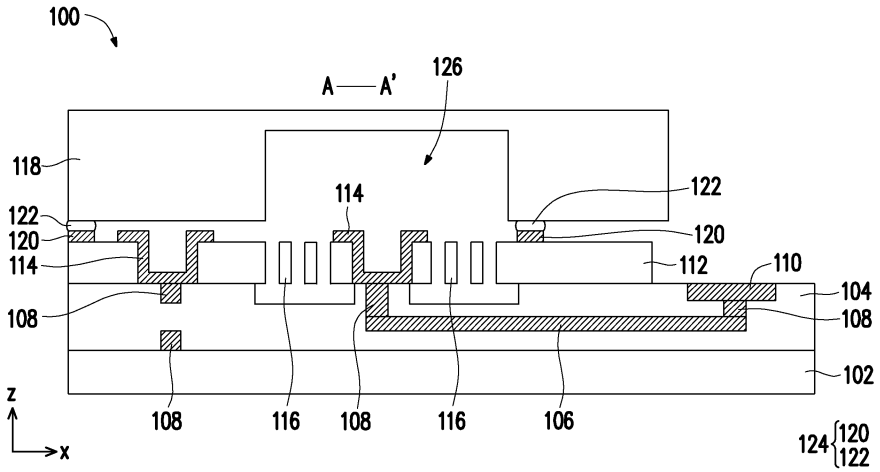
10. 一種半導體結構的形成方法，包括：
在第一半導體晶圓上形成多個微機電系統結構；
蝕刻第二半導體晶圓以在所述第二半導體晶圓中形成多個空腔；以及
將所述第二半導體晶圓接合到所述第一半導體晶圓，
其中所述多個微機電系統結構中的每一者在所述多個空腔中的任一個空腔中，
其中所述多個空腔中的第一空腔被第一接合結構圍繞，所述第一接合結構包圍所述第一空腔，
其中所述多個空腔中的第二空腔被第二接合結構圍繞，所述第二接合結構包圍所述第二空腔，並且
其中所述第二接合結構在沿著所述第一半導體晶圓和所述第二半導體晶圓之間的接合界面方向上的一或多個部分的寬度小於所述第一接合結構在沿著所述接合界面方向上的寬度。

圖式簡單說明

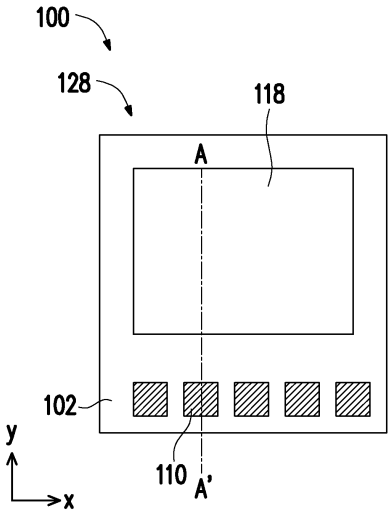
藉由結合附圖閱讀以下詳細說明，會最佳地理解本揭露的態樣。應注意，根據行業中的標準慣例，各種特徵並非按比例繪製。事實上，為使論述清晰起見，可任意增大或減小各種特徵的尺寸。

圖 1A 到圖 1C 是本文所述的示例性半導體裝置的圖。

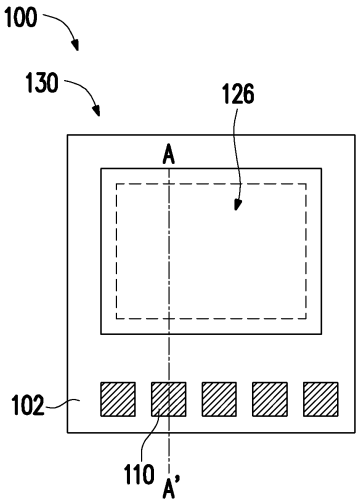
圖 2A 到圖 2G 是本文所述的接合結構的示例性實施方案的圖。
圖 3A 到圖 3D 是本文所述的空腔結構的示例性實施方案的圖。
圖 4A 到圖 4C 是本文所述的示例性半導體裝置的圖。
圖 5 是本文所述的半導體結構的示例性實施方案的圖。
圖 6A 到圖 6F 是形成本文所述的半導體裝置的第一晶圓的示例性實施方案的圖。
圖 7A 到圖 7C 是形成本文所述的半導體裝置的第二晶圓的示例性實施方案的圖。
圖 8A 和圖 8B 是本文所述的半導體裝置的接合和切割晶圓的示例性實施方案的圖。
圖 9 是本文所述的品質因數與壓力變化的關係圖。
圖 10 是本文所述的品質因數差異的圖。
圖 11 是與形成本文所述的半導體結構相關的示例性製程的流程圖。



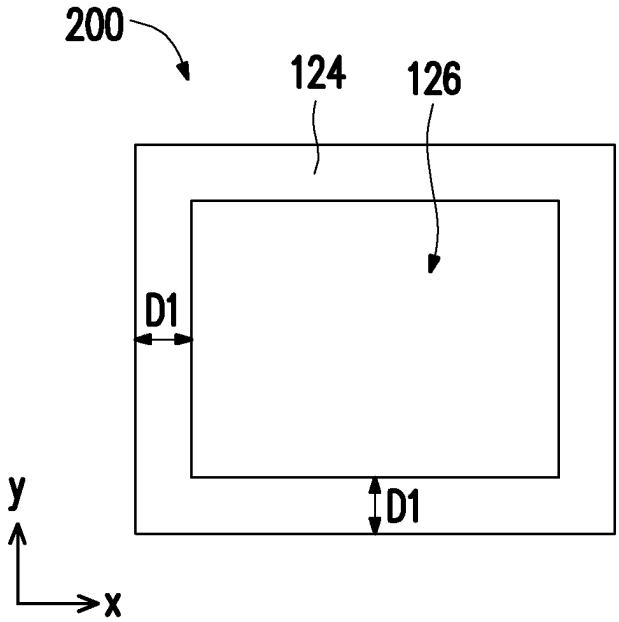
【圖1A】



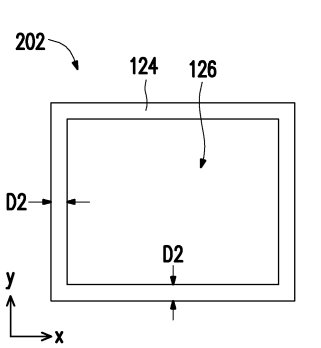
【圖1B】



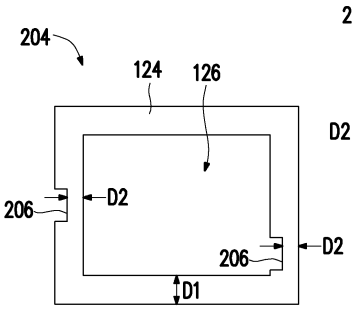
【圖1C】



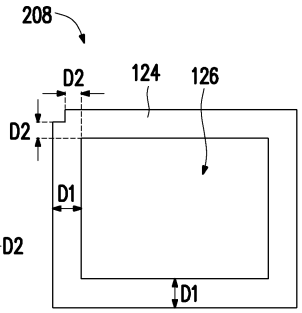
【圖2A】



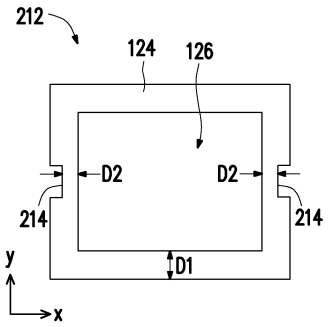
【圖2B】



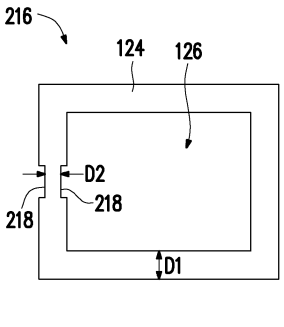
【圖2C】



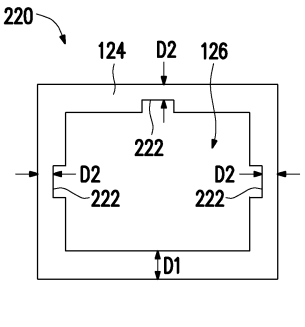
【圖2D】



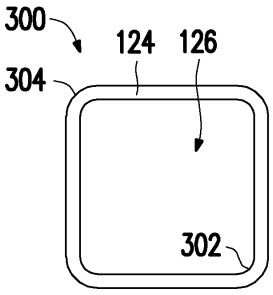
【圖2E】



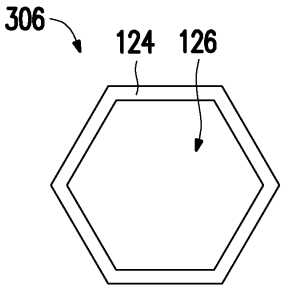
【圖2F】



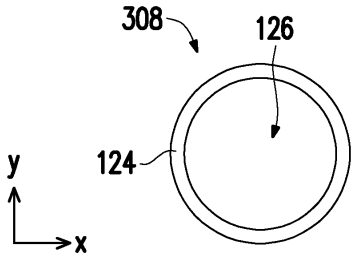
【圖2G】



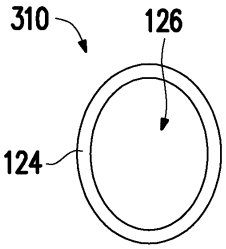
【圖3A】



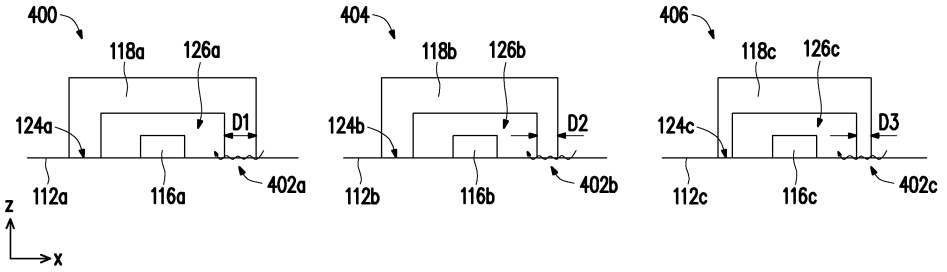
【圖3B】



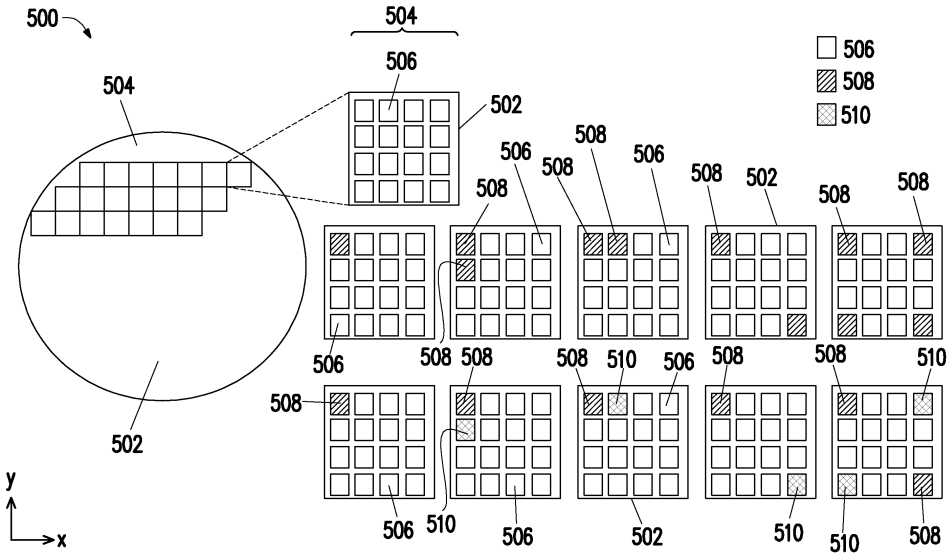
【圖3C】



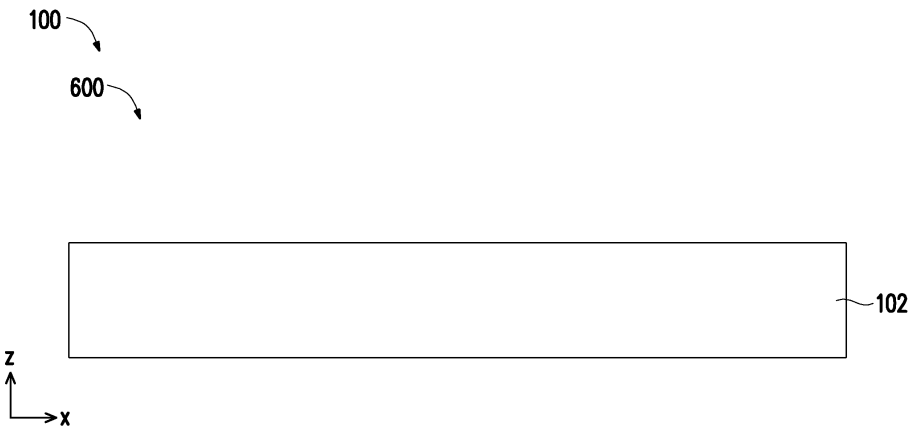
【圖3D】



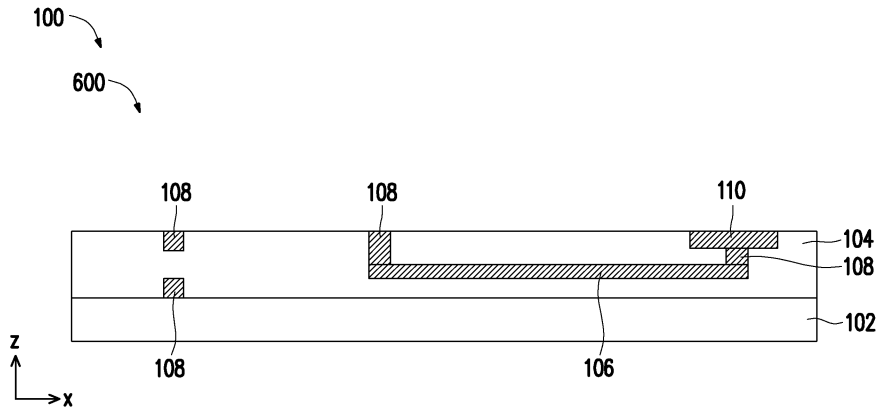
【圖4A】 【圖4B】 【圖4C】



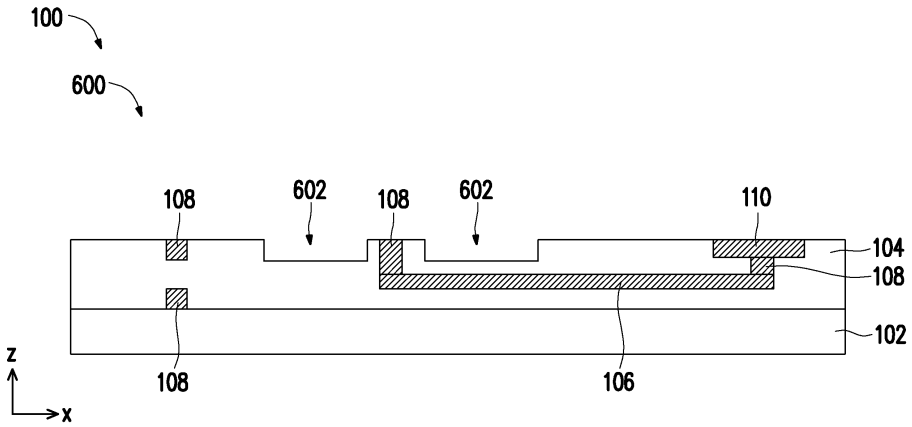
【圖5】



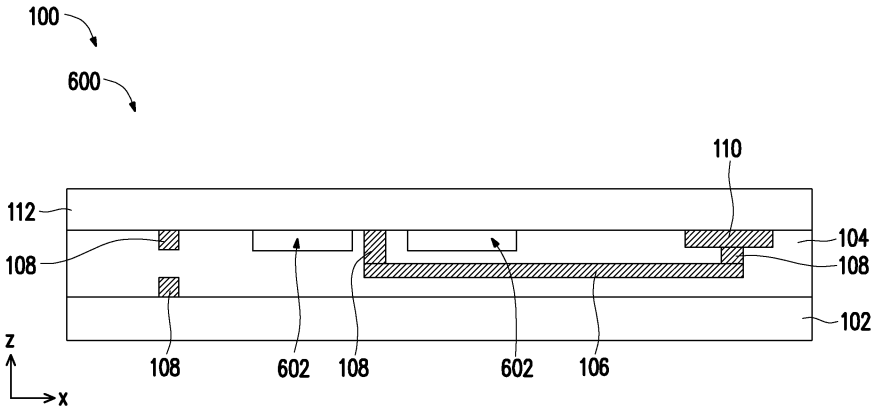
【圖6A】



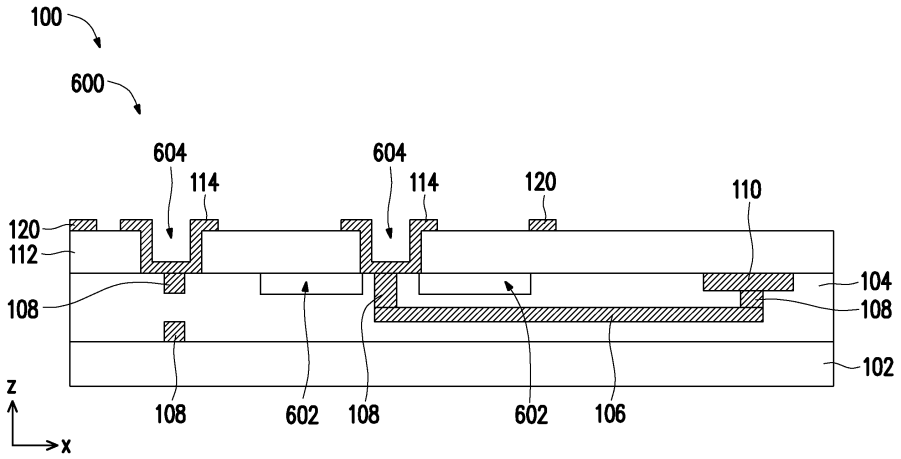
【圖6B】


100
600
108
602
108
602
110
104
108
102
108
106
z
x

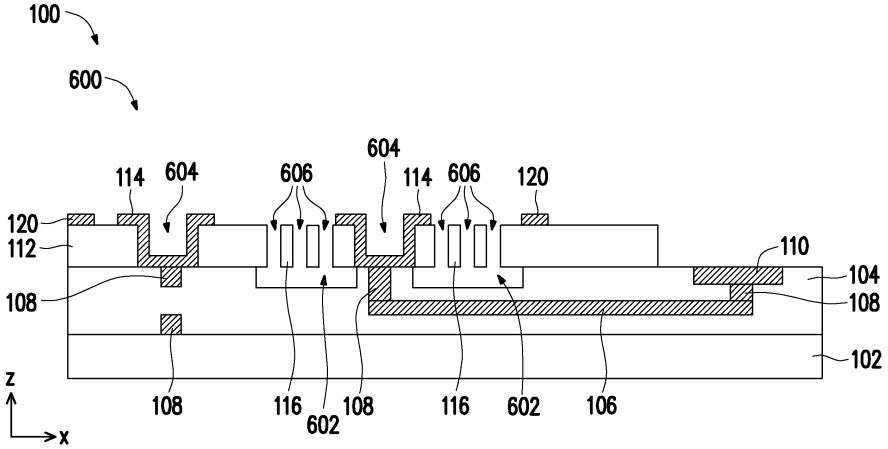
【圖6C】


100
600
110
112
104
108
108
102
108
602
108
602
106
z
x

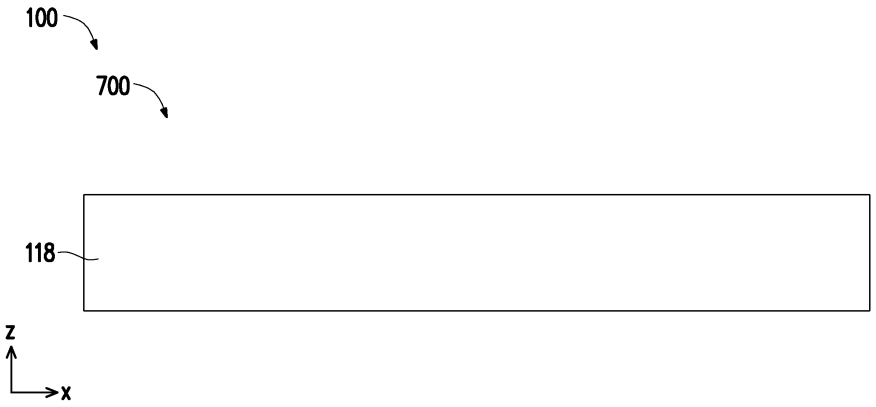
【圖6D】


100
600
604
114
604
114
120
110
120
112
104
108
108
102
108
602
108
602
106
z
x

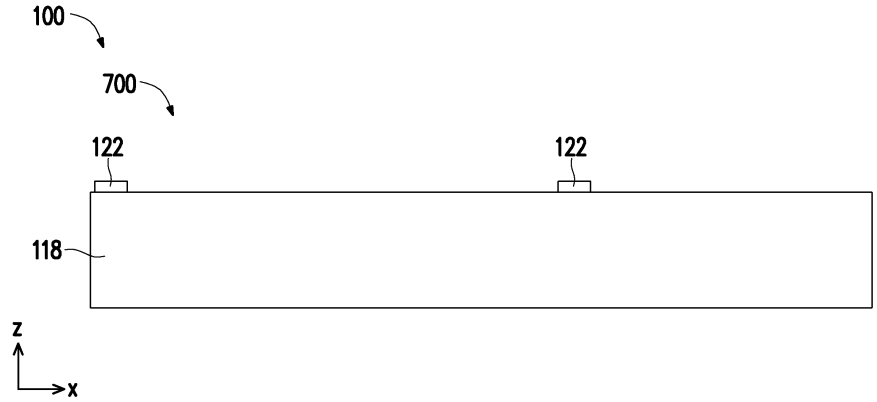
【圖6E】


100
600
604
114
604
606
114
606
120
120
112
110
104
108
108
102
108
116
602
108
116
602
106
z
x

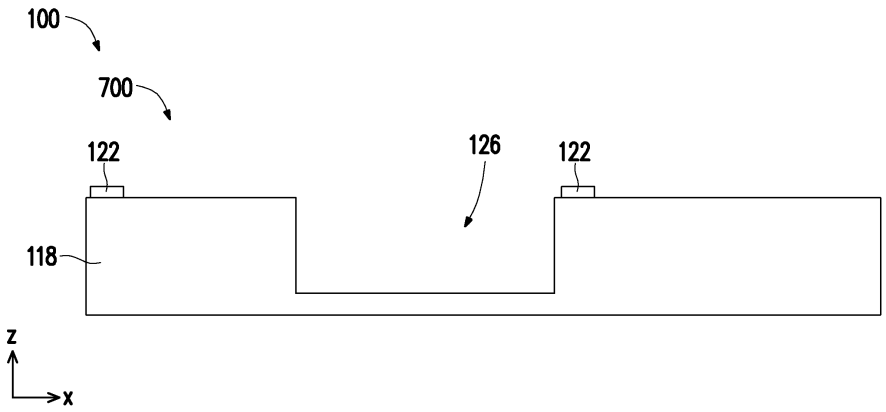
【圖6F】



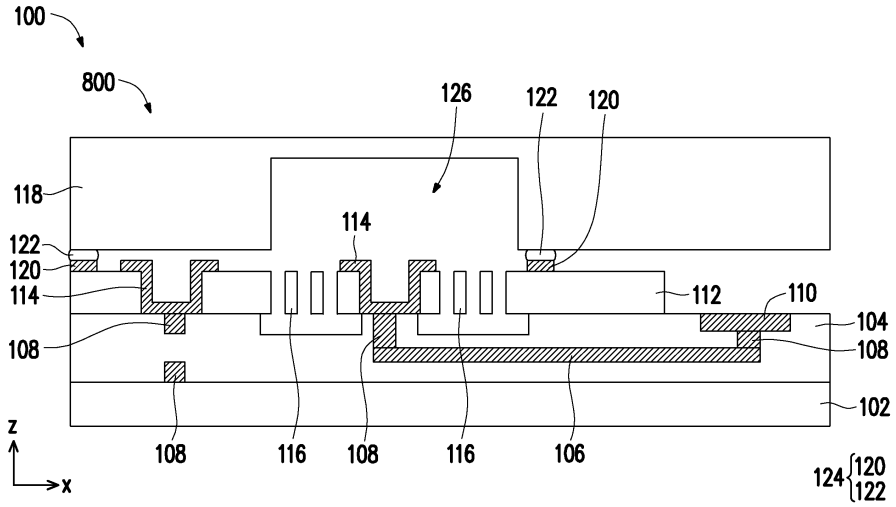
【圖7A】



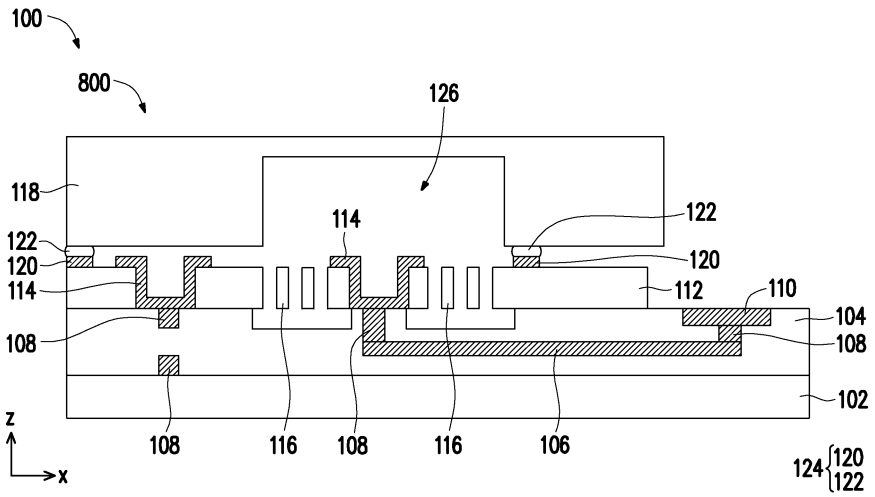
【圖7B】


100
700
122
126
122
118
z
x

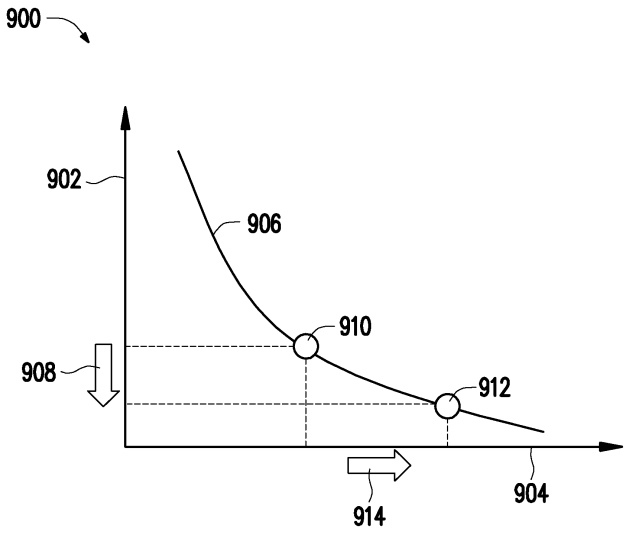
【圖7C】


100
800
126
122
120
118
114
122
120
114
112
110
104
108
108
102
z
x
108
116
108
116
106
124
120
122

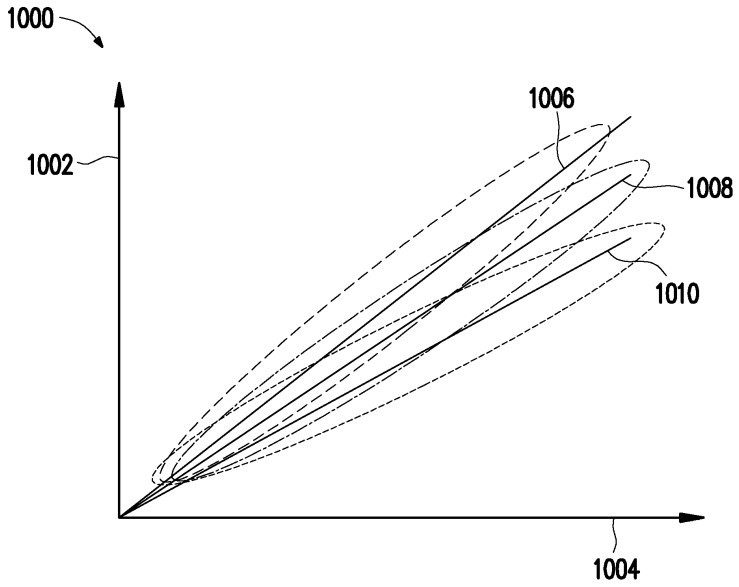
【圖8A】


100
800
126
118
114
122
122
120
120
114
112
110
104
108
108
102
z
x
108
116
108
116
106
124
120
122

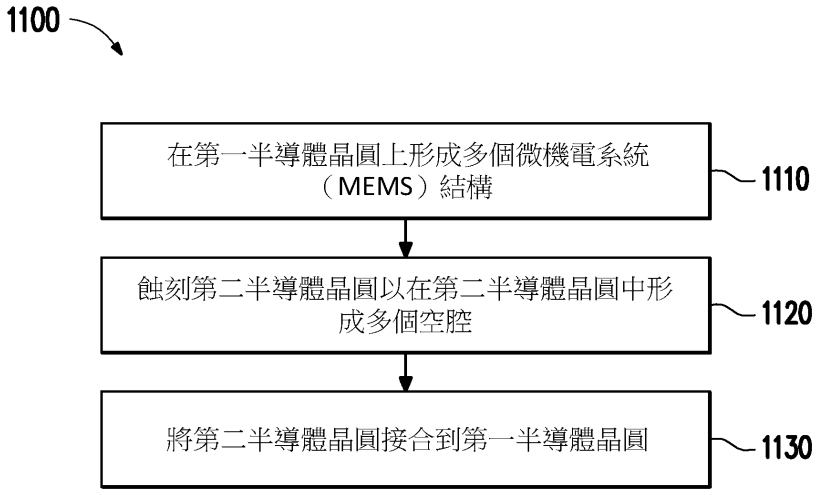
【圖8B】


900
902
906
910
908
912
914
904

【圖9】


1000
1002
1006
1008
1010
1004

【圖10】


1100
在第一半導體晶圓上形成多個微機電系統（MEMS）結構
1110
蝕刻第二半導體晶圓以在第二半導體晶圓中形成多個空腔
1120
將第二半導體晶圓接合到第一半導體晶圓
1130

【圖11】