【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940101
【45】公告日： 中華民國 115 (2026) 年 09 月 21 日
【51】Int. Cl.：　*G01R31/26 (2020.01)*　*H10P74/00 (2026.01)*
H10W20/00 (2026.01)　*H10W20/40 (2026.01)*
H10W20/20 (2026.01)　*H10D62/13 (2025.01)*
H10D64/23 (2025.01)

發明　　全 17 頁

【54】名　稱：具有背側金屬晶粒損壞環的半導體結構以及其製造及測試方法

【21】申請案號：114117286　【22】申請日： 中華民國 114 (2025) 年 05 月 08 日
【11】公開編號：202611529　【43】公開日期： 中華民國 115 (2026) 年 03 月 16 日
【30】優 先 權： 2024/09/11　美國　18/882,231

【72】發 明 人： 詹晴堯 (TW) JHAN, CING-YAO；江宗育 (TW) CHIANG, TSUNG-YU；葉啟瑞 (TW) YEH, CHI-RUEI
【71】申 請 人： 台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.
新竹市新竹科學工業園區力行六路八號
【74】代 理 人： 秦建譜；許志銘

【56】參考文獻：

CN	103000589B	CN	104701156B
US	2017/0309530A1	US	2021/0375765A1

審查人員：張耕誌

【57】申請專利範圍

1. 一種半導體結構，包含：
一積體電路，形成於一半導體基板中；
一密封環，位於該半導體基板的至少一第一側上且圍繞該積體電路的一周邊；
一輸入組件；
一輸出組件；及
一背側金屬晶粒損壞環(backside metal die damage ring，BMDDR)，設置於該半導體基板的該第一側上，延伸穿過該半導體基板，且設置於該半導體基板的一第二側上，該 BMDDR 設置於該積體電路與該密封環之間，該 BMDDR 至少部分地圍繞該積體電路的該周邊，該 BMDDR 耦接至該輸入組件及該輸出組件且在該輸入組件與該輸出組件之間形成一電路，其中該 BMDDR 包括設置於該半導體基板的該第一側上的一第一互連結構的複數個第一單元及設置於該半導體基板的一第二側上的一第二互連結構的複數個第二單元，其中該些第一單元及該些第二單元彼此串聯電耦接，使得該些第一單元及該些第二單元沿該 BMDDR 線性地交替且藉由形成於該半導體基板中的多個半導體裝置電耦接。
2. 如請求項 1 所述之半導體結構，其中該些第一單元及該些第二單元以一蛇形圖案沿該 BMDDR 耦接。
3. 如請求項 1 所述之半導體結構，其中該輸入組件及該輸出組件為耦接至該半導體基板的該第二側上的該第二互連結構的端。
4. 如請求項 1 所述之半導體結構，其中該第一互連結構及該第二互連結構各自耦接至其間的該些半導體裝置的多個源極/汲極結構。

5. 如請求項 4 所述之半導體結構，其中該第二互連結構藉由形成於該半導體基板的該第二側中的多個基板穿孔而耦接至該些源極/汲極結構。
6. 如請求項 1 所述之半導體結構，其中該輸入組件及該輸出組件為耦接至該積體電路的多個襯墊。
7. 一種半導體結構的測試方法，包含以下步驟：
提供一半導體基板，該半導體基板具有形成於其中的一積體電路及一背側金屬晶粒損壞環(backside metal die damage ring，BMDDR)，該 BMDDR 設置於該半導體基板的一第一側上，延伸穿過該半導體基板，且設置於該半導體基板的一第二側上，該 BMDDR 至少部分地圍繞該積體電路的周邊，其中該 BMDDR 包括設置於該半導體基板的該第一側上的一第一互連結構的複數個第一單元及設置於該半導體基板的一第二側上的一第二互連結構的複數個第二單元，其中該些第一單元及該些第二單元彼此串聯電耦接，使得該些第一單元及該些第二單元沿該 BMDDR 線性地交替且藉由形成於該半導體基板中的多個半導體裝置電耦接；及
藉由在一輸入組件與一輸出組件之間向其各自耦接至的該 BMDDR 施加一電負載來偵測該 BMDDR 的損壞，以偵測由該 BMDDR 界定的一電路的一斷開。
8. 如請求項 7 所述之方法，其中偵測該 BMDDR 的損壞的步驟包括以下步驟：量測該電路的一電阻或電導率的一變化。
9. 一種半導體結構的製造方法，包含以下步驟：
提供其中形成有一積體電路的一半導體基板；
在該半導體基板中形成多個半導體裝置；
在該半導體基板的一第一側上形成上覆於並電耦接至該些半導體裝置的一第一互連結構，其中形成該第一互連結構以包括複數個第一單元；
在該半導體基板的一第二側上形成下伏於並電耦接至該些半導體裝置的一第二互連結構，其中該第一互連結構、該半導體裝置及該第二互連結構界定部分或完全圍繞該積體電路的一背側金屬晶粒損壞環(backside metal die damage ring，BMDDR)，其中形成該第二互連結構以包括複數個第二單元，其中該些第一單元及該些第二單元彼此串聯電耦接，使得該些第一單元及該些第二單元沿該 BMDDR 線性地交替且藉由形成於該半導體基板中的該些半導體裝置電耦接；
在該半導體基板上形成在一第一位置處電耦接至該 BMDDR 的一輸入組件；及
在該半導體基板上形成在一第二位置處電耦接至該 BMDDR 的一輸出組件，其中該 BMDDR 在該輸入組件與該輸出組件之間形成一連續的電路。
10. 如請求項 9 所述之方法，其中該第一互連結構及該第二互連結構各自耦接至該些半導體裝置的多個源極/汲極結構。

圖式簡單說明

當與附圖一起閱讀時，根據以下詳細描述最佳地理解本揭示的態樣。應注意，根據行業標準慣例，各種特徵未按比例繪製。事實上，為了便於討論，可以任意增大或減小各種特徵的尺寸。

第 1 圖為根據一實施例的處於積體電路製造製程中的一個階段的例示性半導體結構的一部分的橫截面圖。

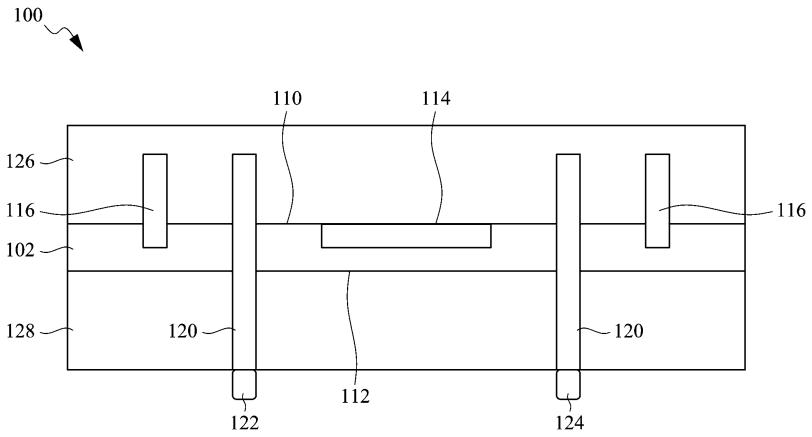
第 2 圖為根據一實施例的第 1 圖的例示性半導體結構的一部分的俯視圖。

第 3 圖為繪示根據一實施例的第 1 圖的半導體結構的例示性密封環的一部分的橫截面圖。

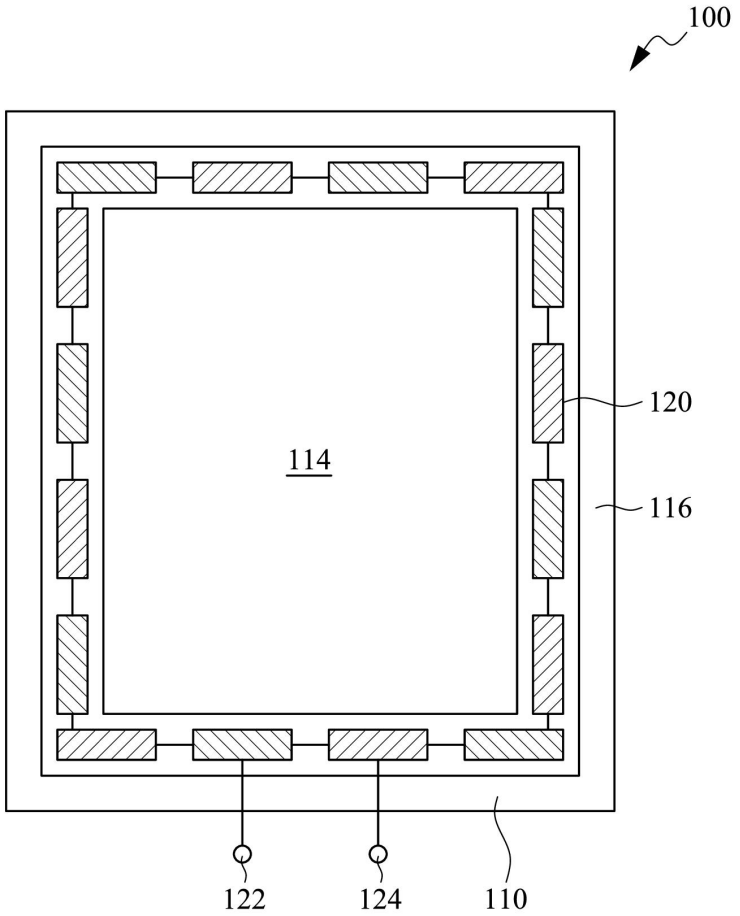
第 4 圖為繪示根據一實施例的第 1 圖的半導體結構的例示性背側金屬損壞偵測環(backside metal damage detection ring，BMDDR)的一部分的橫截面圖。

第 5 圖為繪示根據一實施例的第 1 圖的半導體裝置的例示性 BMDDR 的一部分的橫截面圖。

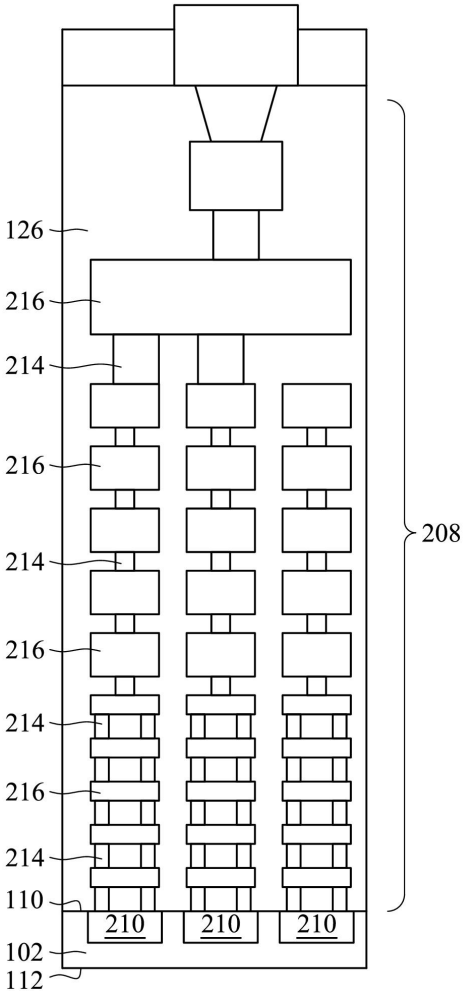
第 6 圖示意性地表示根據一實施例的由第 5 圖的 BMDDR 形成的電路的蛇形圖案。
第 7 圖為繪示根據一實施例的第 5 圖的 BMDDR 的例示性尺寸的橫截面圖。
第 8 圖為繪示根據一實施例的第 5 圖及第 7 圖的 BMDDR 的例示性半導體裝置的橫截面圖。
第 9 圖為根據一實施例的處於積體電路製造製程中的一個階段的另一例示性半導體結構的一部分的橫截面圖。
第 10 圖為根據一實施例的處於積體電路製造製程中的一個階段的又一例示性半導體結構的一部分的橫截面圖。
第 11 圖為根據一實施例的處於積體電路製造製程中的一個階段的又一例示性半導體結構的一部分的橫截面圖。
第 12 圖為繪示根據一實施例的用於形成及測試半導體結構的例示性方法的流程圖。
第 13 圖為繪示根據一實施例的用於測試半導體結構的例示性方法的流程圖。
第 14 圖為繪示根據一實施例的用於製造半導體結構的例示性方法的流程圖。
第 15 圖至第 20 圖繪示根據一實施例的第 14 圖的方法的某些非限制性步驟。



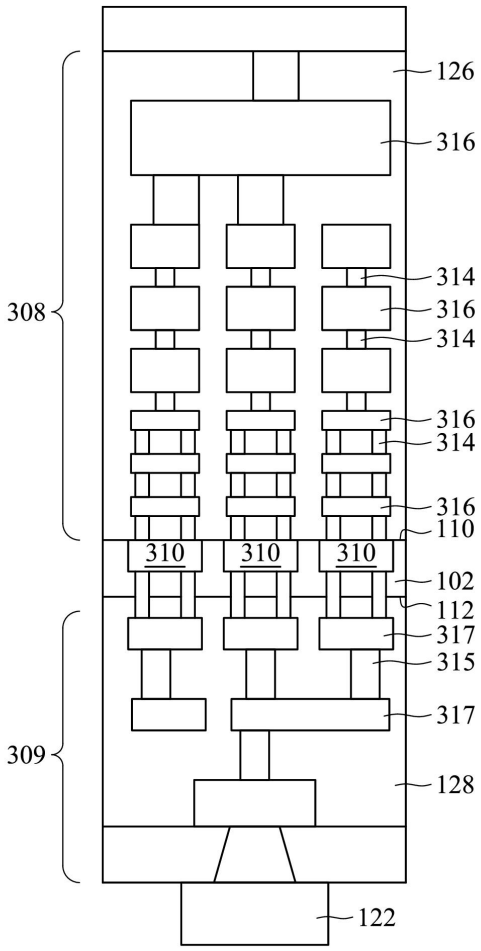
第 1 圖



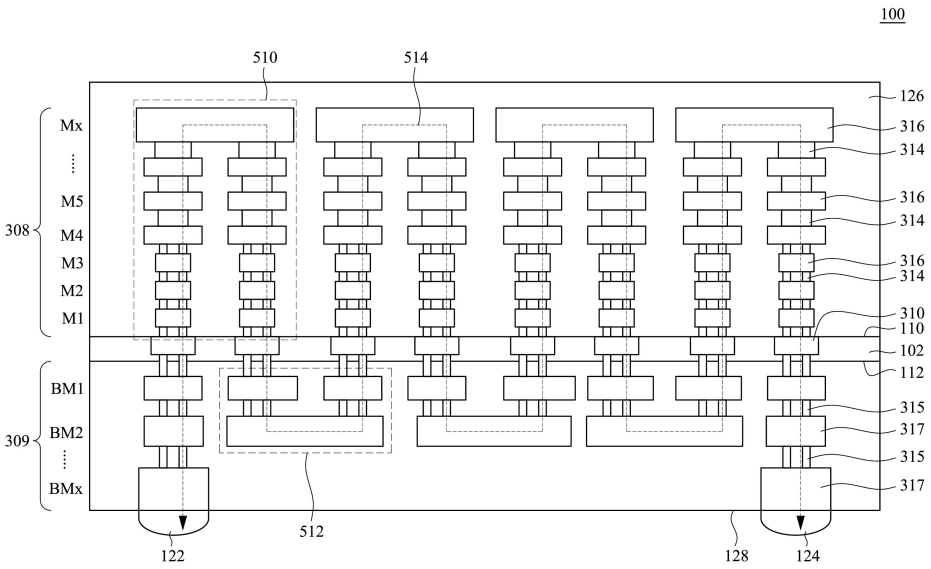
第 2 圖



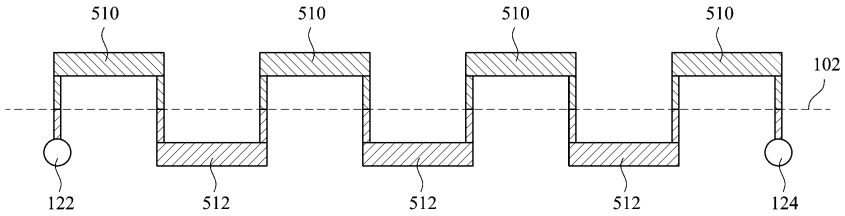
第 3 圖


126
316
314
316
314
316
314
316
110
310
310
310
102
112
317
315
317
128
122
308
309

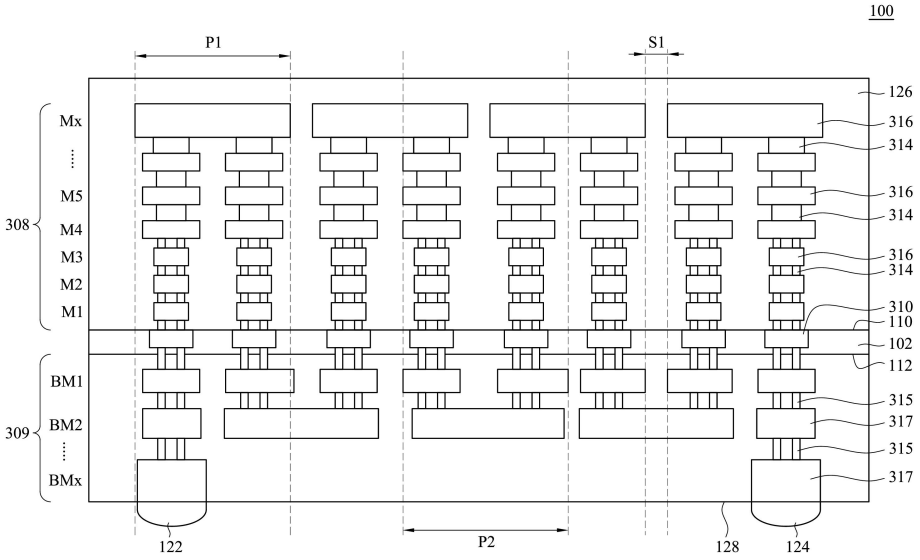
第 4 圖


100
510
514
126
316
314
316
314
316
314
310
110
102
112
315
317
315
317
Mx
M5
M4
M3
M2
M1
BM1
BM2
BMx
308
309
512
122
128
124

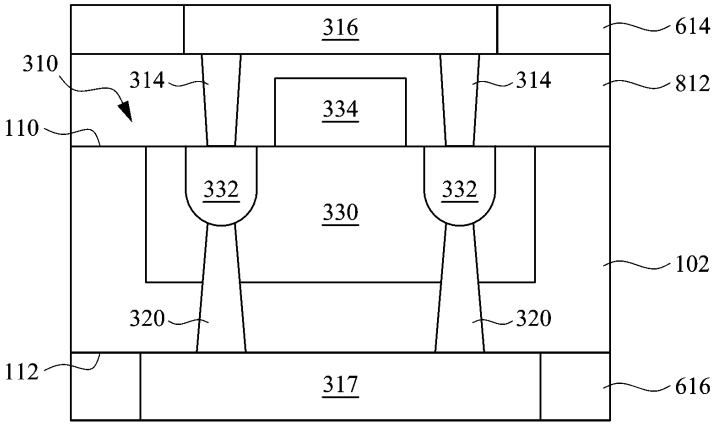
第 5 圖


510
510
510
510
102
122
512
512
512
124

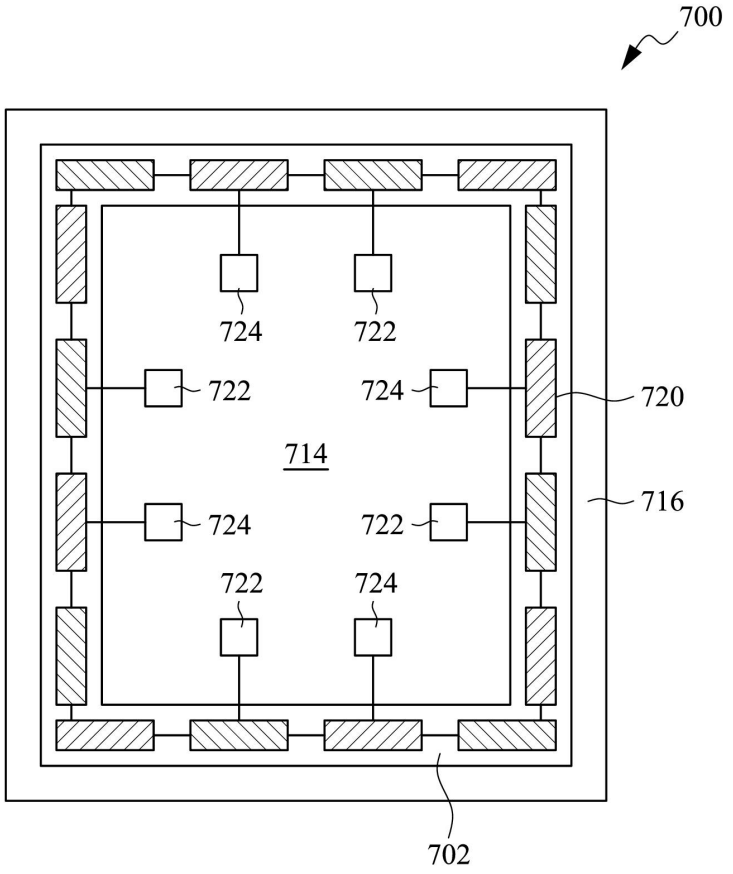
第 6 圖


100
P1
S1
126
Mx
316
314
M5
316
308
M4
314
M3
316
M2
314
M1
310
110
102
112
BM1
315
309
BM2
317
315
BMx
317
122
P2
128
124

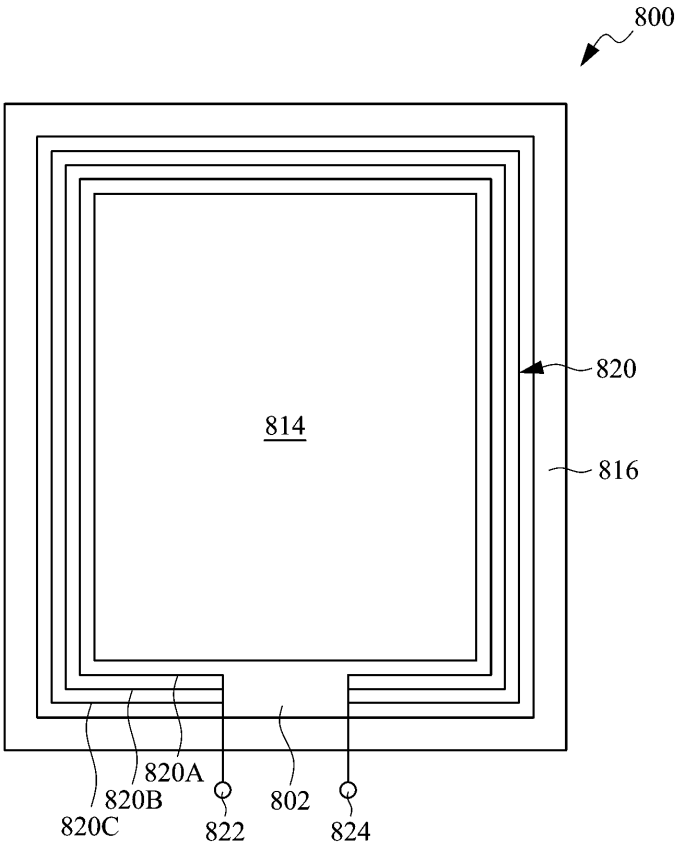
第 7 圖


316
614
310
314
314
812
334
110
332
332
330
102
320
320
112
317
616

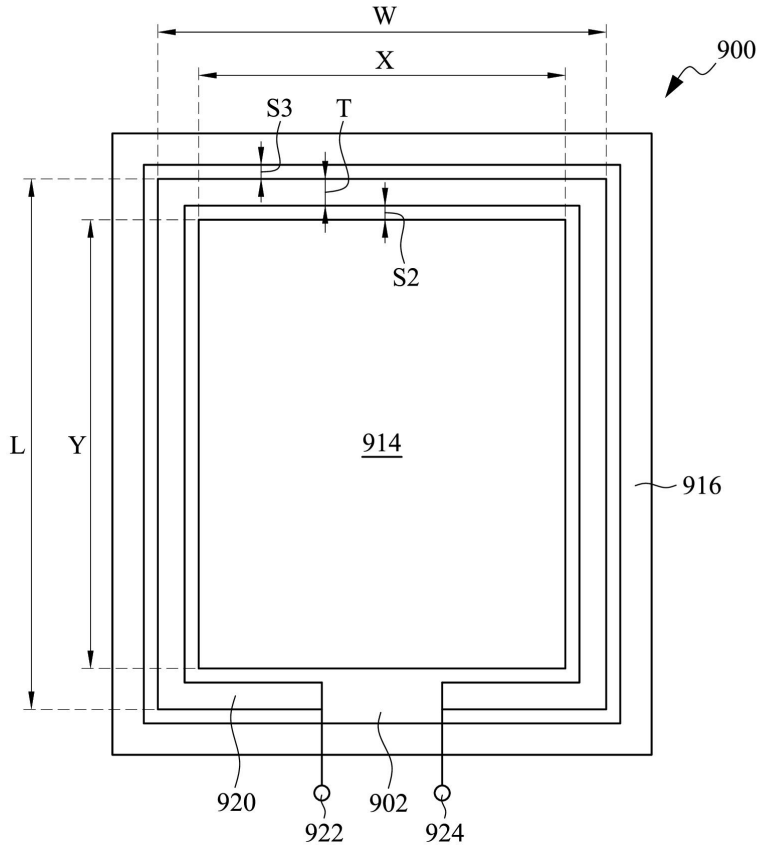
第 8 圖



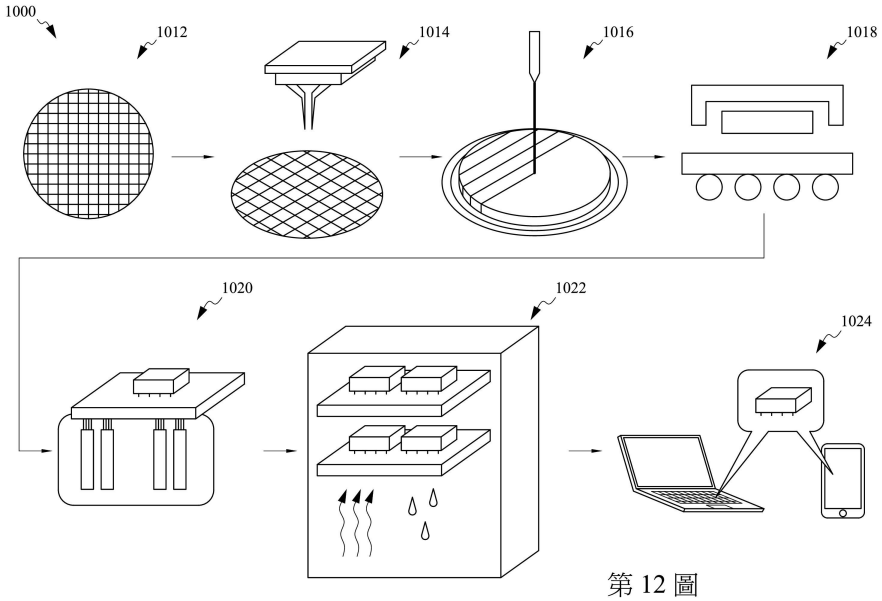
第 9 圖



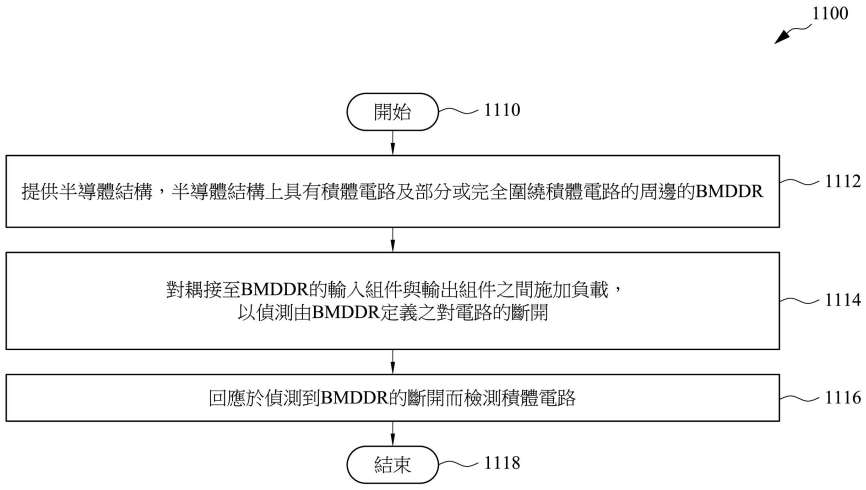
第 10 圖


W
X
900
S3
T
S2
L
Y
914
916
920
922
902
924

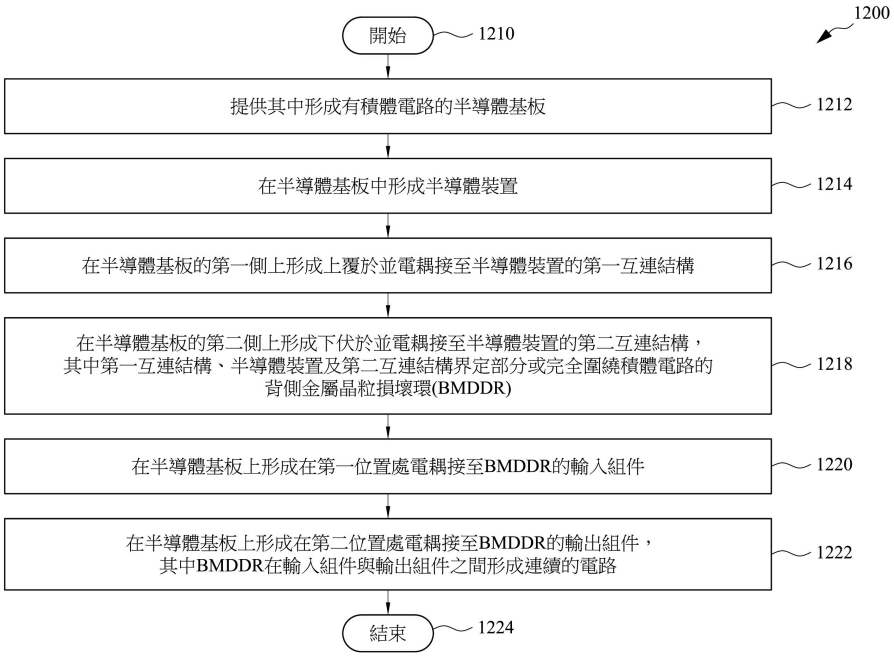
第 11 圖


1000
1012
1014
1016
1018
1020
1022
1024

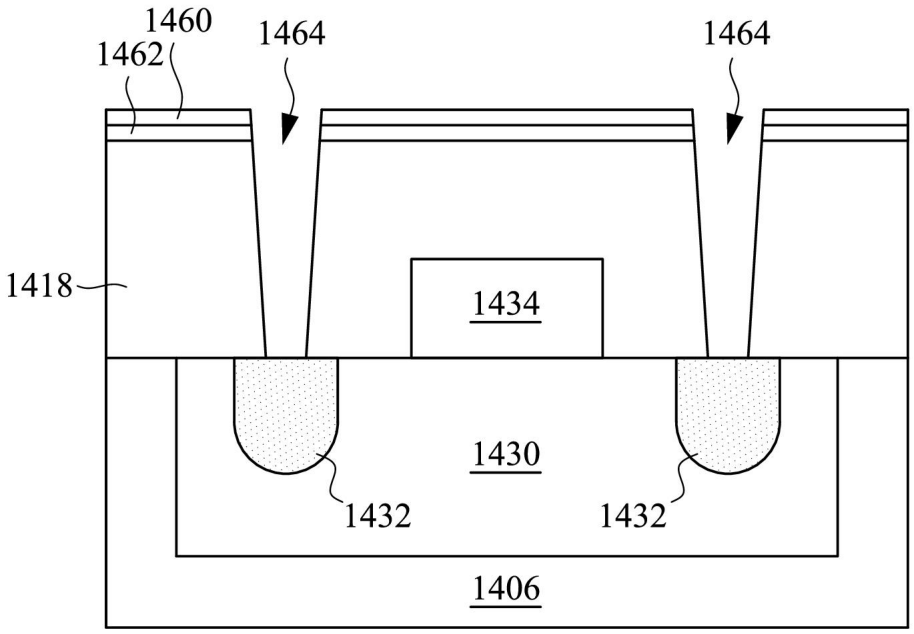
第 12 圖


1100
開始
1110
提供半導體結構，半導體結構上具有積體電路及部分或完全圍繞積體電路的周邊的BMDDR
1112
對耦接至BMDDR的輸入組件與輸出組件之間施加負載，
以偵測由BMDDR定義之對電路的斷開
1114
回應於偵測到BMDDR的斷開而檢測積體電路
1116
結束
1118

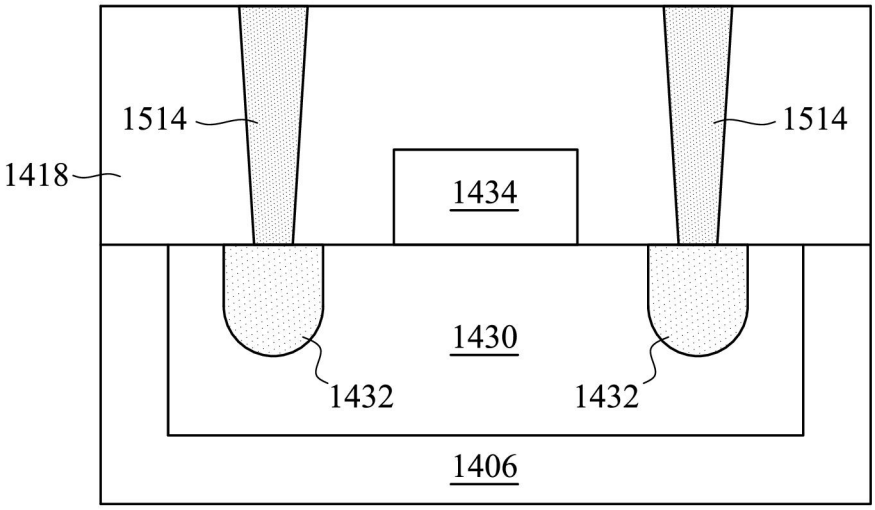
第 13 圖


1200
開始
1210
提供其中形成有積體電路的半導體基板
1212
在半導體基板中形成半導體裝置
1214
在半導體基板的第一側上形成上覆於並電耦接至半導體裝置的第一互連結構
1216
在半導體基板的第二側上形成下伏於並電耦接至半導體裝置的第二互連結構，
其中第一互連結構、半導體裝置及第二互連結構界定部分或完全圍繞積體電路的
背側金屬晶粒損壞環(BMDDR)
1218
在半導體基板上形成在第一位置處電耦接至BMDDR的輸入組件
1220
在半導體基板上形成在第二位置處電耦接至BMDDR的輸出組件，
其中BMDDR在輸入組件與輸出組件之間形成連續的電路
1222
結束
1224

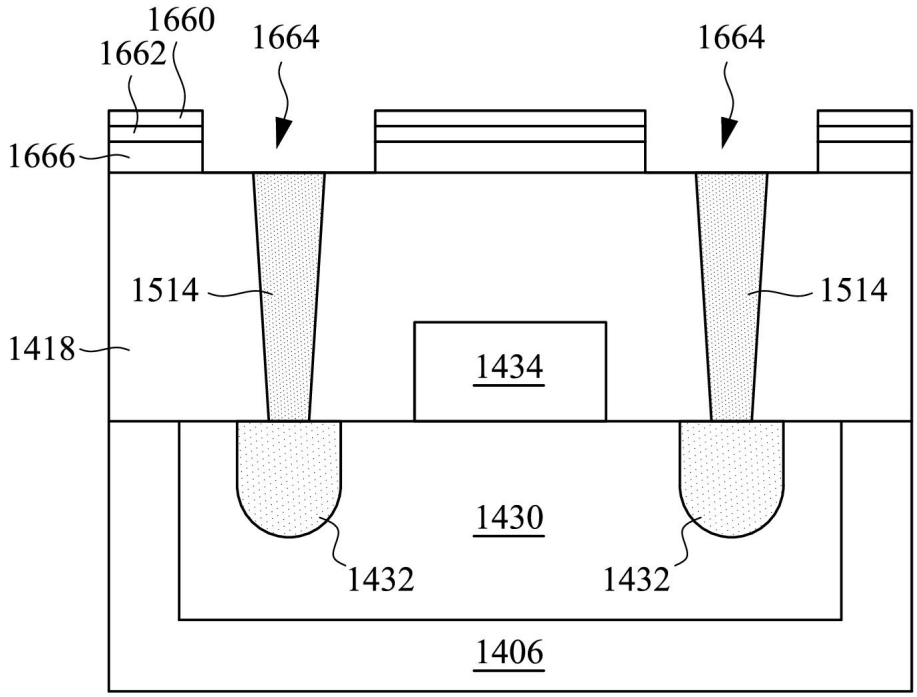
第 14 圖



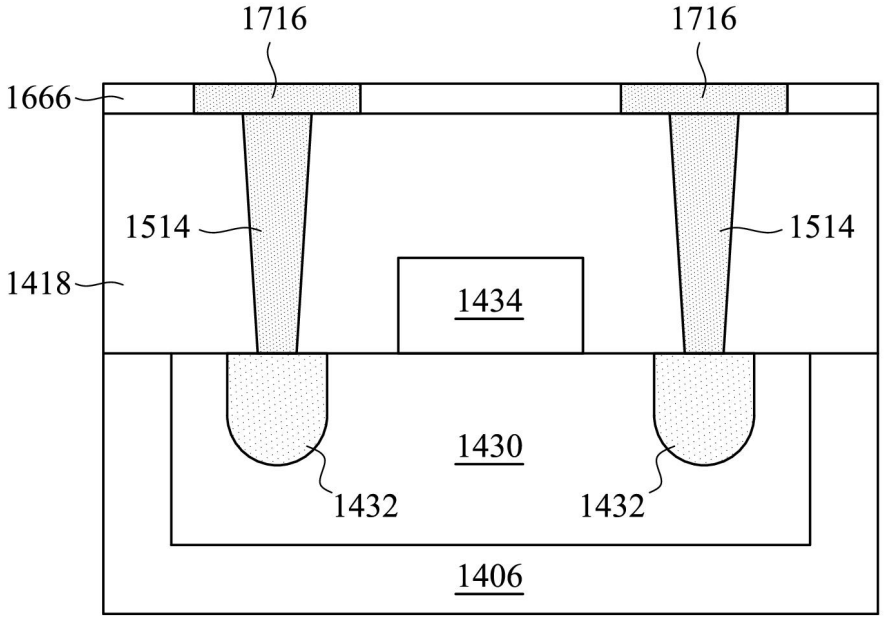
第 15 圖



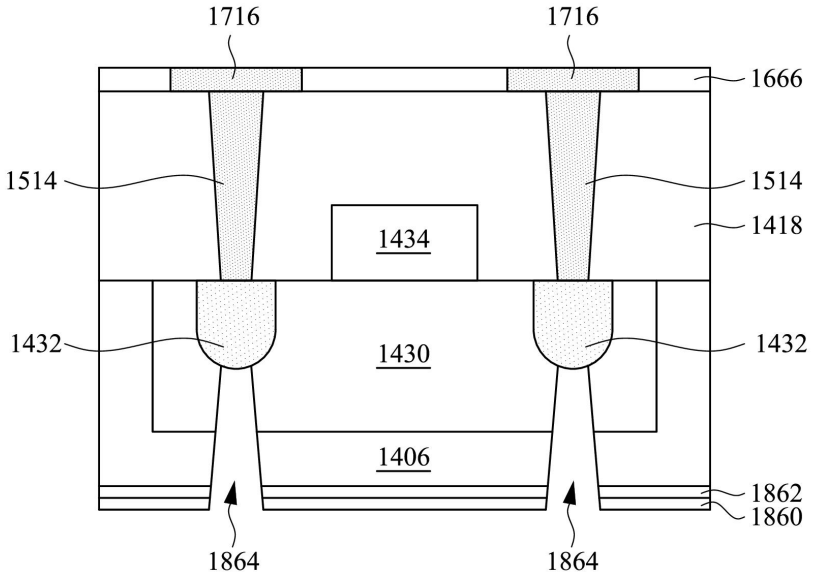
第 16 圖


1660
1662
1664
1664
1666
1514
1514
1418
1434
1430
1432
1432
1406

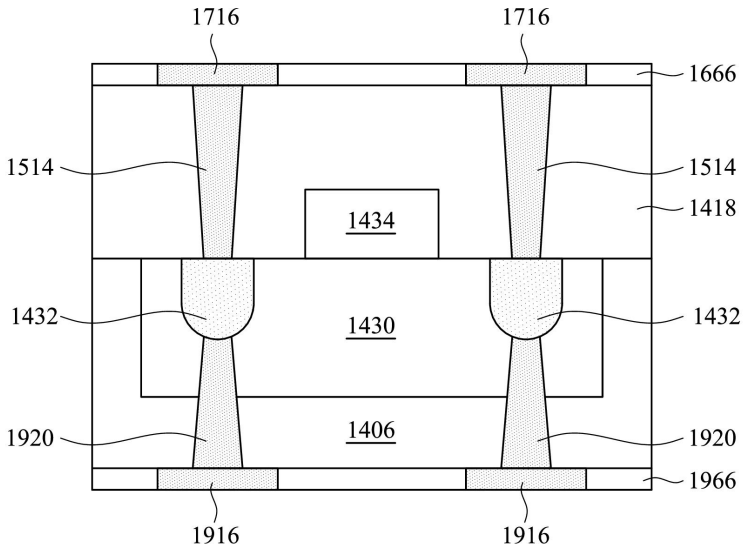
第 17 圖



第 18 圖


1716
1716
1666
1514
1514
1418
1434
1432
1430
1432
1406
1862
1860
1864
1864

第 19 圖


1716
1716
1666
1514
1514
1418
1434
1432
1430
1432
1406
1920
1920
1966
1916
1916

第 20 圖