【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940125
【45】公告日： 中華民國 115 (2026) 年 09 月 21 日
【51】Int. Cl.：　*H10D84/83 (2025.01)*　*H10D84/01 (2026.01)*
H10W72/00 (2026.01)　*H10W20/20 (2026.01)*
發明　全 36 頁

【54】名　稱：積體電路裝置及製造方法
【21】申請案號：114119134　【22】申請日： 中華民國 114 (2025) 年 05 月 21 日
【11】公開編號：202616889　【43】公開日期： 中華民國 115 (2026) 年 04 月 16 日
【30】優 先 權：2024/09/30　美國　63/701,194
2025/01/13　美國　19/018,342
【72】發 明 人：尤韋翔 (TW) YOU, WEI-XIANG；邱宗凱 (TW) CHIU, TSUNG-KAI；吳亭昀 (TW) WU, TING-YUN；林俊言 (TW) LIN, CHUN-YEN；廖　思雅 (US) LIAO, SZUYA
【71】申 請 人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.
新竹市新竹科學工業園區力行六路八號
【74】代 理 人：秦建譜；許志銘
【56】參考文獻：

TW	202349631A	TW	202431136A
KR	10-2023-0118276A	KR	10-2024-0116973A
KR	10-2024-0131917A	US	2024/0312992A1
US	2024/0321646A1		

審查人員：徐孝倫

【57】申請專利範圍

1. 一種積體電路裝置，包含：
一裝置堆疊，包含：
一底部半導體裝置；以及
一頂部半導體裝置，沿一方向堆疊於該底部半導體裝置上；
一頂部接觸結構，位於該頂部半導體裝置之一源極/汲極之上並電性接觸該源極/汲極；
一背側電源軌；以及
一通孔互連，延伸於該頂部接觸結構及該背側電源軌之間並電性耦接該頂部接觸結構及該背側電源軌；
其中該通孔互連由該背側電源軌朝向該頂部接觸結構沿該方向而逐漸變細。
2. 如請求項 1 所述之積體電路裝置，進一步包含：
一額外頂部接觸結構，位於該頂部半導體裝置之一額外源極/汲極之上並電性接觸該額外源極/汲極；
其中，該背側電源軌及該通孔互連沿一第一方向延伸，該頂部接觸結構及該額外頂部接觸結構沿橫穿過該第一方向之一第二方向延伸，並且該額外頂部接觸結構沿該第二方向與該通孔互連重疊。
3. 如請求項 1 所述之積體電路裝置，進一步包含：
一額外裝置堆疊，包含：
一額外底部半導體裝置；以及

一額外頂部半導體裝置，沿該方向堆疊於該額外底部半導體裝置上；以及

一額外頂部接觸結構，位於該額外頂部半導體裝置之一源極/汲極之上並電性接觸該源極/汲極；

其中，該通孔互連延伸於該額外頂部接觸結構及該背側電源軌之間並電性耦接該額外頂部接觸結構及該背側電源軌。

4. 如請求項 1 所述之積體電路裝置，進一步包含：

複數個金屬層，位於該裝置堆疊之上；

其中，該等金屬層中最接近該裝置堆疊之一金屬層不與直接位於該裝置堆疊上之一電源軌接觸。

5. 一種積體電路裝置，包含：

一裝置堆疊，包含：

一底部半導體裝置；以及

一頂部半導體裝置，沿一方向堆疊於該底部半導體裝置上；

一頂部接觸結構，位於該頂部半導體裝置之一源極/汲極之上並電性接觸該頂部半導體裝置之該源極/汲極；

一底部接觸結構，位於該底部半導體裝置之一源極/汲極之下並電性接觸該底部半導體裝置之該源極/汲極；

一導體，與該底部半導體裝置間隔且等高，並且細於該底部接觸結構；

一通孔互連，延伸於該頂部接觸結構及該導體之間並電性耦接該頂部接觸結構及該導體；以及

一背側電源軌，位於該導體之下並電性耦接該導體。

6. 如請求項 5 所述之積體電路裝置，進一步包含：

一額外頂部接觸結構，位於該頂部半導體裝置之一額外源極/汲極之上並電性接觸該額外源極/汲極；

其中，該背側電源軌及該通孔互連沿一第一方向延伸，該頂部接觸結構及該額外頂部接觸結構沿橫穿過該第一方向之一第二方向延伸，並且該額外頂部接觸結構沿該第二方向與該通孔互連重疊。

7. 如請求項 5 所述之積體電路裝置，進一步包含：

一額外裝置堆疊，包含：

一額外底部半導體裝置；以及

一額外頂部半導體裝置，沿該方向堆疊於該額外底部半導體裝置上；

一額外頂部接觸結構，位於該額外頂部半導體裝置之一源極/汲極之上並電性接觸該源極/汲極；以及

一額外導體，與該底部接觸結構間隔且等高，並且細於該底部接觸結構；

其中，該通孔互連延伸於該額外頂部接觸結構及該額外導體之間並電性耦接該額外頂部接觸結構及該額外導體，並且該背側電源軌係位於該額外導體之下且電性耦接該額外導體。

8. 一種積體電路裝置的製造方法，包含：

形成一通孔互連於一介電結構中，該介電結構接觸一裝置堆疊之一閘極結構；

形成一頂部接觸結構於該裝置堆疊之一頂部半導體裝置之一源極/汲極以及該通孔互連之一頂部表面之上，並使該頂部接觸結構電性接觸該頂部半導體裝置之該源極/汲極以及該通孔互連之該頂部表面；

形成一背側通孔於該通孔互連之一底部表面之上，並使該背側通孔電性接觸該通孔互連之該底部表面；以及

沉積並圖案化一背側金屬層以獲得於該背側通孔上且電性接觸該背側通孔之一背側電源軌。

9. 如請求項 8 所述之製造方法，其中形成該通孔互連之步驟包含：
於一半導體結構上蝕刻出一開口，其中
該半導體結構包含複數個閘極結構，該等閘極結構包含該裝置堆疊之該閘極結構，該等閘極結構沿一第一軸並排，並且沿橫穿過第一軸之一第二軸延伸，以及
該開口沿該第一軸延伸並切穿該等閘極結構；
沉積一介電材料於該開口以獲得該介電結構；
於該介電結構中蝕刻出一通孔開口；以及
以一導電材料填滿該通孔開口以獲得該通孔互連。

10. 如請求項 8 所述之製造方法，其中形成該通孔互連之步驟包含：
於一半導體結構上蝕刻出一開口，其中
該半導體結構包含複數個閘極結構，該等閘極結構包含該裝置堆疊之該閘極結構，該等閘極結構沿一第一軸並排，並且沿橫穿過該第一軸之一第二軸延伸，以及
該開口沿該第一軸延伸並切穿該等閘極結構；
沉積一介電材料之一保形層於該開口之側壁上，並使該開口之一中間區域不填滿；以及
以一導電材料填滿該開口之該中間區域以獲得沿該第一軸延伸之該通孔互連，該通孔互連係與該等閘極結構之切口端透過該開口之側壁上的該介電材料而電隔離。

圖式簡單說明

本揭露之態樣在與隨附圖式一起研讀時自以下詳細描述內容來最佳地理解。請注意，根據行業標準慣例，各種特徵未按比例繪製。實際上，各種特徵之尺寸可為了論述清楚經任意地增大或減小。

第 1A 圖係根據一些實施例的半導體裝置之堆疊的示意圖。

第 1B 圖係根據一些實施例的積體電路裝置的示意圖，並且第 1C、1D、1E 及 1F 圖係該積體電路裝置於製程中不同階段的示意剖面圖。

第 2A 圖係根據一些實施例的積體電路裝置的方塊圖。

第 2B 圖係根據一些實施例的積體電路裝置之佈局的示意圖。

第 3A 圖係根據一些實施例的一或多個積體電路裝置之一或多個電路區域的剖面示意圖，並且第 3B 圖係該一或多個積體電路裝置之該一或多個電路區域之佈局的示意圖。

第 4A 圖係根據一些實施例的一或多個積體電路裝置的剖面示意圖，並且第 4B 圖係該一或多個積體電路裝置之一或多個電路區域之佈局的示意圖。

第 5A 圖係根據一些實施例的一或多個積體電路裝置的剖面示意圖，並且第 5B 圖係該一或多個積體電路裝置之一或多個電路區域之佈局的示意圖。

第 6A、6B、6C 圖係根據一些實施例的一或多個積體電路裝置之不同電路區域之佈局的示意圖。

第 7A、7B 圖係根據一些實施例的一或多個積體電路裝置之不同電路區域的透視示意圖。

第 8A、8B、8C、8D、8E 圖係根據一些實施例的積體電路裝置於製程中不同階段的剖面示意圖。

第 9A、9B、9C、9D、9E 圖係根據一些實施例的積體電路裝置於製程中不同階段的剖面示意圖。

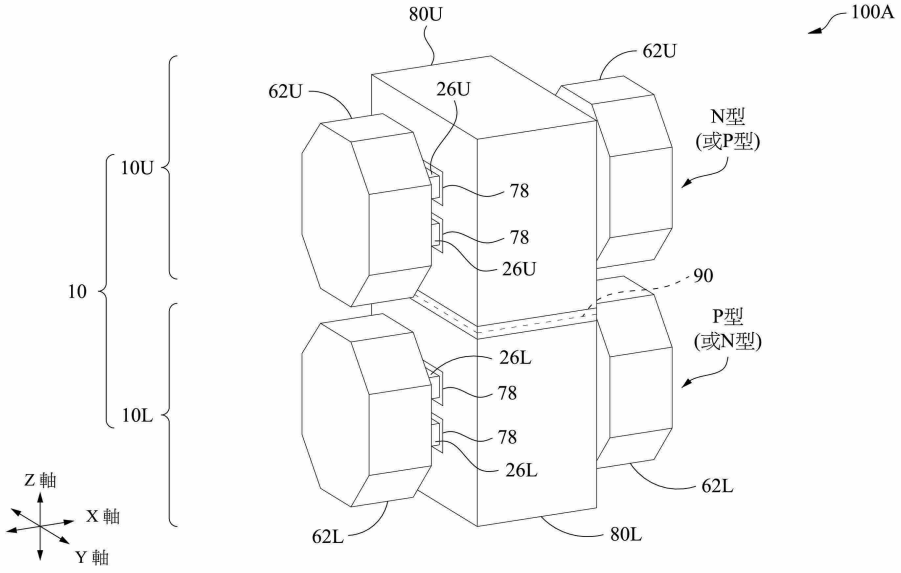
第 10A、10B 圖係根據一些實施例的積體電路裝置於製程中不同階段的剖面示意圖。

第 11A、11B 圖分別係根據一些實施例的積體電路裝置製程之一部分的示意圖，且係積體電路裝置於製程中不同階段的示意圖。

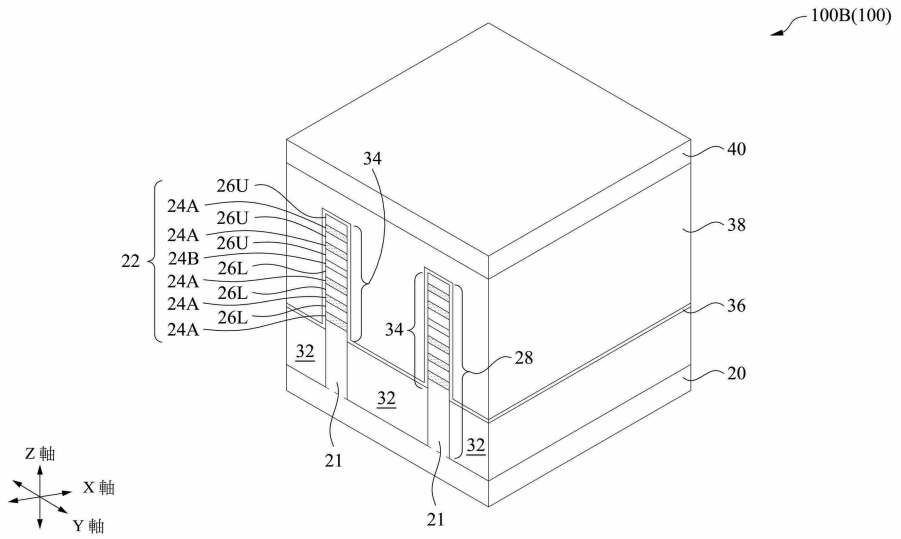
第 12A-12D 圖係根據一些實施例的不同方法的流程圖。

第 13 圖係根據一些實施例的電子設計自動化系統的方塊圖。

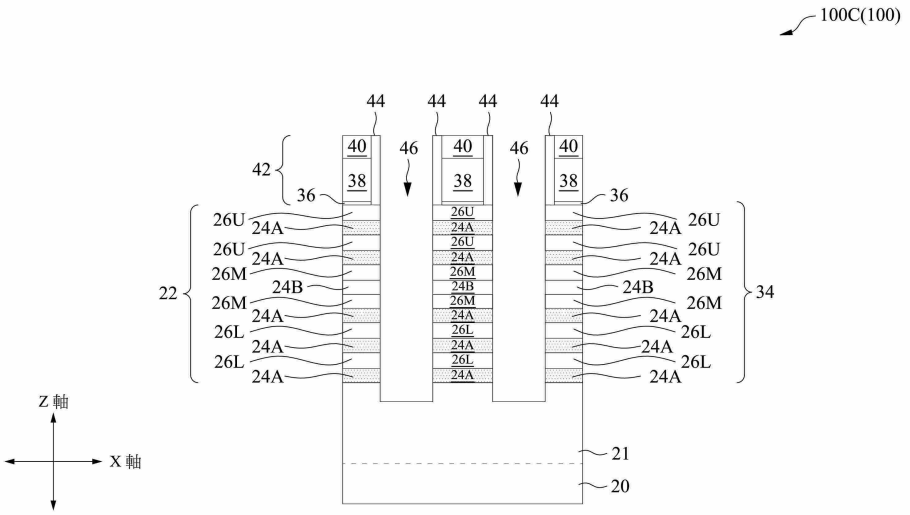
第 14 圖係根據一些實施例的積體電路裝置製造系統及與其相關聯之積體電路製造流程的方塊圖。



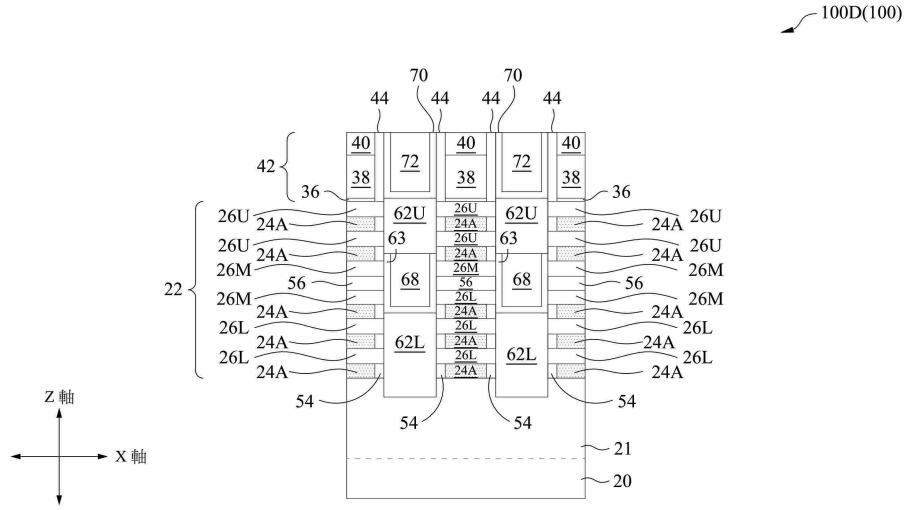
第 1A 圖



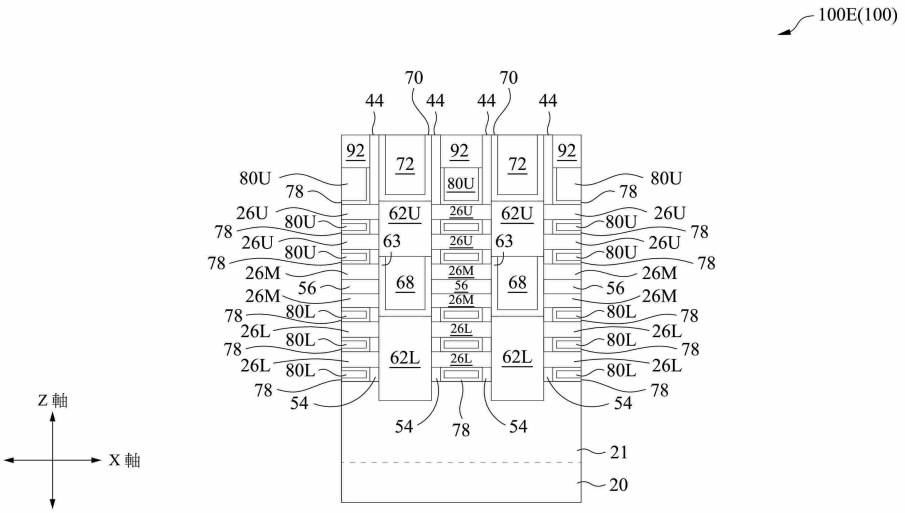
第 1B 圖


100C(100)
44
40
38
42
36
46
26U
24A
26M
24B
26L
22
34
21
20
Z 軸
X 軸

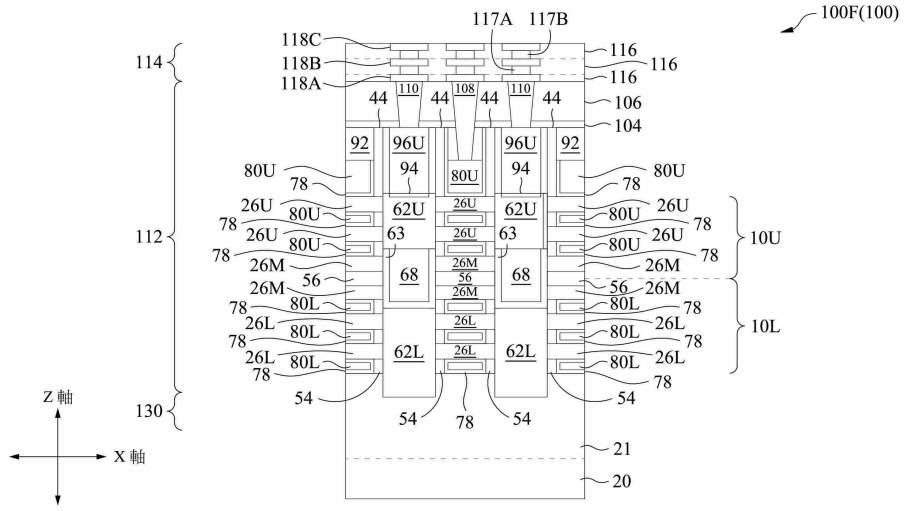
第 1C 圖


100D(100)
70
44
40
72
38
42
36
62U
63
68
62L
56
54
26U
24A
26M
26L
22
21
20
Z 軸
X 軸

第 1D 圖


100E(100)
70
70
44
44
44
44
92
72
92
72
92
80U
78
62U
63
68
26M
56
80L
26L
62L
54
78
21
20
Z 軸
X 軸

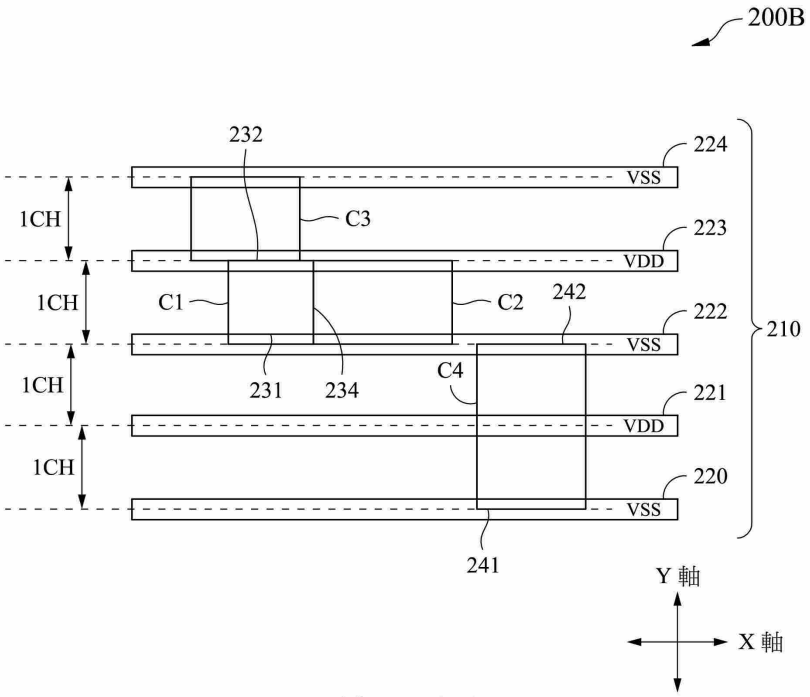
第 1E 圖


100F(100)
117A
117B
118C
118B
118A
116
110
108
106
104
96U
94
80U
78
62U
63
68
26M
56
80L
26L
62L
54
21
20
114
112
130
10U
10L
Z 軸
X 軸

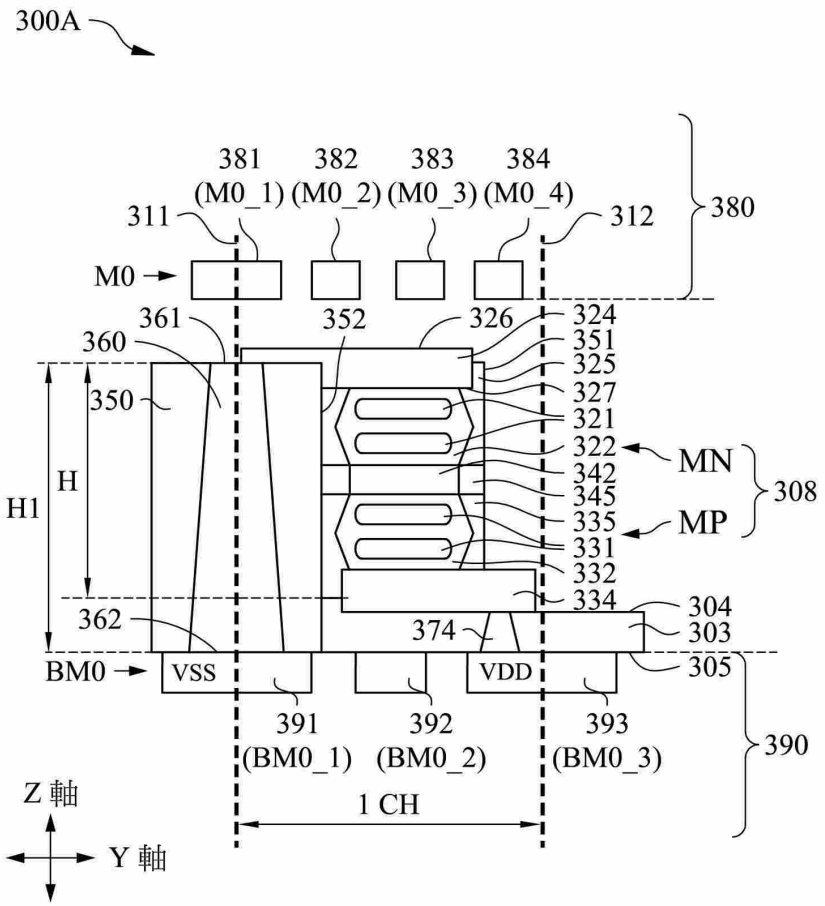
第 1F 圖


200A
IC 裝置
202
巨集
204
包含具有頂部半導體裝置的裝置堆疊的區域，該頂部半導體裝置透過MOL特徵從背側電源軌接收電源

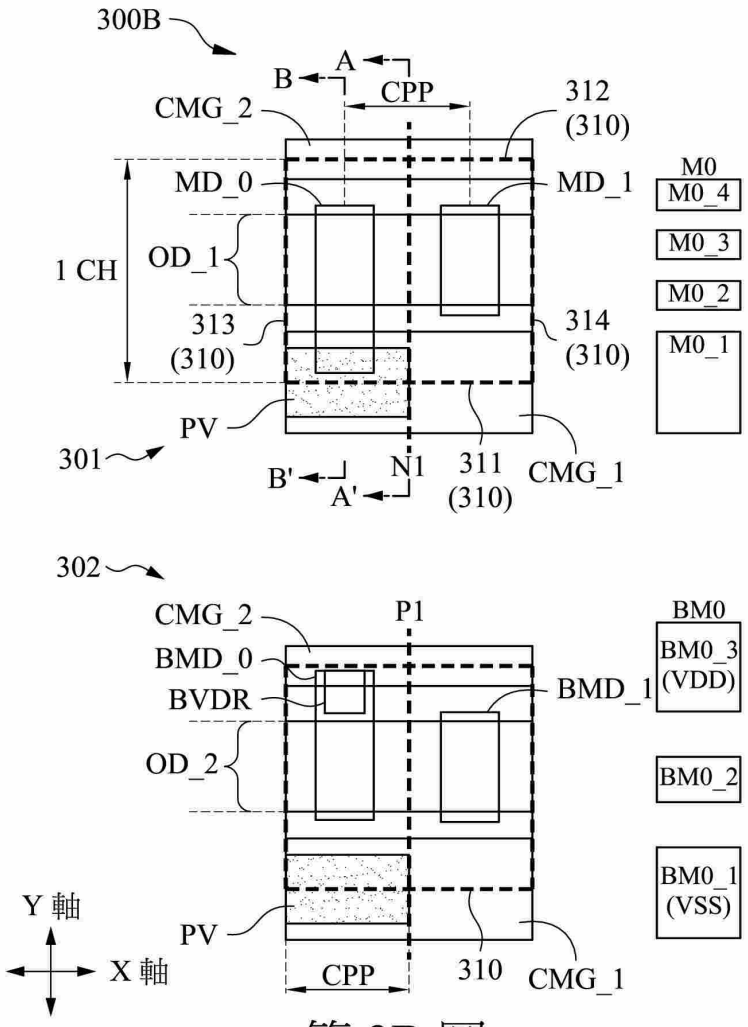
第 2A 圖


200B
232
224
VSS
1CH
C3
223
VDD
1CH
C1
C2
242
222
VSS
210
1CH
231
234
C4
221
VDD
1CH
220
VSS
241
Y 軸
X 軸

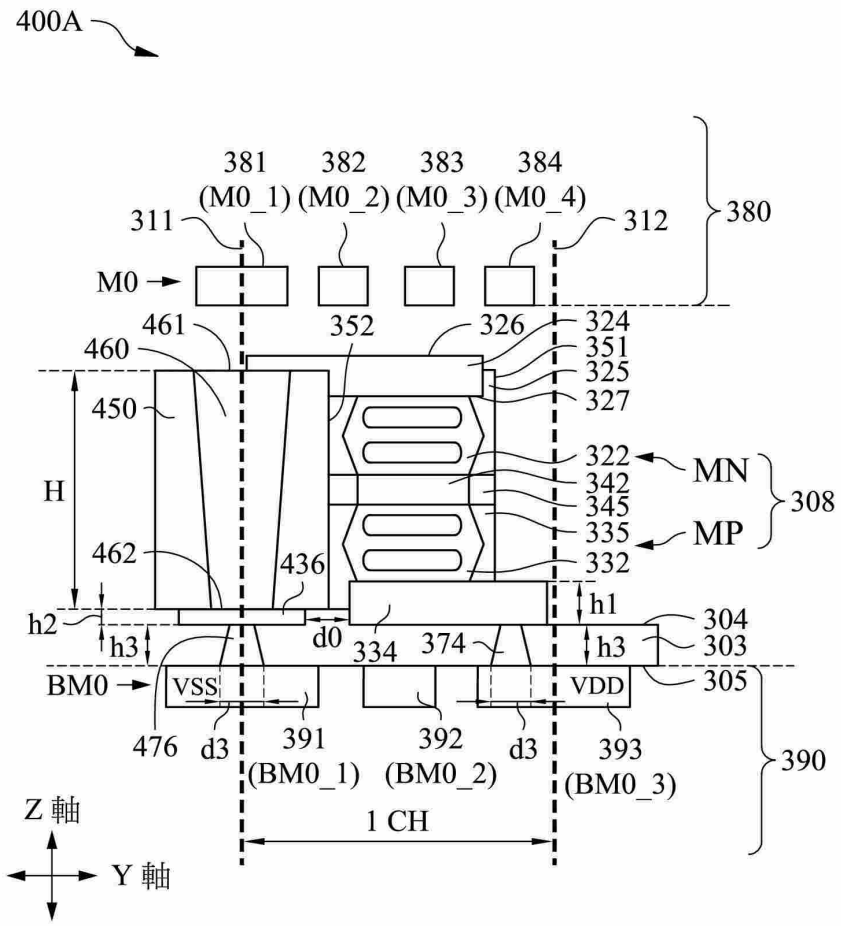
第 2B 圖


300A
381
(M0_1)
382
(M0_2)
383
(M0_3)
384
(M0_4)
311
312
380
M0
361
352
326
324
360
351
325
327
350
321
322
MN
342
H
345
308
H1
335
MP
331
332
334
304
362
374
303
BM0
VSS
VDD
305
391
(BM0_1)
392
(BM0_2)
393
(BM0_3)
390
Z 軸
1 CH
Y 軸

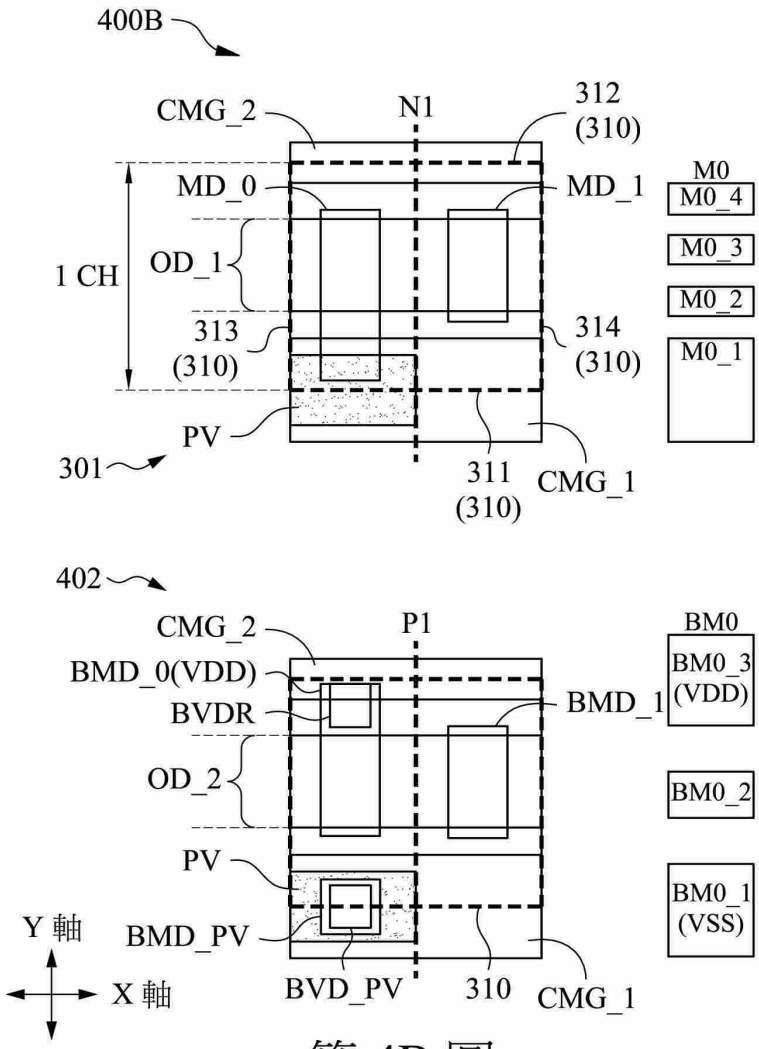
第 3A 圖


300B
A
B
CPP
CMG_2
312
(310)
M0
MD_0
MD_1
M0_4
M0_3
1 CH
OD_1
M0_2
313
(310)
314
(310)
M0_1
PV
301
B'
A'
N1
311
(310)
CMG_1
302
CMG_2
P1
BM0
BMD_0
BM0_3
(VDD)
BVDR
BMD_1
OD_2
BM0_2
BM0_1
(VSS)
Y 軸
X 軸
PV
CPP
310
CMG_1

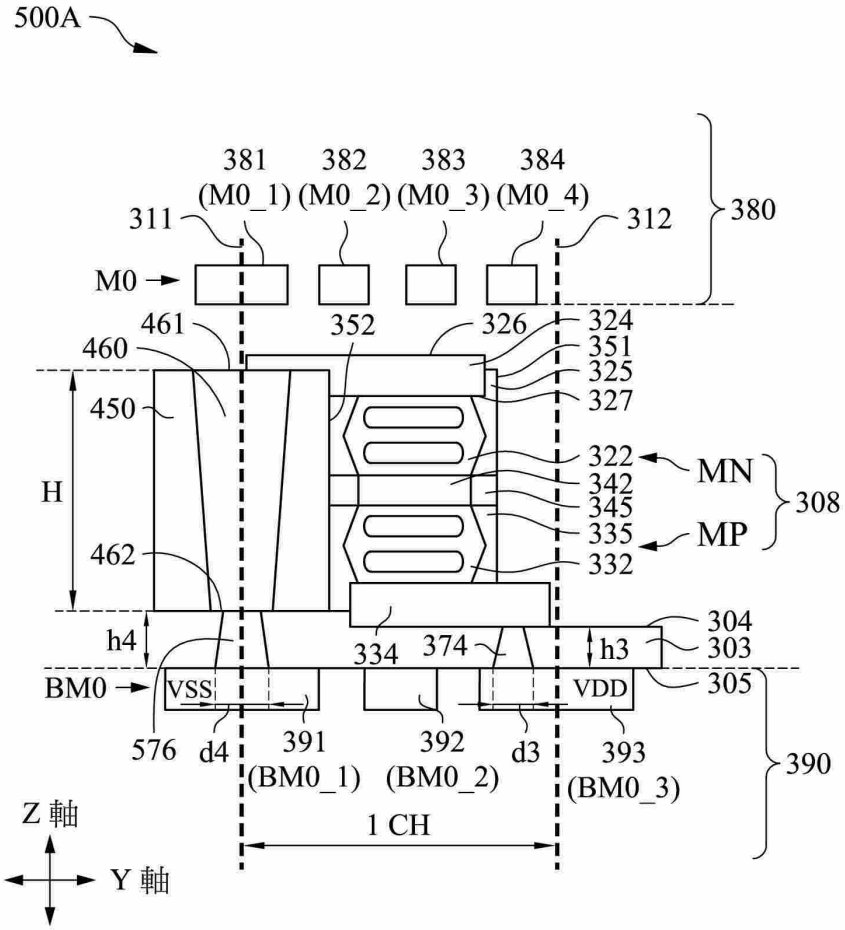
第 3B 圖


400A
381
(M0_1)
382
(M0_2)
383
(M0_3)
384
(M0_4)
380
311
312
M0
461
352
326
324
460
351
325
327
450
322
MN
342
308
H
345
335
MP
462
436
332
h1
h2
304
h3
d0
334
374
h3
303
BM0
VSS
VDD
305
476
d3
391
(BM0_1)
392
(BM0_2)
d3
393
(BM0_3)
390
Z 軸
1 CH
Y 軸

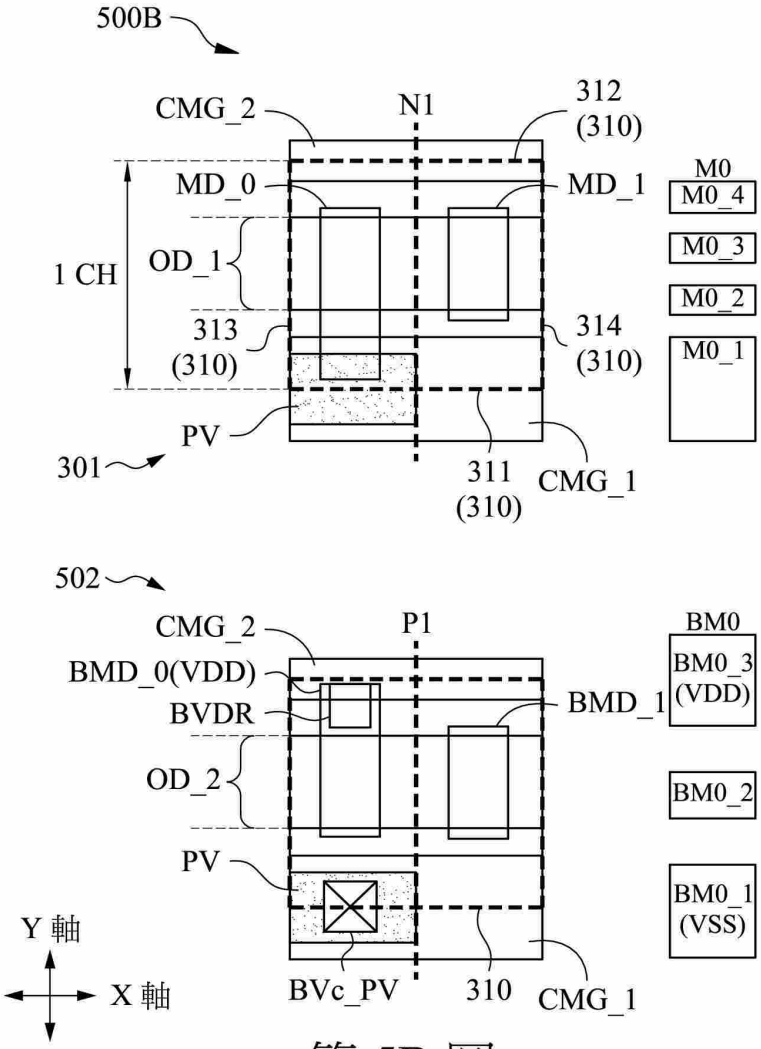
第 4A 圖


400B
CMG_2
N1
312
(310)
M0
MD_0
MD_1
M0_4
M0_3
1 CH
OD_1
M0_2
313
(310)
314
(310)
M0_1
PV
301
311
(310)
CMG_1
402
CMG_2
P1
BM0
BMD_0(VDD)
BM0_3
(VDD)
BVDR
BMD_1
OD_2
BM0_2
PV
BM0_1
(VSS)
Y 軸
BMD_PV
X 軸
BVD_PV
310
CMG_1

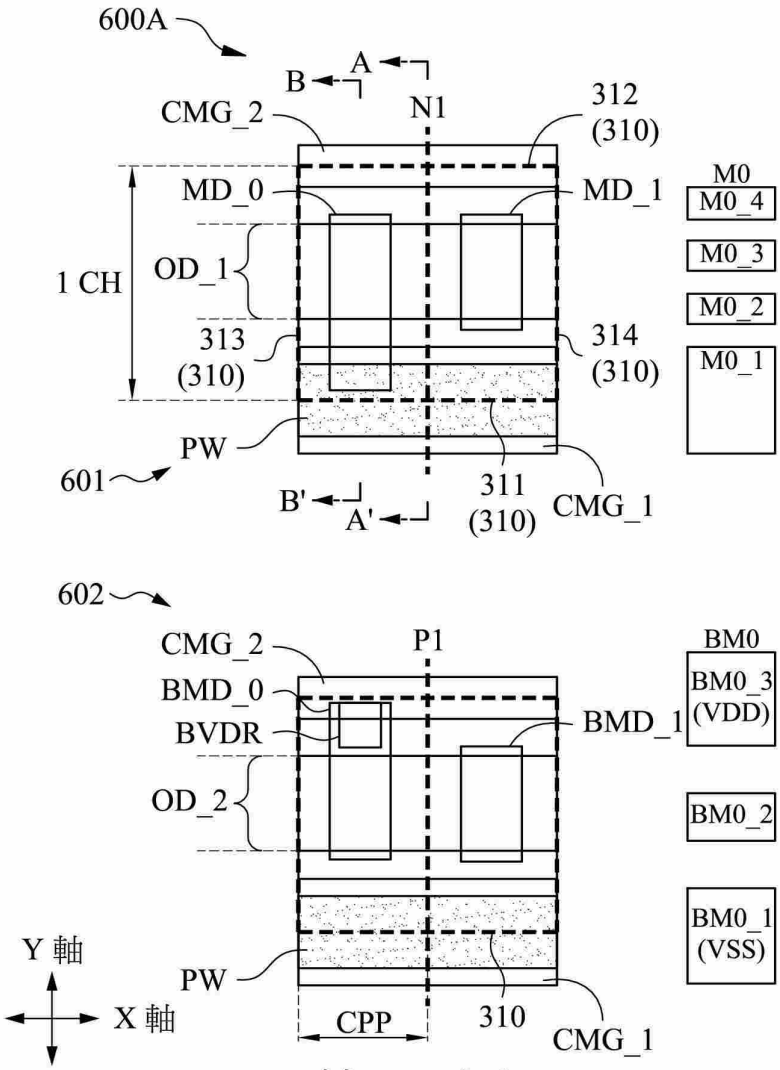
第 4B 圖


500A
381
(M0_1)
382
(M0_2)
383
(M0_3)
384
(M0_4)
380
311
312
M0
461
352
326
324
460
351
325
327
450
322
MN
342
308
H
345
335
MP
462
332
304
h4
334
374
h3
303
BM0
VSS
VDD
305
576
d4
391
(BM0_1)
392
(BM0_2)
d3
393
(BM0_3)
390
Z 軸
1 CH
Y 軸

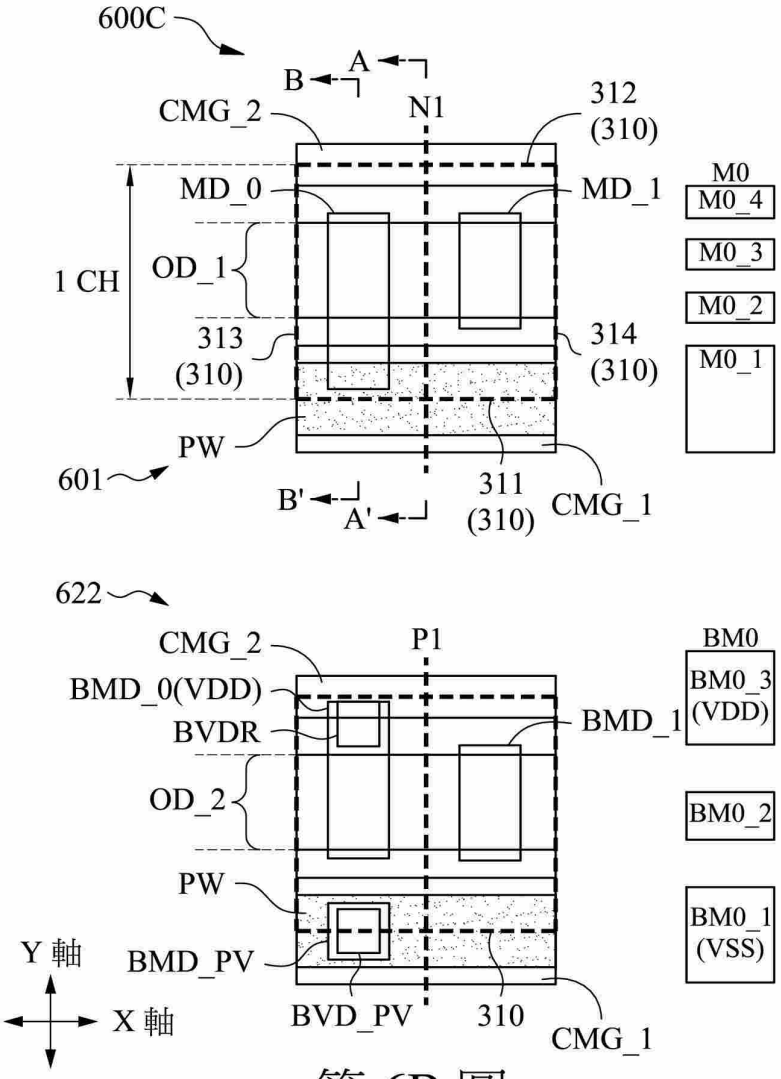
第 5A 圖


500B
CMG_2
N1
312
(310)
M0
MD_0
MD_1
M0_4
M0_3
1 CH
OD_1
M0_2
313
(310)
314
(310)
M0_1
PV
301
311
(310)
CMG_1
502
CMG_2
P1
BM0
BMD_0(VDD)
BM0_3
(VDD)
BVDR
BMD_1
OD_2
BM0_2
PV
BM0_1
(VSS)
Y 軸
X 軸
BVc_PV
310
CMG_1

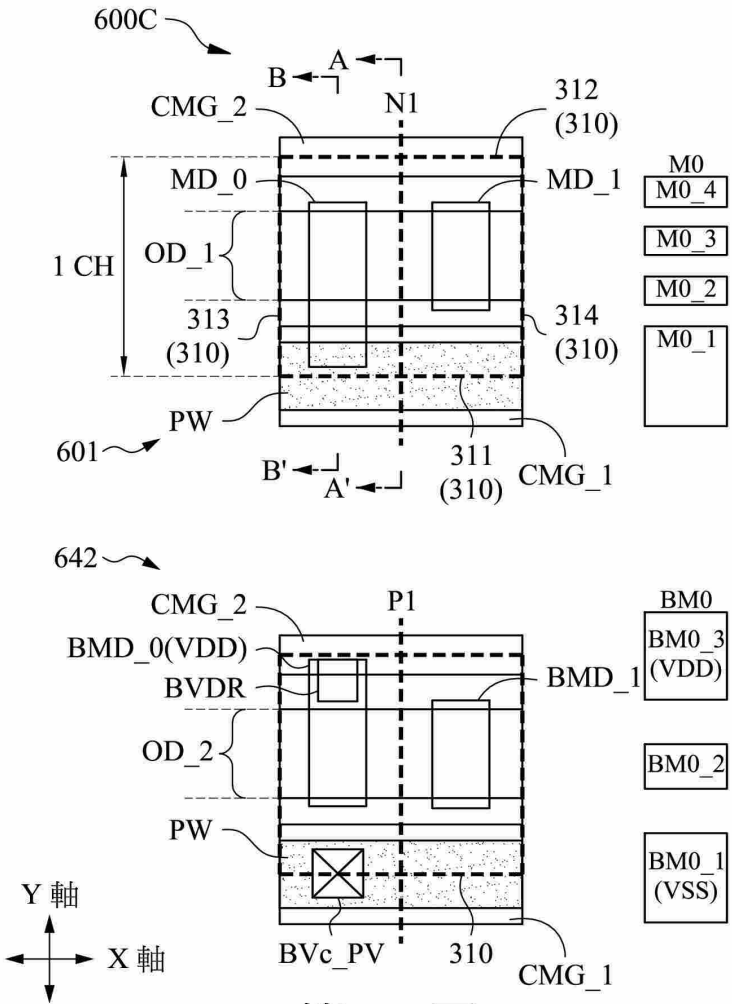
第 5B 圖


600A
A
B
N1
CMG_2
312
(310)
M0
MD_0
MD_1
M0_4
M0_3
1 CH
OD_1
M0_2
313
(310)
314
(310)
M0_1
PW
601
B'
A'
311
(310)
CMG_1
602
CMG_2
P1
BM0
BMD_0
BM0_3
(VDD)
BMD_1
BVDR
OD_2
BM0_2
BM0_1
(VSS)
Y 軸
X 軸
PW
CPP
310
CMG_1

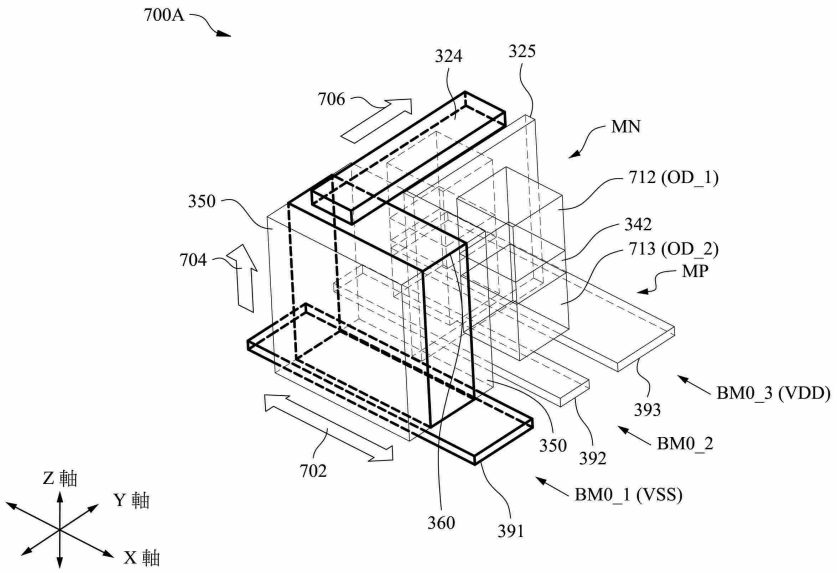
第 6A 圖


600C
A
B
CMG_2
N1
312
(310)
M0
MD_0
MD_1
M0_4
M0_3
1 CH
OD_1
M0_2
313
(310)
314
(310)
M0_1
PW
601
B'
A'
311
(310)
CMG_1
622
CMG_2
P1
BM0
BMD_0(VDD)
BM0_3
(VDD)
BVDR
BMD_1
OD_2
BM0_2
PW
BM0_1
(VSS)
Y 軸
BMD_PV
X 軸
BVD_PV
310
CMG_1

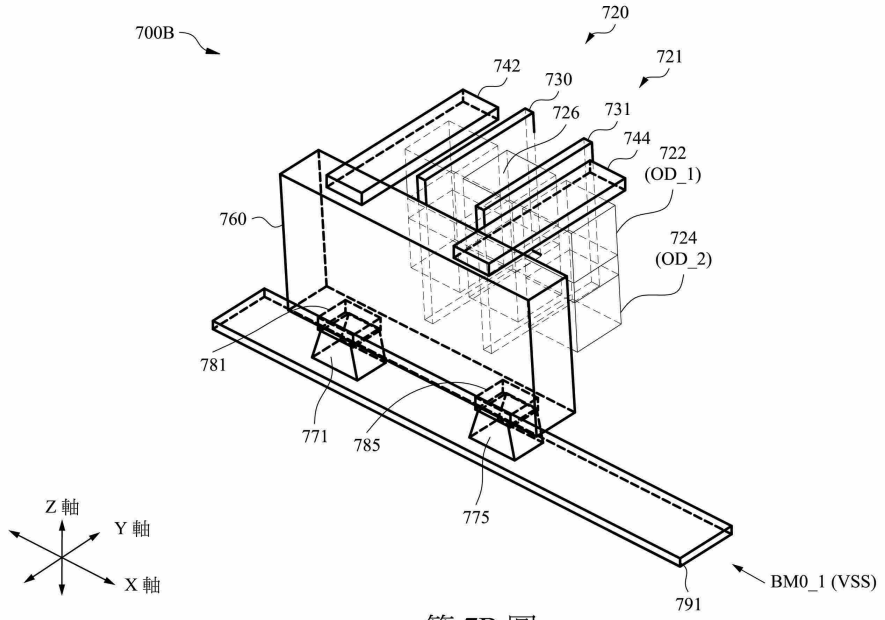
第 6B 圖


600C
A
B
N1
CMG_2
312
(310)
M0
MD_0
MD_1
M0_4
M0_3
1 CH
OD_1
M0_2
313
(310)
314
(310)
M0_1
PW
601
B'
A'
311
(310)
CMG_1
642
P1
BM0
CMG_2
BMD_0(VDD)
BM0_3
(VDD)
BMD_1
BVDR
OD_2
BM0_2
PW
BM0_1
(VSS)
Y 軸
X 軸
BVc_PV
310
CMG_1

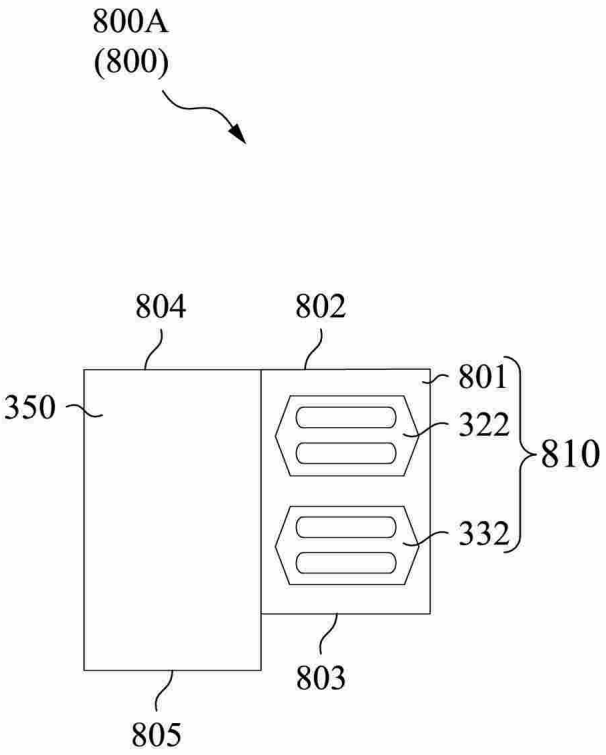
第 6C 圖

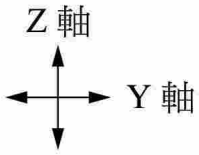

700A
324
325
706
MN
712 (OD_1)
350
342
713 (OD_2)
704
MP
BM0_3 (VDD)
393
350
392
BM0_2
702
BM0_1 (VSS)
360
391
Z 軸
Y 軸
X 軸

第 7A 圖

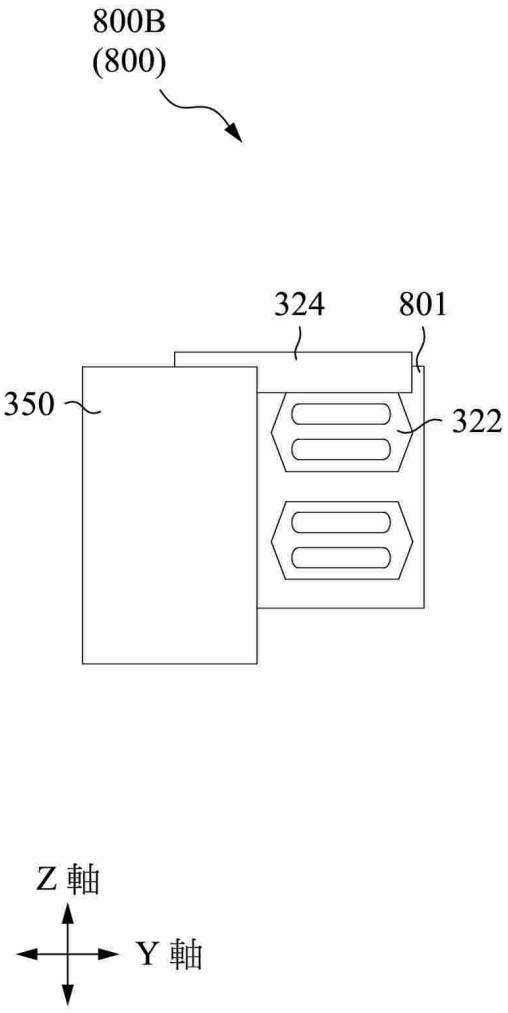

700B
720
721
742
730
726
731
744
722
(OD_1)
760
724
(OD_2)
781
771
785
775
BM0_1 (VSS)
791
Z 軸
Y 軸
X 軸

第 7B 圖

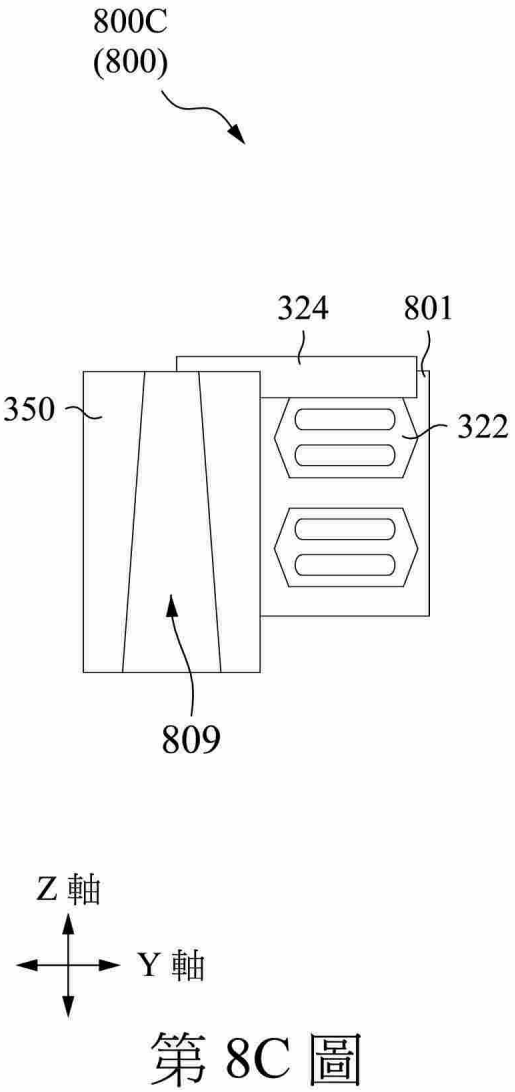




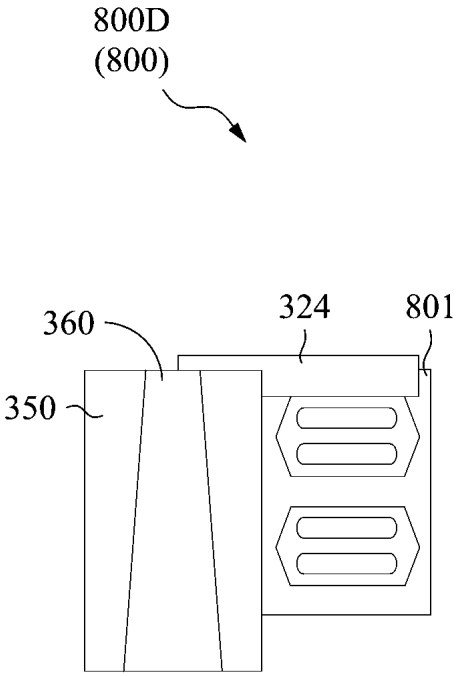
第 8A 圖



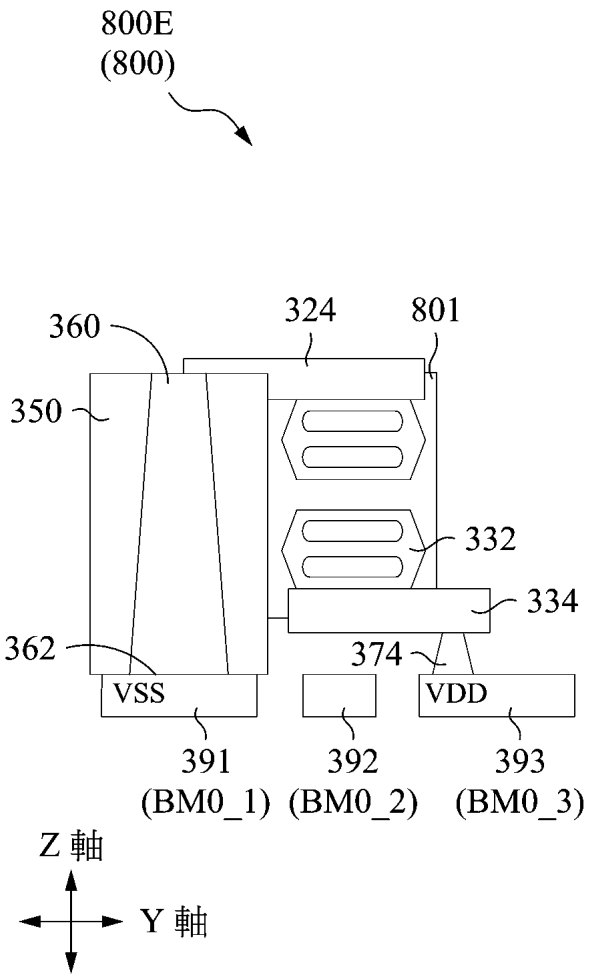
第 8B 圖



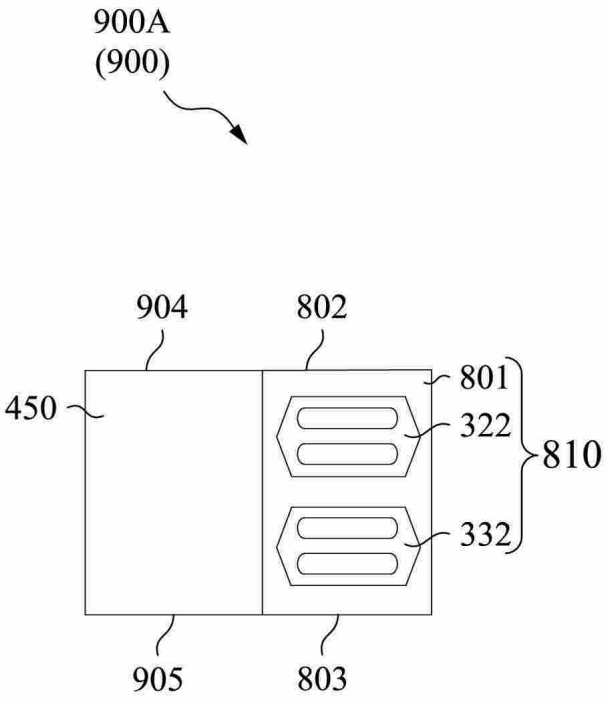
第 8C 圖



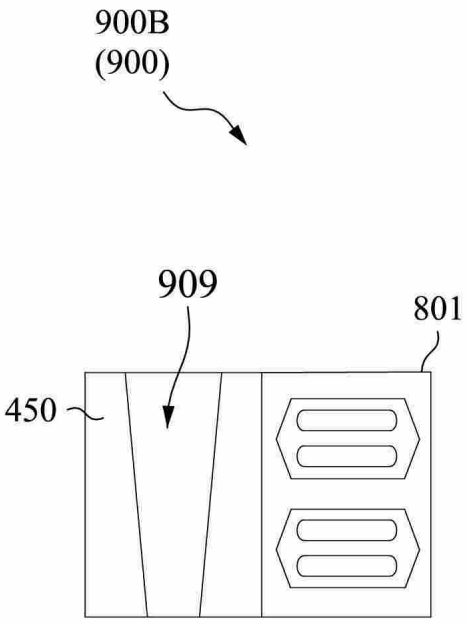
第 8D 圖

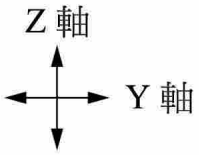

800E
(800)
360
324
801
350
332
334
362
374
VSS
VDD
391
(BM0_1)
392
(BM0_2)
393
(BM0_3)
Z 軸
Y 軸

第 8E 圖

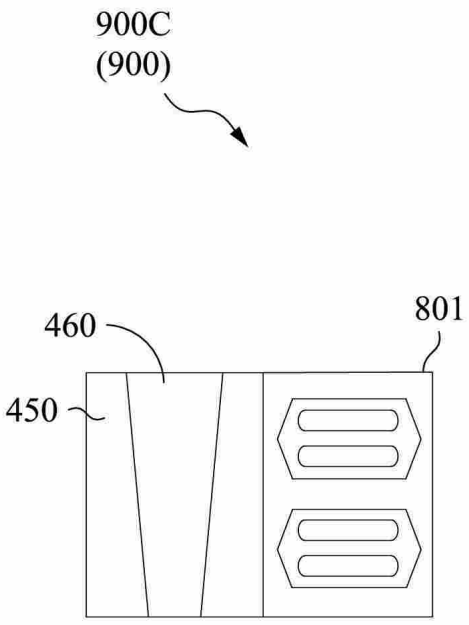


第 9A 圖

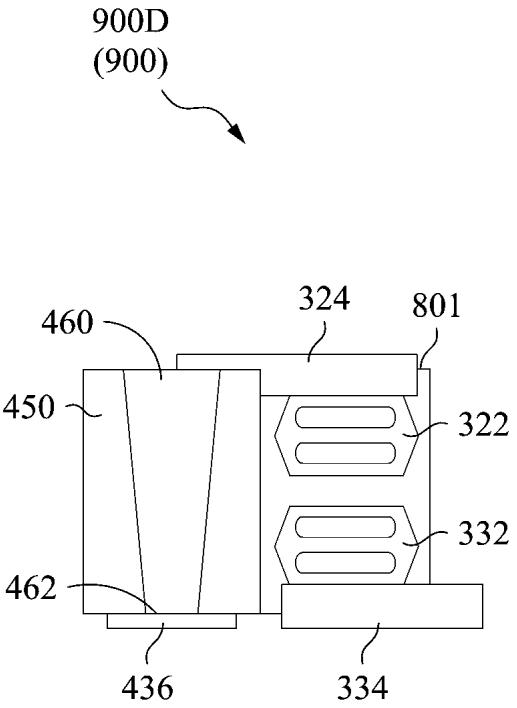




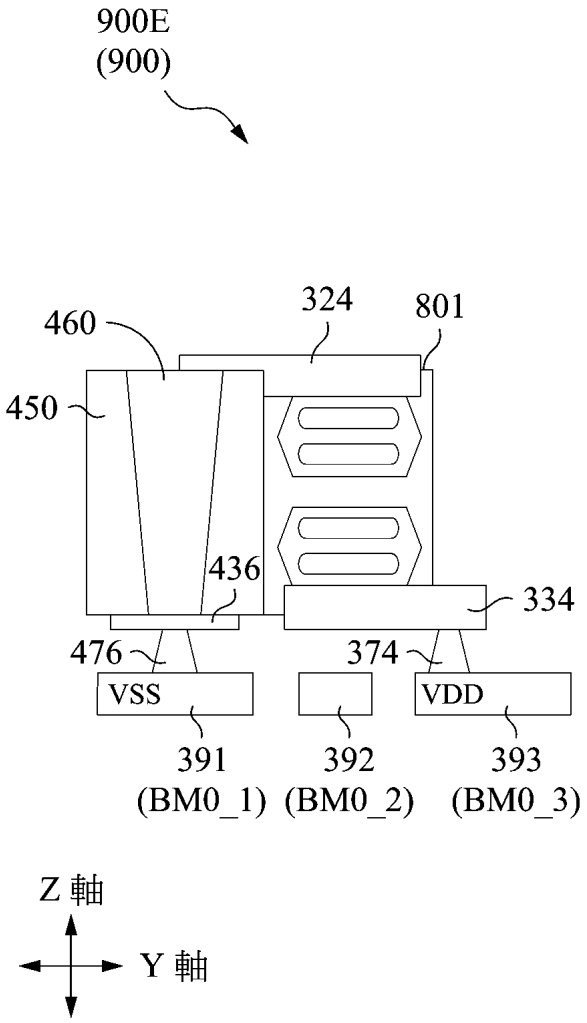
第 9B 圖



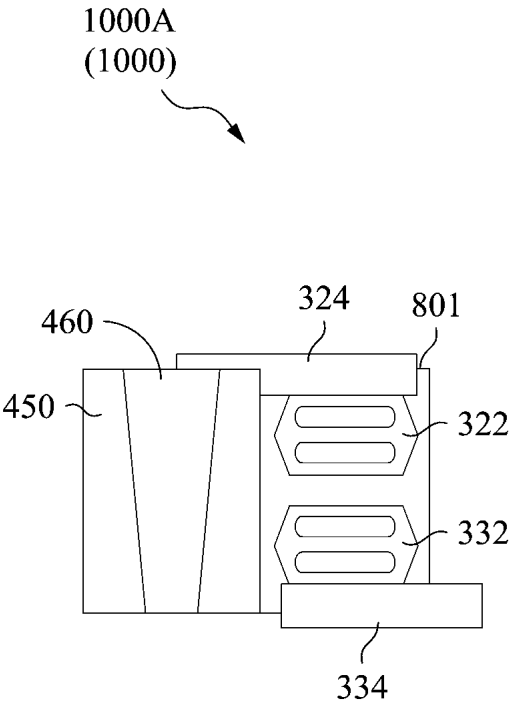
第 9C 圖



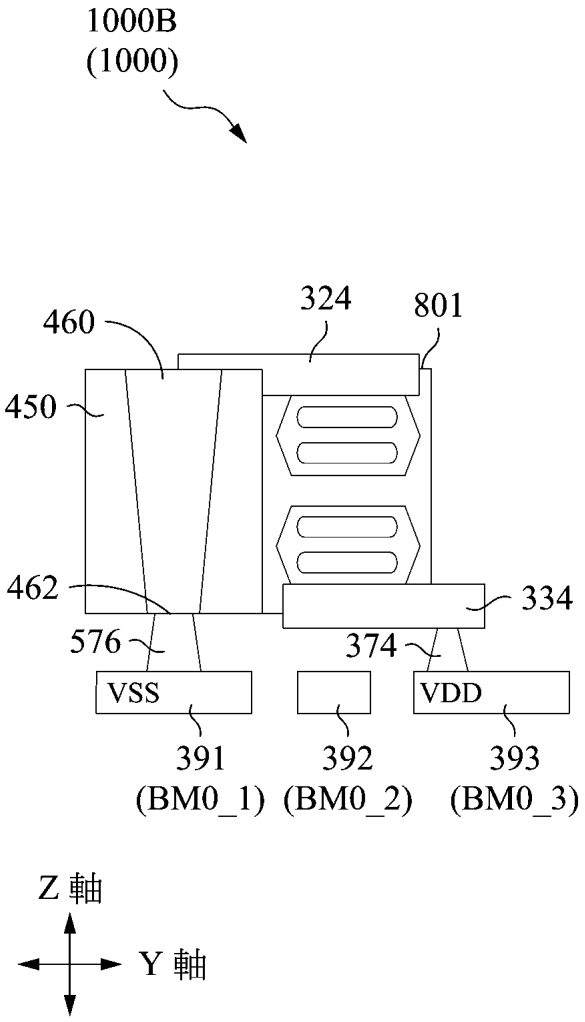
第 9D 圖


900E
(900)
460
324
801
450
436
334
476
374
VSS
VDD
391
(BM0_1)
392
(BM0_2)
393
(BM0_3)
Z 軸
Y 軸

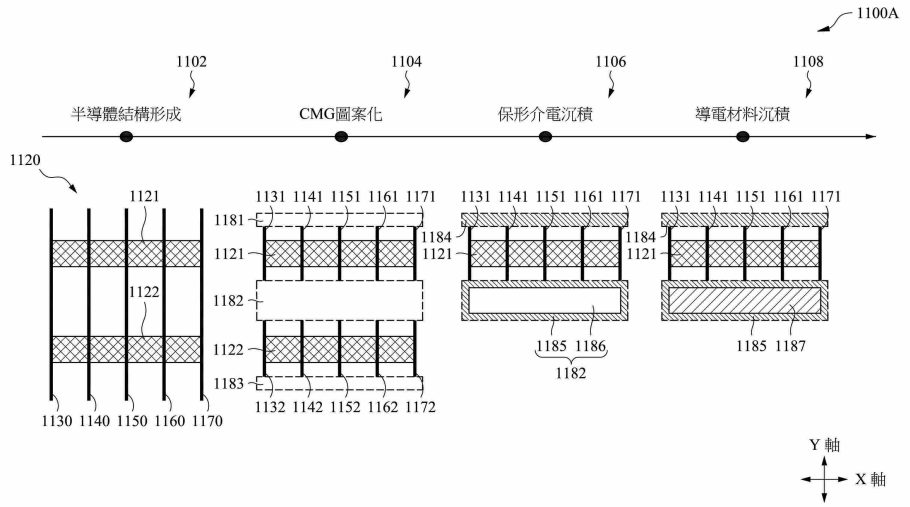
第 9E 圖



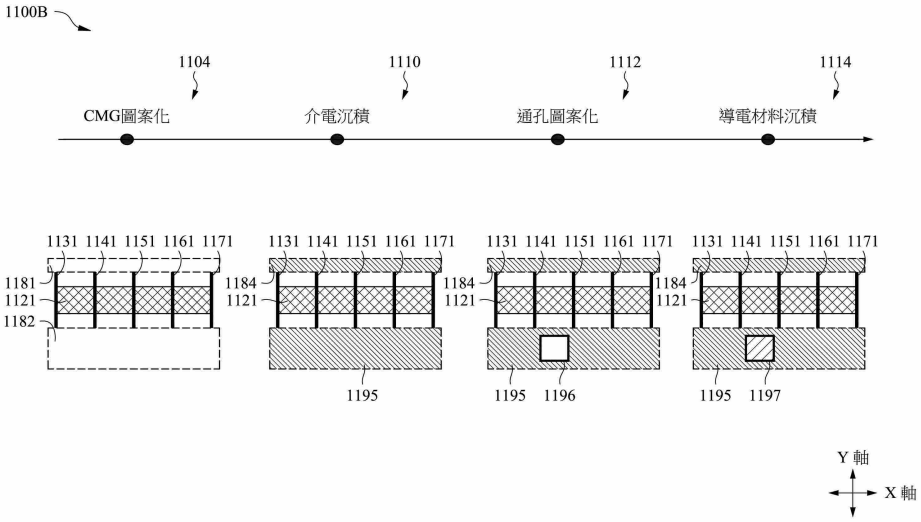
第 10A 圖


1000B
(1000)
460
324
801
450
462
334
576
374
VSS
VDD
391
(BM0_1)
392
(BM0_2)
393
(BM0_3)
Z 軸
Y 軸

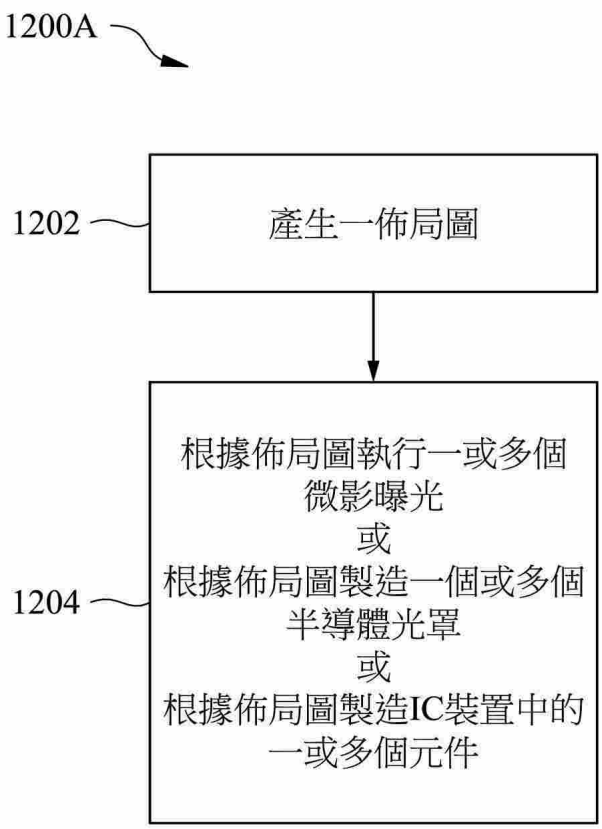
第 10B 圖


1100A
1102
1104
1106
1108
半導體結構形成
CMG圖案化
保形介電沉積
導電材料沉積
1120
1121
1122
1130 1140 1150 1160 1170
1131 1141 1151 1161 1171
1181
1182
1183
1132 1142 1152 1162 1172
1184
1185 1186
1185 1187
Y 軸
X 軸

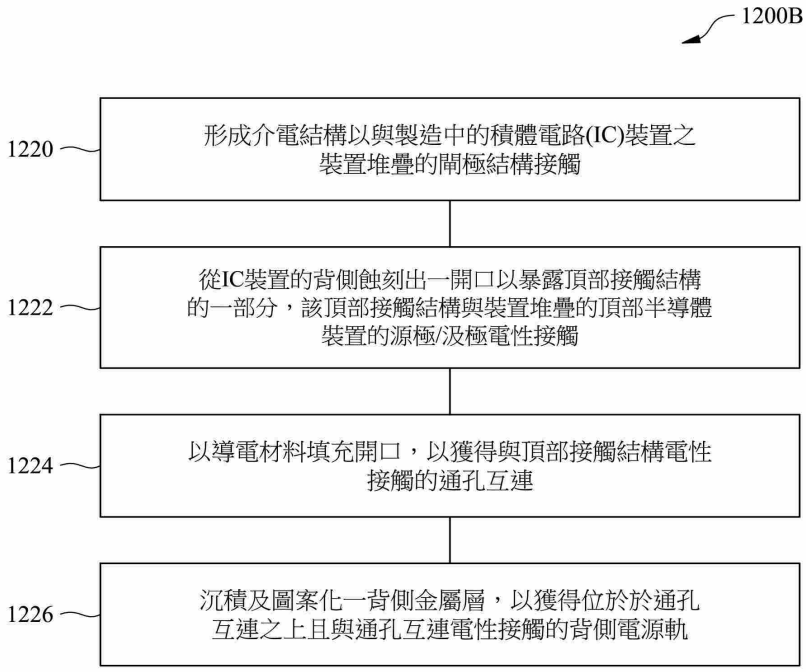
第 11A 圖


1100B
1104
1110
1112
1114
CMG圖案化
介電沉積
通孔圖案化
導電材料沉積
1131 1141 1151 1161 1171
1181
1121
1182
1184
1195
1195 1196
1195 1197
Y 軸
X 軸

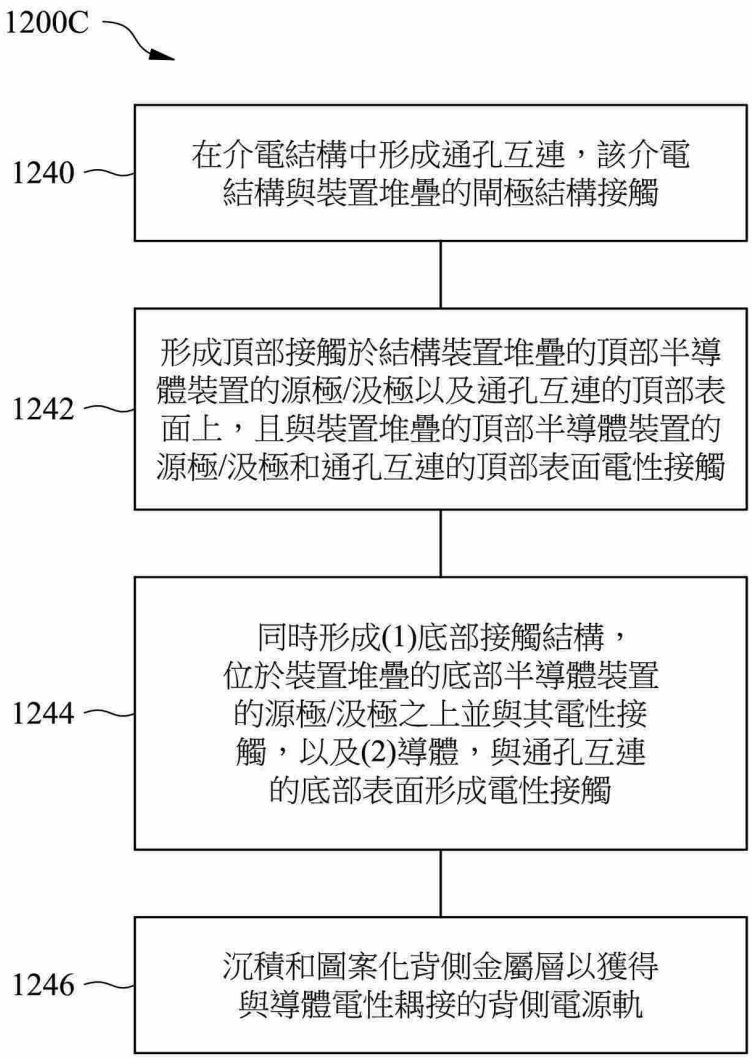
第 11B 圖


1200A
1202
產生一佈局圖
1204
根據佈局圖執行一或多個微影曝光
或
根據佈局圖製造一個或多個半導體光罩
或
根據佈局圖製造IC裝置中的一或多個元件

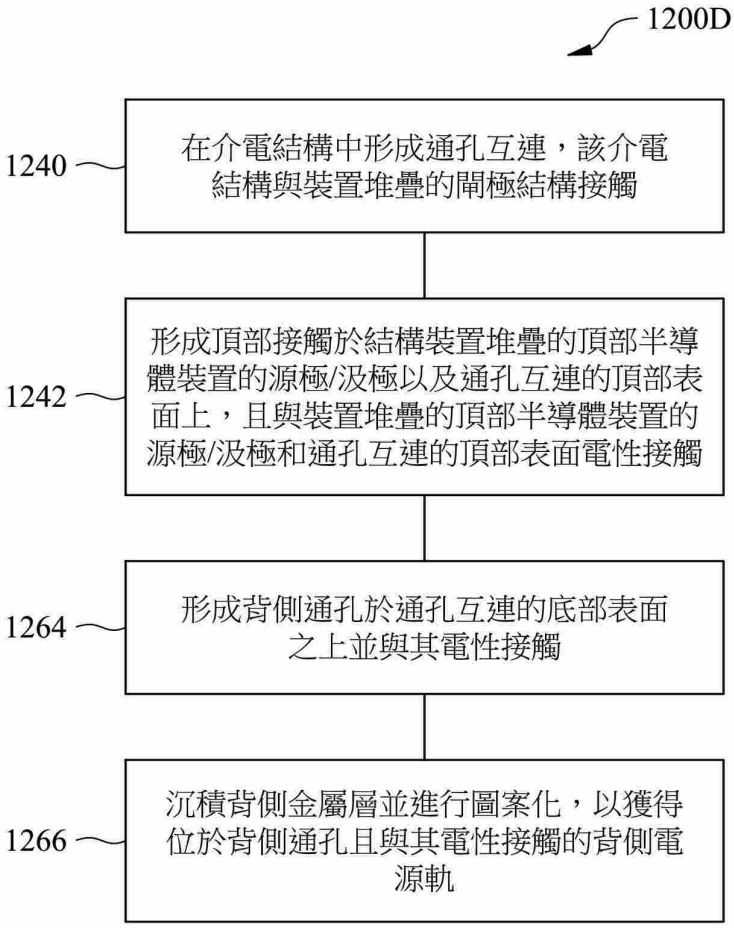
第 12A 圖


1200B
1220
形成介電結構以與製造中的積體電路(IC)裝置之裝置堆疊的閘極結構接觸
1222
從IC裝置的背側蝕刻出一開口以暴露頂部接觸結構的一部分，該頂部接觸結構與裝置堆疊的頂部半導體裝置的源極/汲極電性接觸
1224
以導電材料填充開口，以獲得與頂部接觸結構電性接觸的通孔互連
1226
沉積及圖案化一背側金屬層，以獲得位於於通孔互連之上且與通孔互連電性接觸的背側電源軌

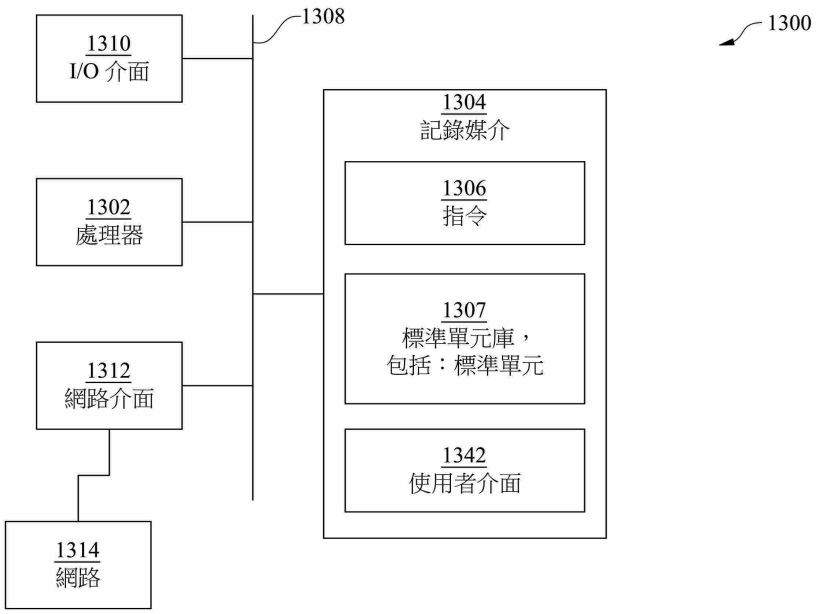
第 12B 圖


1200C
1240
在介電結構中形成通孔互連，該介電結構與裝置堆疊的閘極結構接觸
1242
形成頂部接觸於結構裝置堆疊的頂部半導體裝置的源極/汲極以及通孔互連的頂部表面上，且與裝置堆疊的頂部半導體裝置的源極/汲極和通孔互連的頂部表面電性接觸
1244
同時形成(1)底部接觸結構，位於裝置堆疊的底部半導體裝置的源極/汲極之上並與其電性接觸，以及(2)導體，與通孔互連的底部表面形成電性接觸
1246
沉積和圖案化背側金屬層以獲得與導體電性耦接的背側電源軌

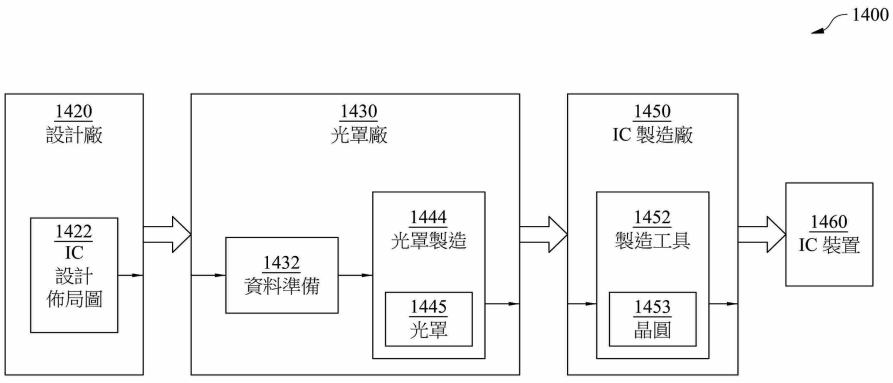
第 12C 圖


1200D
1240
在介電結構中形成通孔互連，該介電結構與裝置堆疊的閘極結構接觸
1242
形成頂部接觸於結構裝置堆疊的頂部半導體裝置的源極/汲極以及通孔互連的頂部表面上，且與裝置堆疊的頂部半導體裝置的源極/汲極和通孔互連的頂部表面電性接觸
1264
形成背側通孔於通孔互連的底部表面之上並與其電性接觸
1266
沉積背側金屬層並進行圖案化，以獲得位於背側通孔且與其電性接觸的背側電源軌

第 12D 圖


1308
1300
1310
I/O 介面
1304
記錄媒介
1306
指令
1302
處理器
1307
標準單元庫，
包括：標準單元
1312
網路介面
1342
使用者介面
1314
網路

第 13 圖


1400
1420
設計廠
1422
IC
設計
佈局圖
1430
光罩廠
1432
資料準備
1444
光罩製造
1445
光罩
1450
IC 製造廠
1452
製造工具
1453
晶圓
1460
IC 裝置

第 14 圖