【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940422
【45】公告日： 中華民國 115 (2026) 年 09 月 21 日
【51】Int. Cl.：　*H10P14/22　(2026.01)*　*H10W74/10　(2026.01)*
H10W72/20　(2026.01)

發明　　全 12 頁

【54】名　稱：半導體裝置及其製造方法

【21】申請案號：114149112　【22】申請日： 中華民國 112 (2023) 年 08 月 22 日
【11】公開編號：202618893　【43】公開日期： 中華民國 115 (2026) 年 05 月 01 日
【30】優 先 權： 2022/09/21　中國大陸　CN202211152930X

【72】發 明 人： 池翊粹 (KR) JI, IKSOO；韓秀娟 (KR) HAN, SOOYEON
【71】申 請 人： 新加坡商星科金朋私人有限公司 STATS CHIPPAC PTE. LTD.
新加坡
【74】代 理 人： 呂紹凡；洪珮瑜

【56】參考文獻：

TW	200529458A	TW	202226510A
US	2007/0004175A1	US	2019/0333905A1
US	2020/0303329A1	US	2021/0225806A1

審查人員：葉昌倫

【57】申請專利範圍

1. 一種用於將半導體基底分離為單獨的半導體裝置的方法，所述方法包括：
提供具有一正面和一背面的一半導體基底，其中所述半導體基底包括多個裝置區，所述多個裝置區通過分別的一預定切割道互相分開；
在所述半導體基底的所述正面形成一有源層；
在所述預定切割道處蝕刻所述有源層以形成分別的有源窗口，所述有源窗口暴露所述半導體基底的所述正面，其中一波導形成在分別的裝置區的所述有源層中並且與對應的所述有源窗口相鄰，以從側面暴露所述波導；
在所述半導體基底的所述正面上形成一互連層；
在所述預定切割道處蝕刻所述半導體基底的所述正面以形成分別的一正面開口，所述正面開口具有一第一深度，其中所述第一深度比所述半導體基底的厚度小；
將一半導體元件附接到每個裝置區中的所述半導體基底的所述正面上；以及
在所述預定切割道處蝕刻所述半導體基底的所述背面以形成分別的背面開口，所述背面開口具有第二深度，其中所述正面開口至少部分地與同一個切割道處的所述背面開口對齊以將所述半導體基底的多個裝置區分離為單獨的半導體裝置。
2. 根據請求項 1 所述的方法，其中，在形成所述互連層後，所述方法還包括：
在每個裝置區形成一第一組導電柱，所述第一組導電柱與所述裝置區的所述互連層電連接，其中所述第一組導電柱的高度大於所述半導體元件的高度。
3. 根據請求項 1 所述的方法，其中，所述半導體基底包括從所述正面暴露的一有源層和進一步低於所述有源層的一主體層，以及其中蝕刻所述半導體基底的所述正面包括：
在所述預定切割道處圖形化所述半導體基底的所述有源層以形成暴露所述主體層的分別的有源窗口；以及
使用深反應離子蝕刻工藝在所述有源窗口處蝕刻所述半導體基底的所述正面。
4. 根據請求項 1 所述的方法，其中，每個正面開口的寬度小於相應的預定切割道的寬度。

5. 根據請求項 4 所述的方法，其中，所述正面開口的寬度為所述預定切割道的寬度的 20% ~90%。
6. 根據請求項 4 所述的方法，其中，每個正面開口相對於相應的預定切割道具有偏移。
7. 根據請求項 1 或 6 所述的方法，其中，每個背面開口的寬度與相應的預定切割道的寬度基本上相等。
8. 根據請求項 1 所述的方法，其中，每個正面開口的第一寬度小於相應的預定切割道的寬度，每個背面開口的第二寬度小於相應的預定切割道的寬度，以及其中每個正面開口相對於同一個切割道處的背面開口具有偏移以在所述切割道處的相應半導體裝置的邊緣處形成臺階。
9. 根據請求項 8 所述的方法，其中，蝕刻所述半導體基底的所述正面包括：
使用深反應離子蝕刻工藝蝕刻所述半導體基底的所述正面；以及
使用深反應離子蝕刻工藝蝕刻所述半導體基底的所述背面。
10. 一種用於製造半導體裝置的方法，所述方法包括：
提供具有一正面和一背面的一半導體基底，其中所述半導體基底包括多個裝置區，所述多個裝置區通過分別的一預定切割道互相分開；
在所述半導體基底的所述正面形成一有源層；以及
在所述預定切割道處蝕刻所述有源層以形成分別的有源窗口，所述有源窗口暴露所述半導體基底的所述正面，其中一波導形成在分別的裝置區的所述有源層中並且與對應的所述有源窗口相鄰，以從側面暴露所述波導；
在所述半導體基底的所述正面上形成一互連層；
在所述預定切割道處蝕刻所述半導體基底的所述正面以形成分別的正面開口，所述正面開口具有一第一深度和一第一寬度，其中所述第一深度比所述半導體基底的厚度小，以及所述第一寬度小於相應的所述預定切割道的寬度；
將一半導體元件附接到每個裝置區中的所述半導體基底的所述正面上；
在所述預定切割道處蝕刻所述半導體基底的所述背面以形成分別的背面開口，所述背面開口具有一第二深度和一第二寬度，其中所述正面開口至少部分地與同一個切割道處的所述背面開口對齊以將所述半導體基底的多個裝置區分離為單獨的半導體裝置，且在所述切割道處在相應半導體裝置的邊緣處形成一臺階；
經由第一組導電柱將所述單獨的半導體裝置附接到一外部基底上；以及
將一輔助結構附接到每個半導體裝置的所述臺階上。
11. 根據請求項 10 所述的方法，其中，在形成所述互連層後，所述方法還包括：
在每個裝置區形成所述第一組導電柱，所述第一組導電柱與所述裝置區的所述互連層電連接，其中所述第一組導電柱的高度大於所述半導體元件的高度。
12. 根據請求項 10 所述的方法，其中，所述半導體基底包括從所述正面暴露的一有源層和進一步低於所述有源層的一主體層，以及其中蝕刻所述半導體基底的所述正面包括：
在所述預定切割道處圖形化所述半導體基底的所述有源層以形成暴露所述主體層的分別的一有源窗口；以及
使用深反應離子蝕刻工藝在所述有源窗口處蝕刻所述半導體基底的所述正面。

圖式簡單說明

本文引用的圖式構成說明書的一部分。圖式中所示的特徵僅圖示了本申請的一些實施例，而不是本申請的所有實施例，除非詳細描述另有明確說明，並且說明書的讀者不應做出相反的暗示。

圖 1A 和 1B 是半導體裝置的示意圖；

圖 2 是示出了根據本申請的實施例的半導體裝置的截面圖；

圖 3 是示出了根據本申請的另一實施例的半導體裝置的截面圖；

圖 4 是示出了根據本申請的又一實施例的具有輔助結構的半導體裝置的截面圖；

圖 5 是根據本申請的實施例示出了製造半導體裝置的方法的流程圖；

圖 6A 至 6I 是根據本申請的實施例示出了製造半導體裝置的方法的各個步驟的截面圖；

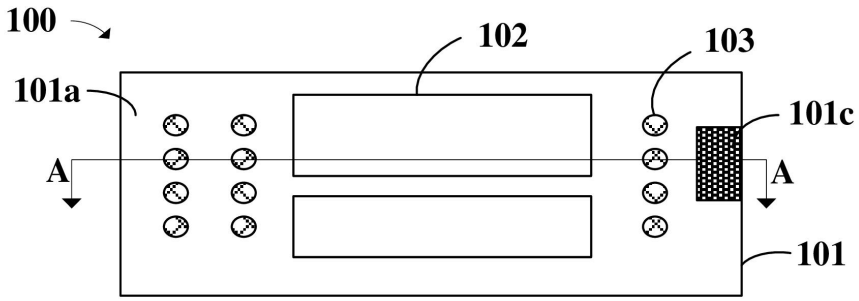
圖 7A 至 7G 是根據本申請又一實施例示出了製造半導體裝置的方法的各個步驟的截面圖；

圖 8A 和 8B 是使用圖 7A 至 7G 中的方法製造的另一示例性半導體裝置的截面圖；

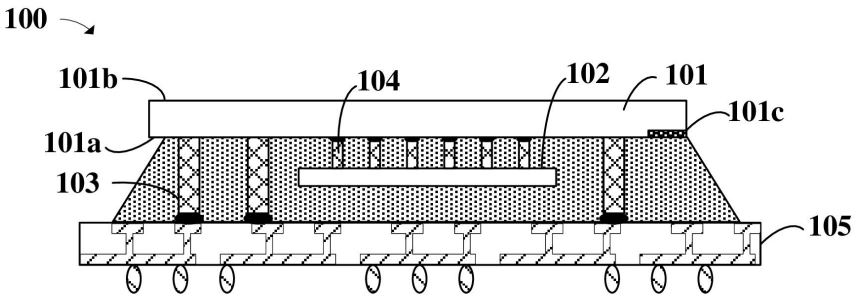
圖 9A 和 9B 是使用圖 7A 至 7G 中的方法製造的又一示例性半導體裝置的截面圖；

圖 10A 至 10F 是根據本申請又一實施例示出了製造半導體裝置的方法的各個步驟的截面圖。

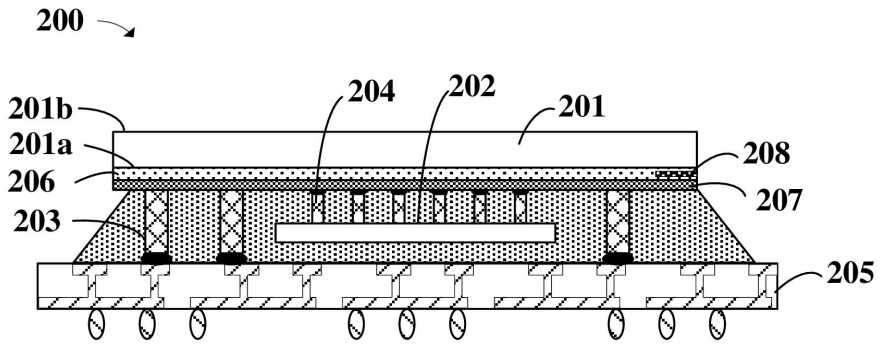
在整個圖式中將使用相同的圖式標記來表示相同或相似的部分。



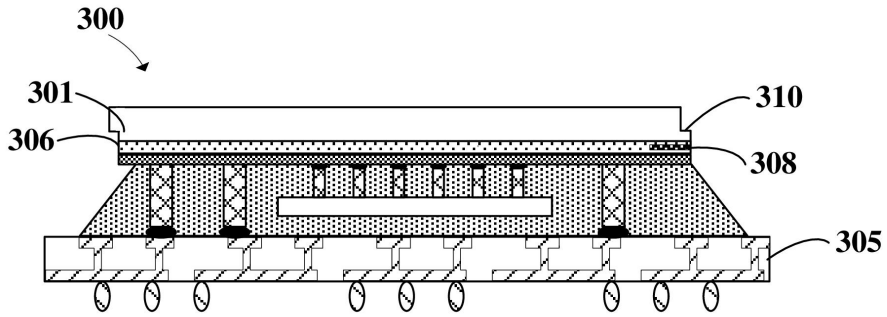
【圖 1A】



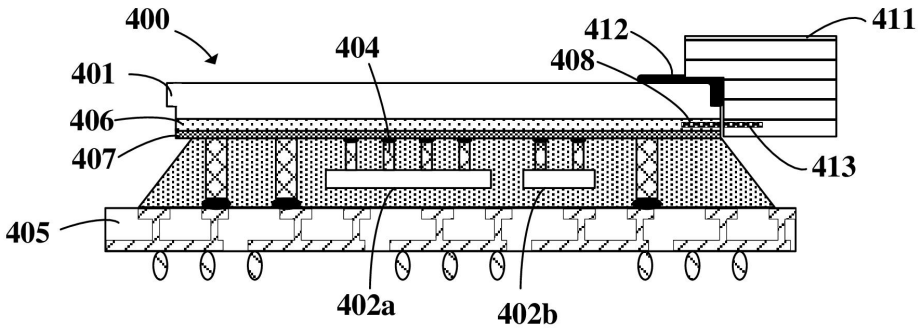
【圖 1B】


200
201b
201a
206
203
204
202
201
208
207
205

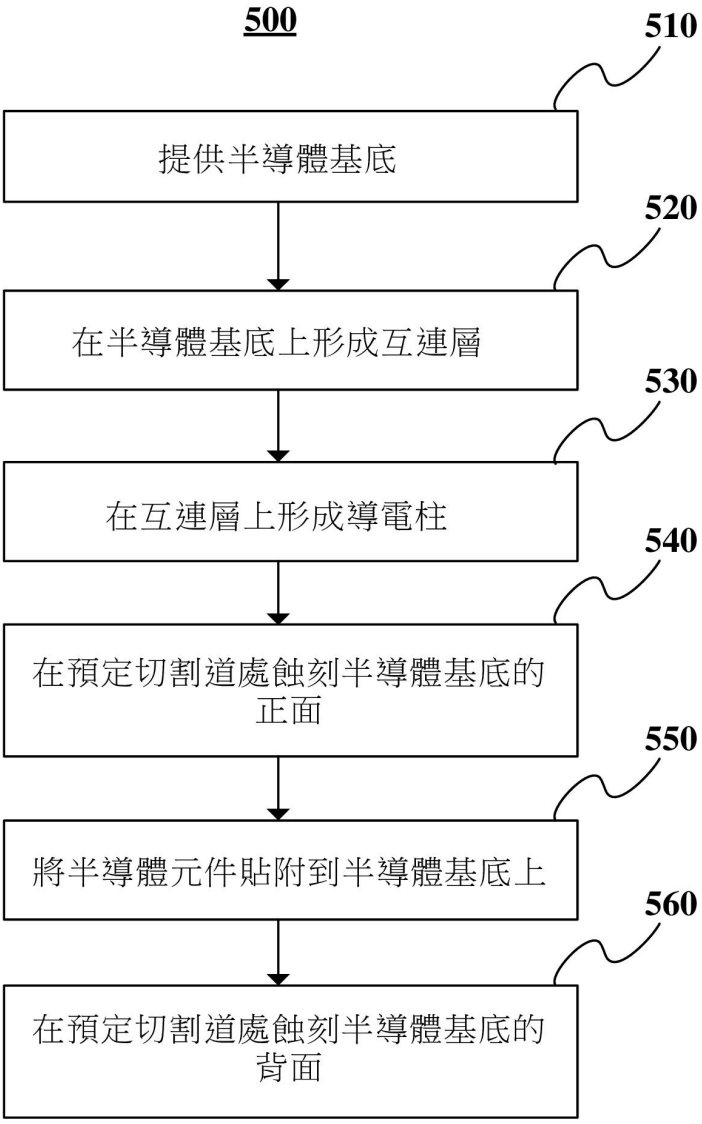
【圖 2】


300
301
306
310
308
305

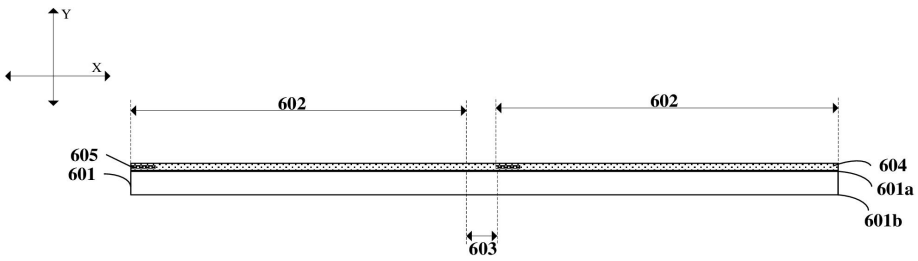
【圖 3】


400
401
406
407
405
404
412
408
411
413
402a
402b

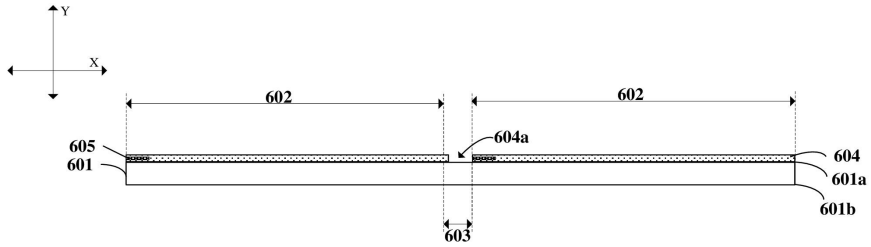
【圖 4】


500
510
提供半導體基底
520
在半導體基底上形成互連層
530
在互連層上形成導電柱
540
在預定切割道處蝕刻半導體基底的正面
550
將半導體元件貼附到半導體基底上
560
在預定切割道處蝕刻半導體基底的背面

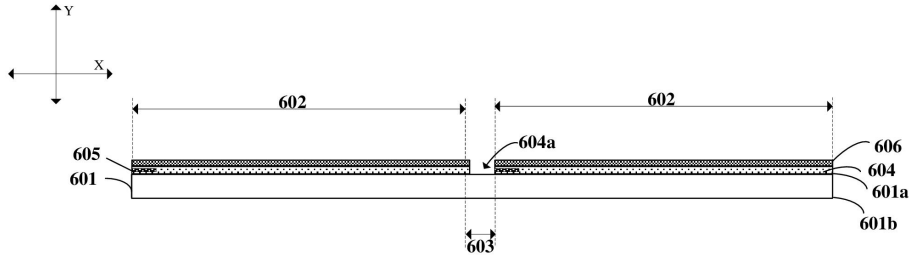
【圖 5】


Y
X
602
602
605
601
604
601a
601b
603

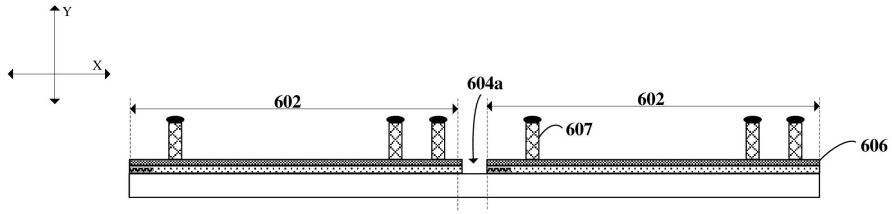
【圖 6A】



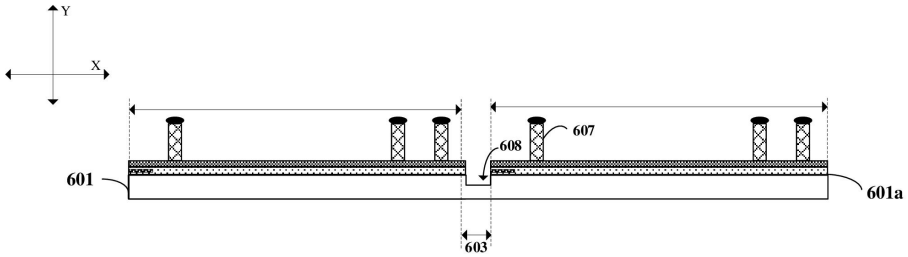
【圖 6B】



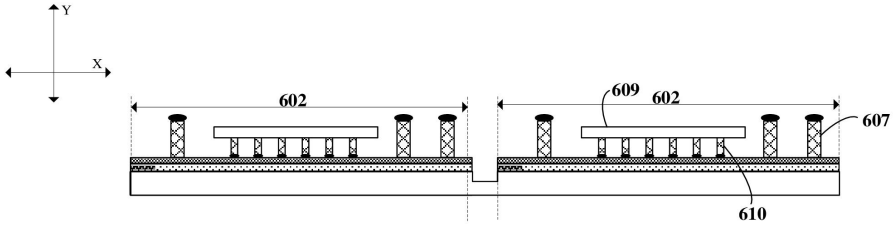
【圖 6C】



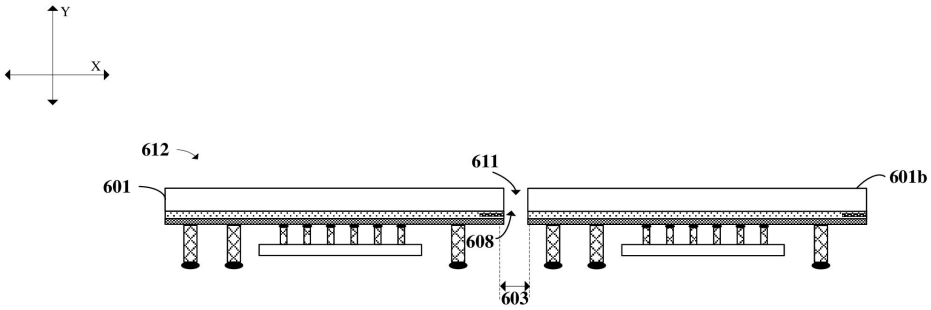
【圖 6D】



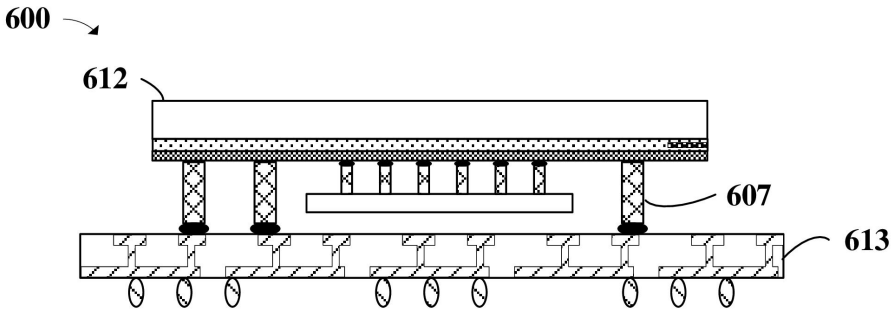
【圖 6E】



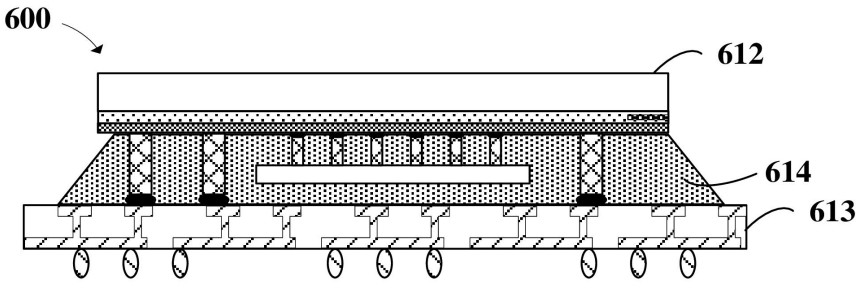
【圖 6F】



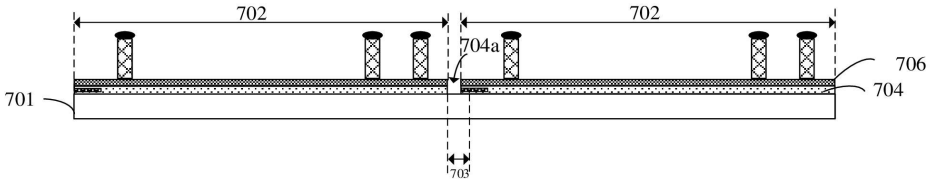
【圖 6G】



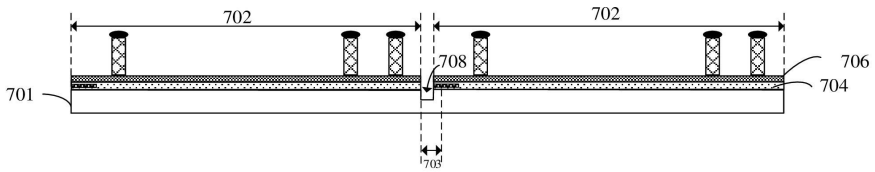
【圖 6H】



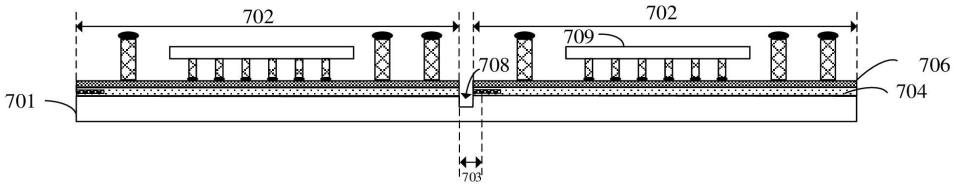
【圖 6I】



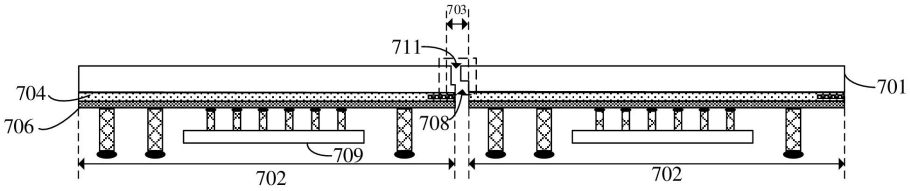
【圖 7A】



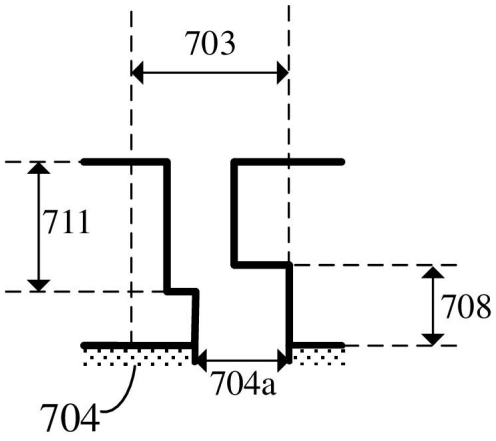
【圖 7B】



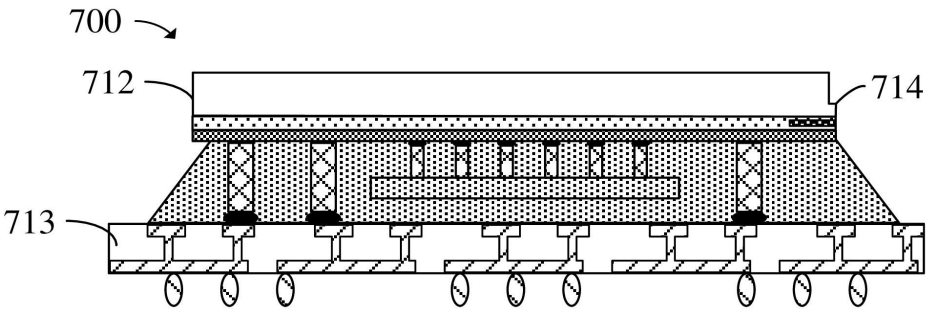
【圖 7C】



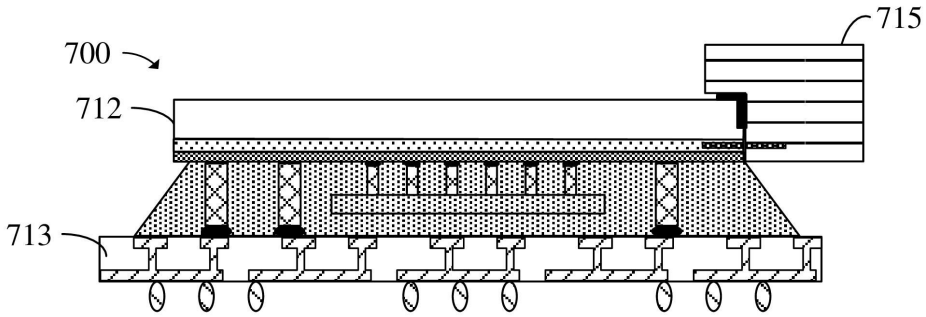
【圖 7D】



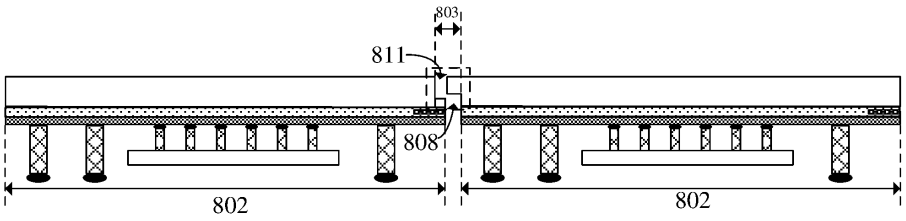
【圖 7E】



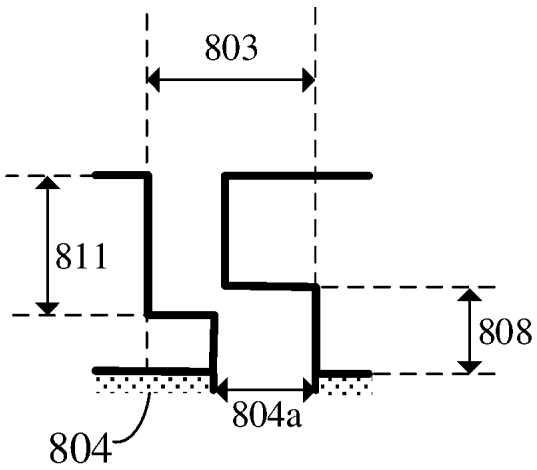
【圖 7F】



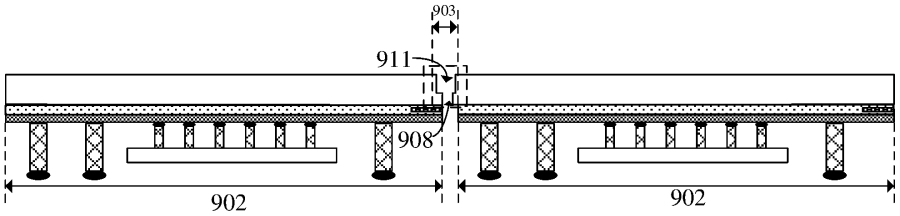
【圖 7G】



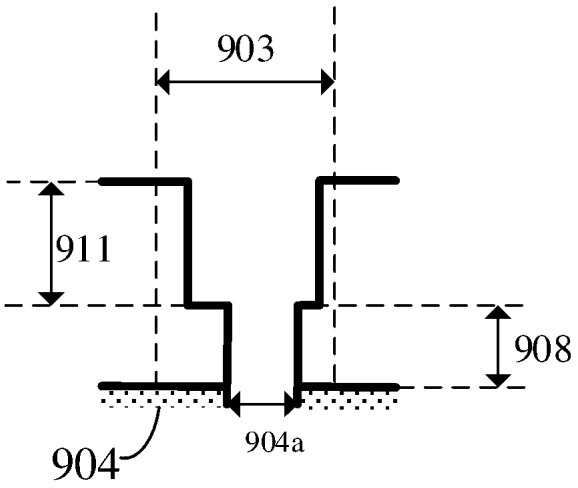
【圖 8A】



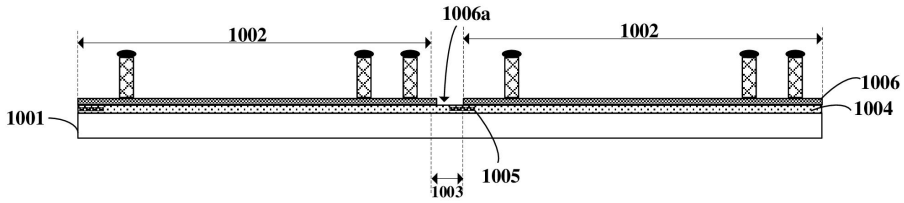
【圖 8B】



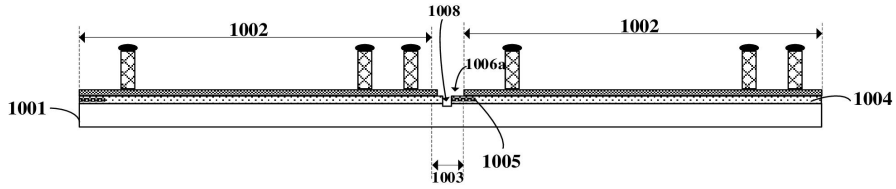
【圖 9A】



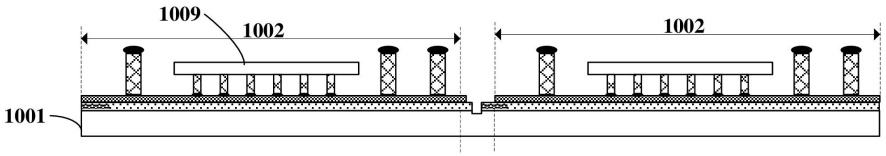
【圖 9B】



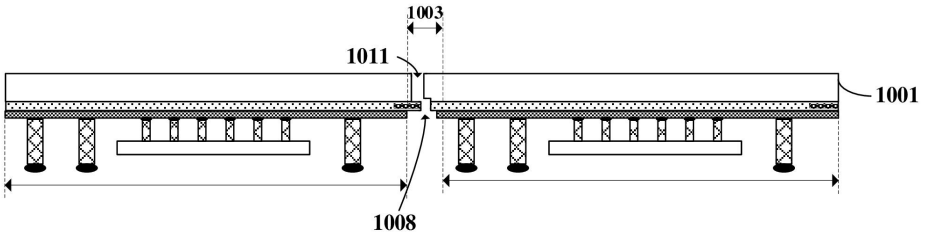
【圖 10A】



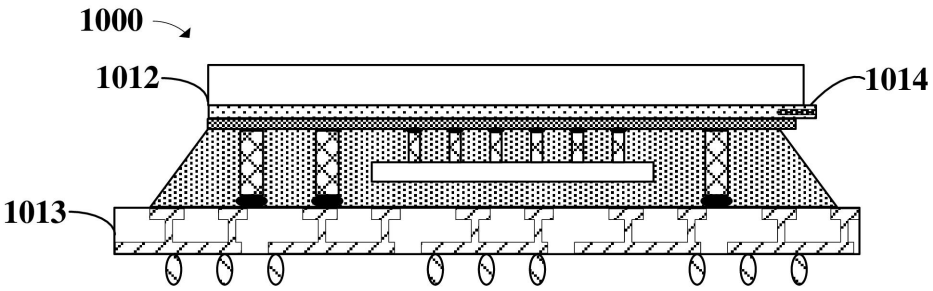
【圖 10B】



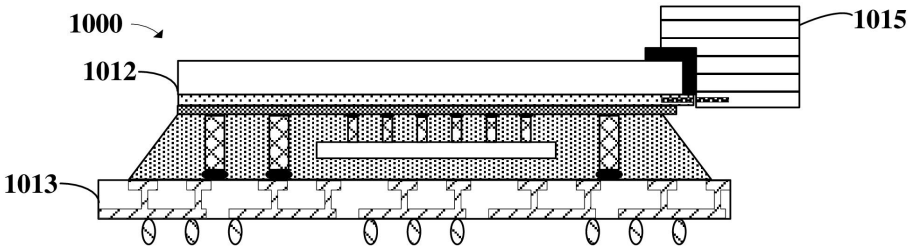
【圖 10C】



【圖 10D】



【圖 10E】



【圖 10F】