【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940535
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*C23C28/00　(2006.01)*

發明　　全 7 頁

【54】名　稱：將青銅合金沈積在印刷電路板上之製程及使用此製程獲得之印刷電路板
【21】申請案號：110146682　　【22】申請日： 中華民國 110 (2021) 年 12 月 14 日
【11】公開編號：202231924　　【43】公開日期： 中華民國 111 (2022) 年 08 月 16 日
【30】優 先 權： 2020/12/18　法國　2013714
【72】發 明 人： 山上　傑若米 (FR) SANSON, JEROME；柯奎拉德　史黛芬妮 (FR) COQUILLARD, STEPHANIE
【71】申 請 人： 法商琳森斯控股公司　LINXENS HOLDING
法國
【74】代 理 人： 陳長文
【56】參考文獻：

TW	201807250A	CN	108138346A
US	2013/0236742A1	US	2019/0255563A1

審查人員：吳國宇

【57】申請專利範圍

1. 一種用於將青銅合金沈積在一印刷電路板(5)上之製程，其包括：
提供一介電基板(4)，該介電基板(4)包括一第一主面及一第二主面，至少在該第一主面上存在一第一導電材料之至少一個第一薄片(10)，
將至少一種第二導電材料之至少一個層(12)電沈積在該第一薄片(10)之至少一個區域上之至少一個操作，
其特徵在於電沈積至少一種第二導電材料之至少一個層(12)之該至少一個操作包括電沈積青銅層之一操作，該青銅層在沈積之後包括 45 重量%至 65 重量%之銅、30 重量%至 45 重量%之錫及 2 重量%至 11 重量%之鋅。
2. 如請求項 1 之製程，其包括其中在該青銅層(12)之該沈積之後實行一表面處理之一精整操作。
3. 如請求項 2 之製程，其中該精整操作包括施覆包括一有機可焊性防腐劑之一保護層(20)。
4. 如請求項 2 之製程，其中該精整操作包括施覆包括一自組裝單層之一保護層(20)。
5. 如請求項 2 至 4 中任一項之製程，其中直接在該青銅層(12)之至少一個片段上實行該表面處理。
6. 如請求項 1 及 2 中任一項之製程，其中電沈積至少一種第二導電材料之至少一個層之該至少一個操作亦包括電沈積包括選自由金、銀、鈀、釕、銠組成之清單之至少一種元素的一表面層(19)。
7. 如請求項 2 至 4 中任一項之各自與請求項 6 組合之製程，其中直接在該表面層(19)之至少一個片段上實行該表面處理。
8. 如請求項 6 之製程，其中電沈積至少一種第二導電材料之至少一個層之該至少一個操作亦包括以厚度小於 15 奈米之一薄層(18)之形式電沈積選自由金、銀、鈀組成之清單之至少一種元素。

9. 如請求項 1 至 4 中任一項之製程，其中電沈積至少一種第二導電材料之至少一個層之該至少一個操作包括在該青銅層(12)之該沈積之前，電沈積鎳層(16)及鎳-磷層(17)之一操作。

10. 一種使用如請求項 1 至 9 中任一項之製程獲得之印刷電路板(5)，其包括經組態以形成至少一個晶片卡模組(2)之接觸件之接觸墊(7)，此印刷電路板(5)在該介電基板(4)之該等主面之一者上包括一第一導電材料之該第一薄片(10)，該第一薄片(10)之表面之至少一個部分覆蓋有包括至少以下之層之一堆疊：鎳層(16)、鎳-磷層(17)、該青銅層(12)。

11. 如請求項 10 之印刷電路板(5)，其包括連接井(14)，包括至少以下之層之一堆疊放置於該等連接井(14)之底部處：鎳層(16)、鎳-磷層(17)及包括以下元素之至少一者之一表面層(19)：金、銀、銠、釕及鈀。

12. 如請求項 11 之印刷電路板，其進一步包括在該青銅層(12)及該層(19)底下之具有小於或等於 15 奈米之一厚度的金、銀或鈀之一薄層(18)。

13. 如請求項 10 至 12 中任一項之印刷電路板(5)，其在該介電基板之該等主面之另一者上包括一第一導電材料之一第二薄片(11)，該第二薄片(11)之表面之至少一個部分覆蓋有包括至少以下之層之一堆疊：鎳層(16)、鎳-磷層(17)及包括以下元素之至少一者之一表面層(19)：金、銀、銠、釕及鈀。

14. 如請求項 10 至 12 中任一項之印刷電路板(5)，其中該青銅層具有大於或等於 150 奈米且小於或等於 600 奈米之一厚度。

圖式簡單說明

在閱讀詳細描述時且自隨附圖式將明白本發明之其他特徵及優點，其中：

圖 1 以透視圖示意性地展示根據本發明之包括一模組之一個實例之一晶片卡；

圖 2 示意性地展示從上方所見之根據本發明之包括複數個晶片卡模組連接器的一印刷電路板之一個實例之一片段；

圖 3 以橫截面部分地且示意性地展示用於諸如圖 1 中展示之模組之一晶片卡模組之一連接器的一單面印刷電路板之一個實例；

圖 4 以橫截面部分地且示意性地展示用於諸如圖 1 中展示之模組之一晶片卡模組之一連接器的一雙面印刷電路板之一個實例；

圖 5 以橫截面部分地且示意性地展示諸如圖 4 中之雙面印刷電路板之已在其上電沈積複數個層的一雙面印刷電路板之一個實例；及其單面變體，忽略定位於點劃線下方之薄片及層；

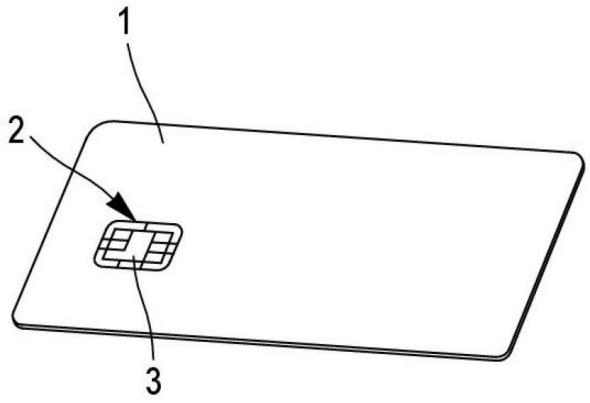
圖 6 以橫截面部分地且示意性地展示諸如圖 4 中之雙面印刷電路板之一雙面印刷電路板之另一實例，已在該電路板上電沈積複數個層；及其單面變體，忽略定位於點劃線下方之薄片及層；

圖 7 以橫截面部分地且示意性地展示諸如圖 4 中之雙面印刷電路板之一雙面印刷電路板之另一實例，已在該電路板上電沈積複數個層；及其單面變體，忽略定位於點劃線下方之薄片及層；

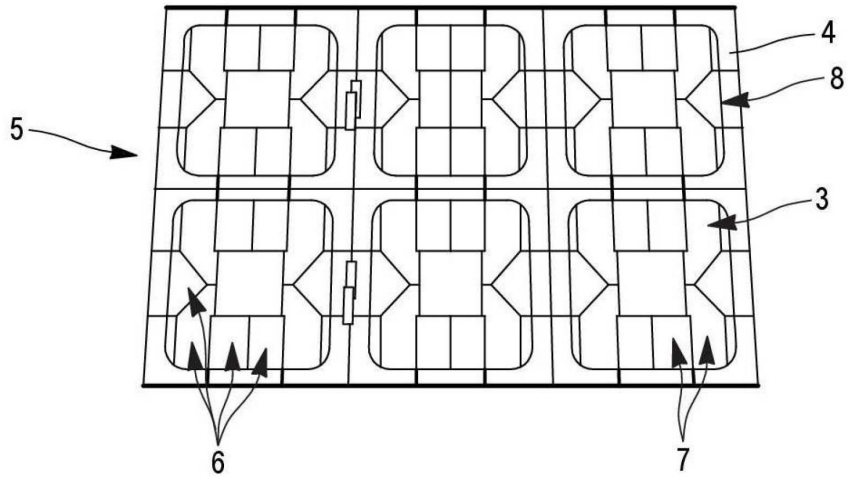
圖 8 以橫截面部分地且示意性地展示諸如圖 4 中之雙面印刷電路板之一雙面印刷電路板之另一實例，已在該電路板上電沈積複數個層；及其單面變體，忽略定位於點劃線下方之薄片及層；

圖 9 以橫截面部分地且示意性地展示諸如圖 3 中之單面印刷電路板之一單面印刷電路板之一個實例，已在該電路板上電沈積複數個層；及

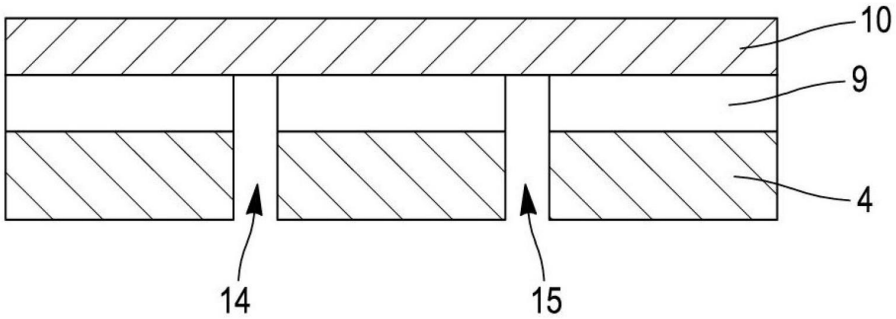
圖 10 以橫截面部分地且示意性地展示諸如圖 3 中之單面印刷電路板之一單面印刷電路板之另一實例，已在該電路板上電沈積複數個層。



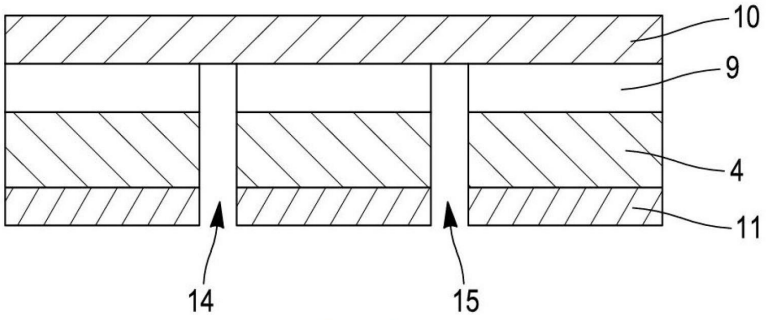
【圖1】



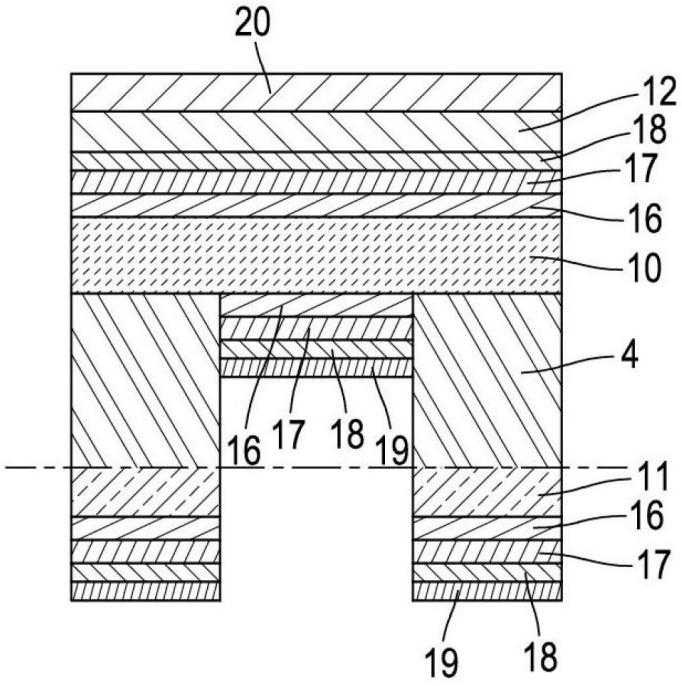
【圖2】



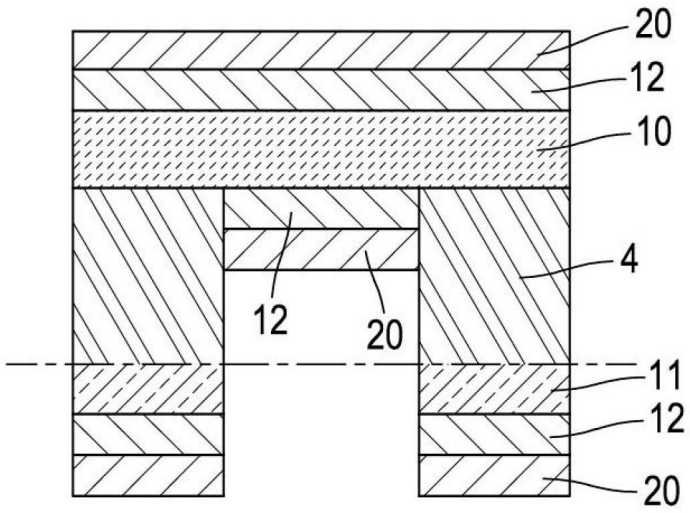
【圖3】



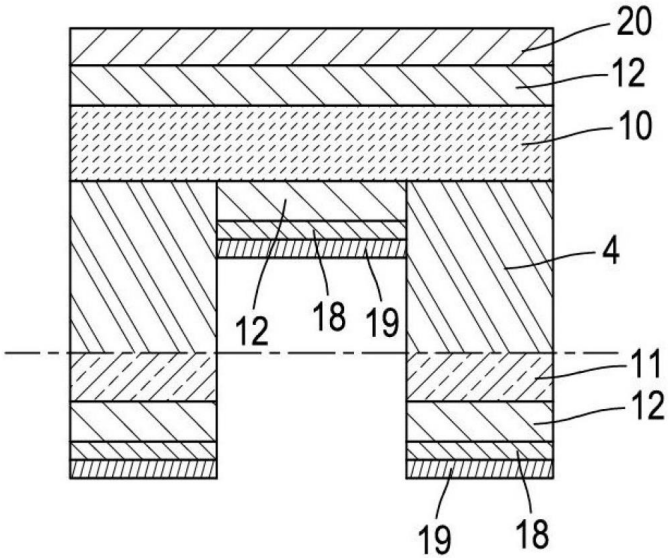
【圖4】



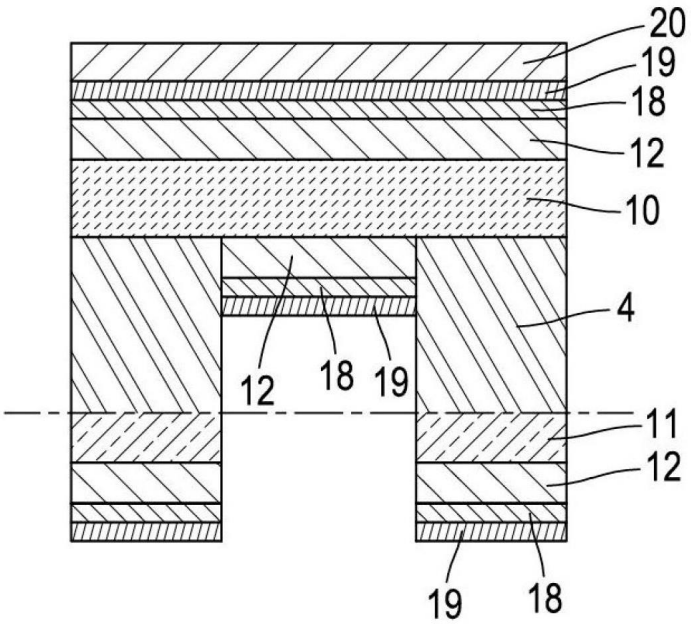
【圖5】



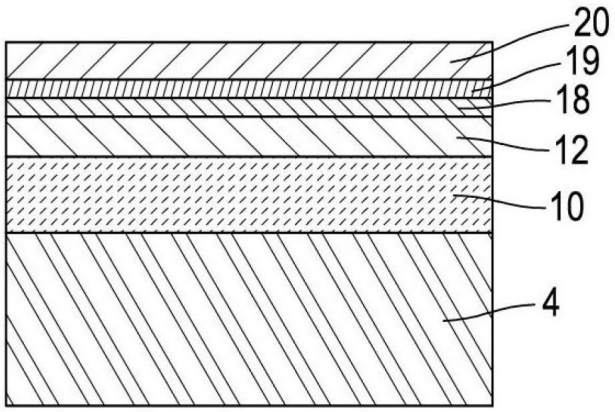
【圖6】



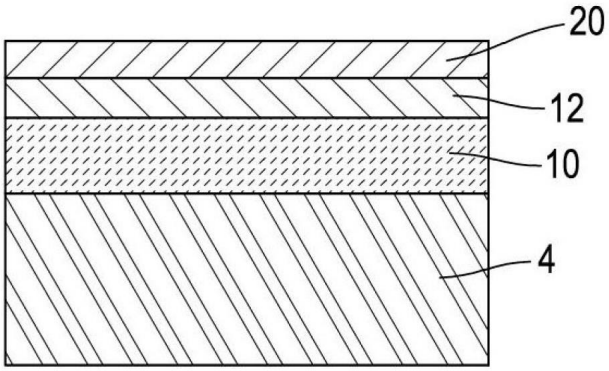
【圖7】



【圖8】



【圖9】



【圖10】