【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940635
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10N97/00　(2023.01)*

發明　　全 14 頁

【54】名　稱：半導體裝置

【21】申請案號：111125091　　【22】申請日： 中華民國 111 (2022) 年 07 月 05 日
【11】公開編號：202312528　　【43】公開日期： 中華民國 112 (2023) 年 03 月 16 日
【30】優 先 權： 2021/09/02　日本　2021-143192

【72】發 明 人： 鈴村直仁 (JP) SUZUMURA, NAOHITO；高岡洋道 (JP) TAKAOKA, HIROMICHI；園田賢一郎 (JP) SONODA, KENICHIRO；土屋秀昭 (JP) TSUCHIYA, HIDEAKI；中柴康隆 (JP) NAKASHIBA, YASUTAKA
【71】申 請 人： 日商瑞薩電子股份有限公司　RENESAS ELECTRONICS CORPORATION
日本
【74】代 理 人： 周良吉；林郁君

【56】參考文獻：

JP	2020-043324A	US	2004/0227237A1
US	2007/0280012A1	US	2018/0005703A1

審查人員：翁佑菱

【57】申請專利範圍

1. 一種半導體裝置，包括：
第一佈線；
第二佈線；
第三佈線；
第一金屬膜，具有第一部分、第二部分和第三部分，該第二部分被佈置在該第一部分的一端上，該第三部分被佈置在該第一部分的另一端上；
第二金屬膜，與該第一金屬膜分開佈置；
第四佈線，經由第一過孔導電層被電連接至該第一金屬膜的該第二部分；
第五佈線，經由第二過孔導電層被電連接至該第一金屬膜的該第三部分；
第六佈線，經由第三過孔導電層被電連接至該第二金屬膜的一端上；以及
第七佈線，經由第四過孔導電層被電連接至該第二金屬膜的另一端上，
其中該第一金屬膜和該第二金屬膜中的每一者的材料包括矽金屬或鎳鉻，
其中該第一金屬膜和該第二金屬膜被佈置在該第一佈線的上層及該第三佈線的上層中且在該第二佈線的下層中，並且
其中該第二部分的至少一部分和該第三部分的至少一部分中的每一者具有比該第一部分的佈線寬度更大的佈線寬度，
該第一佈線和該第一金屬膜重疊，
該第三佈線和該第二金屬膜重疊，
在平面圖中，該第一佈線和該第一金屬膜重疊的面積小於該第三佈線和該第二金屬膜重疊的面積。
2. 如請求項 1 所述的半導體裝置，
其中該第一金屬膜是熔絲元件，並且該第二金屬膜是電阻器元件。

3. 如請求項 2 所述的半導體裝置，
其中該電阻器元件具有多個電阻器部分，並且
其中該多個電阻器部分串聯連接或並聯連接。

4. 如請求項 3 所述的半導體裝置，
其中該多個電阻器部分串聯連接，並且被佈置為使得該電阻器元件在平面圖中彎折。

5. 如請求項 1 所述的半導體裝置，
其中該第一金屬膜的佈線長度小於該第二金屬膜的佈線長度。

6. 如請求項 1 所述的半導體裝置，
其中該第一金屬膜的佈線寬度小於該第二金屬膜的佈線寬度。

7. 如請求項 1 所述的半導體裝置，
其中該第一金屬膜和該第二金屬膜被佈置在相同層中，並且具有相同組成。

圖式簡單說明

圖 1 是示出了根據一個實施例的晶片狀態下的半導體裝置的配置的平面圖。

圖 2 是示意性地示出了其中形成有冗餘電路的半導體晶片的配置的平面圖。

圖 3 是示出了具有電熔絲的電路配置的圖。

圖 4A 是沿著圖 5A 的 IVA-IVA 線的截面圖，並且圖 4B 是沿著圖 5B 的 IVB-IVB 線的截面圖。

圖 5A 是示出了電阻器元件的配置的平面圖，並且圖 5B 是示出了電熔絲元件的配置的平面圖。

圖 6A 是示出了電阻器元件的配置的平面圖，並且圖 6B 是示出了電熔絲元件的配置的平面圖，其中第二佈線被省略並且第一佈線 FI8 被添加。

圖 7 是示出了其中電阻器元件並聯連接的配置的平面圖。

圖 8A 是示出了其中電阻器元件被電連接至第二佈線的配置的截面圖，並且圖 8B 是示出了電熔絲元件被電連接至第二佈線的配置的截面圖。

圖 9A 是示出了根據一個實施例的製造包括電阻器元件的半導體裝置的方法中的第一步驟的截面圖，並且圖 9B 是示出了根據一個實施例的製造包括電熔絲元件的半導體裝置的方法中的第一步驟的截面圖。

圖 10A 是示出了根據一個實施例的製造包括電阻器元件的半導體裝置的方法中的第二步驟的截面圖，並且圖 10B 是示出了根據一個實施例的製造包括電熔絲元件的半導體裝置的方法中的第二步驟的截面圖。

圖 11A 是示出了根據一個實施例的製造包括電阻器元件的半導體裝置的方法中的第三步驟的截面圖，並且圖 11B 是示出了根據一個實施例的製造包括電熔絲元件的半導體裝置的方法中的第三步驟的截面圖。

圖 12A 是示出了根據一個實施例的製造包括電阻器元件的半導體裝置的方法中的第四步驟的截面圖，並且圖 12B 是示出了根據一個實施例的製造包括電熔絲元件的半導體裝置的方法中的第四步驟的截面圖。

圖 13A 是示出了根據一個實施例的製造包括電阻器元件的半導體裝置的方法中的第五步驟的截面圖，並且圖 13B 是示出了根據一個實施例的製造包括電熔絲元件的半導體裝置的方法中的第五步驟的截面圖。

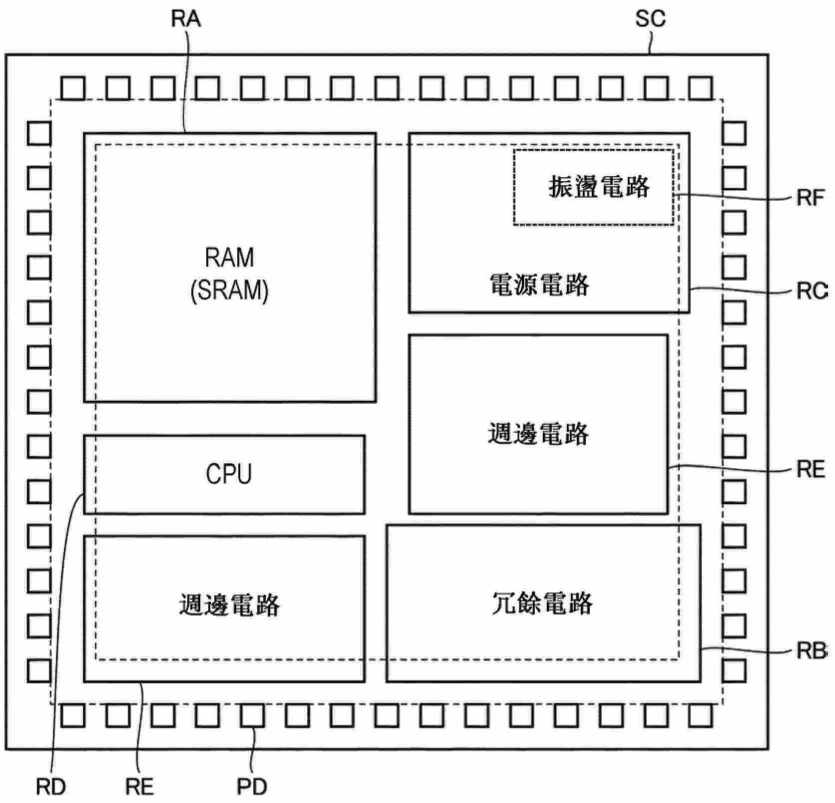


圖1

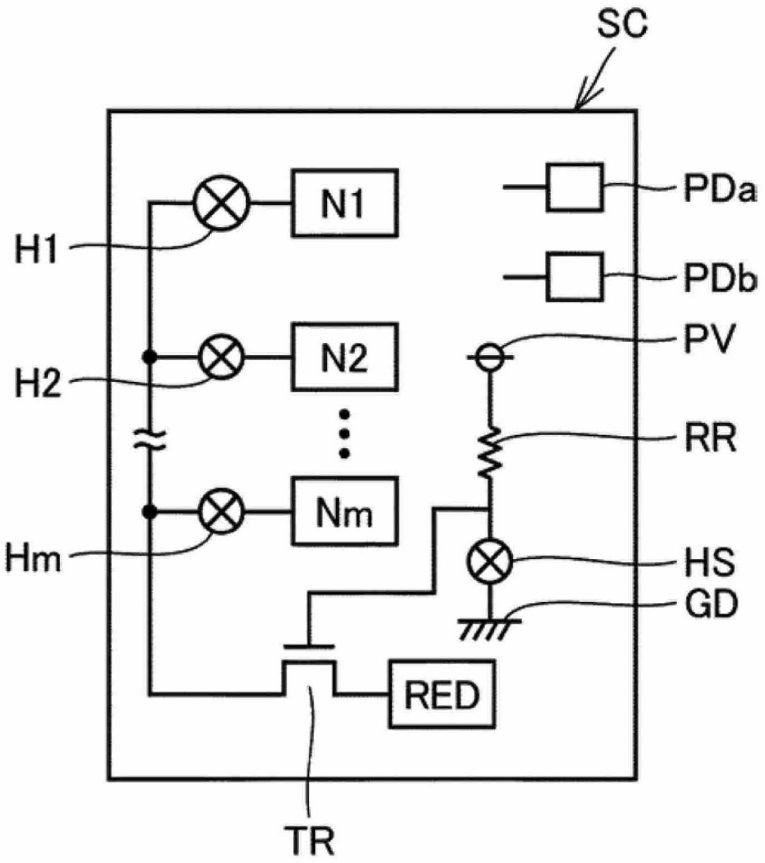


圖2

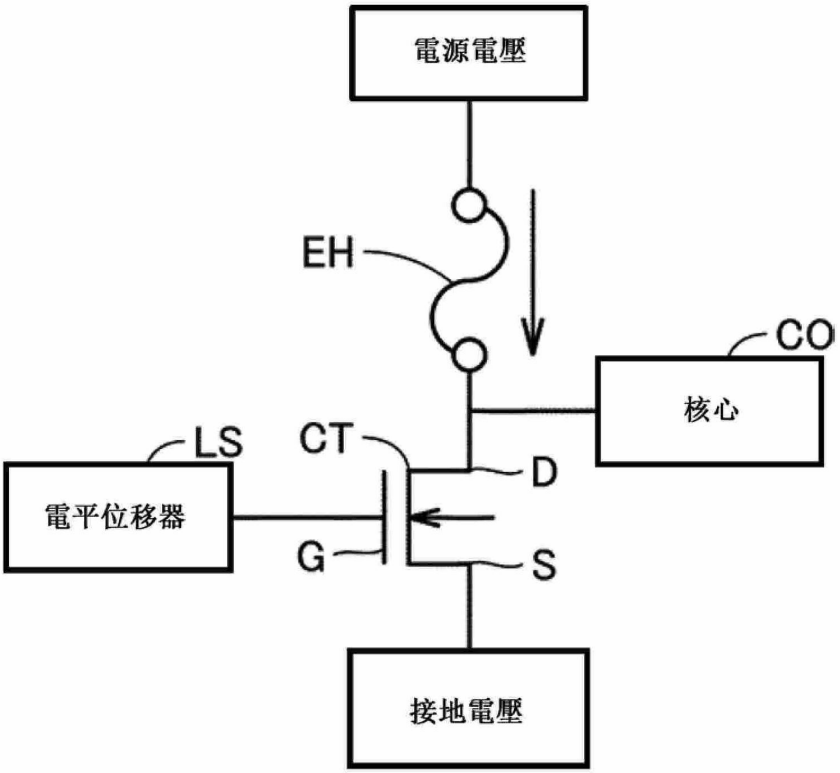


圖3

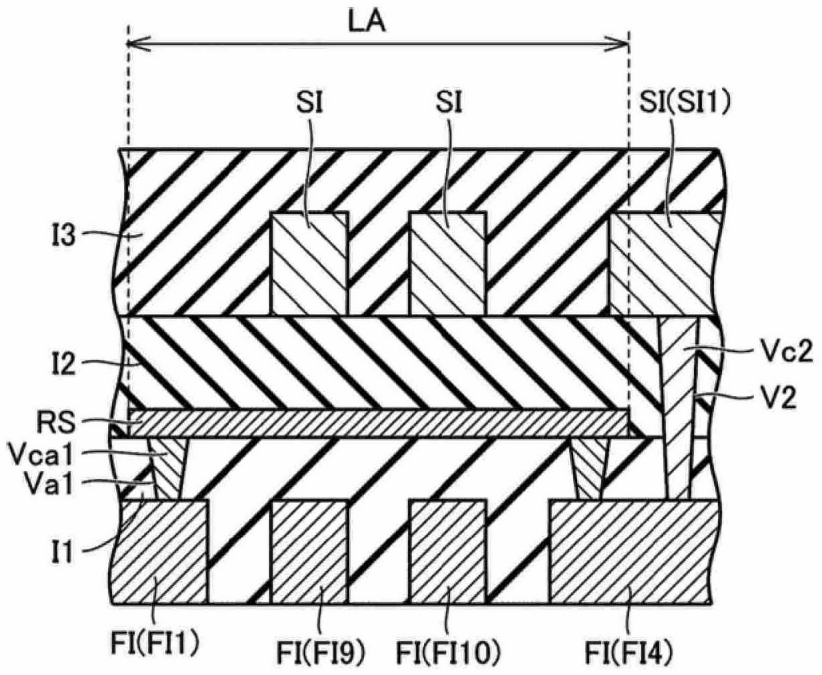

LA
SI
SI
SI(SI1)
I3
I2
RS
Vca1
Va1
I1
Vc2
V2
FI(FI1)
FI(FI9)
FI(FI10)
FI(FI4)

圖4A

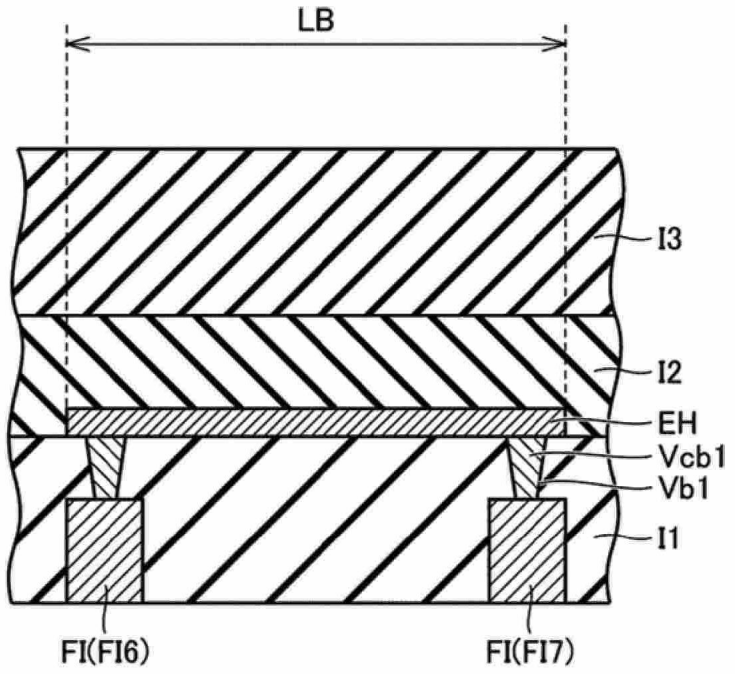

LB
I3
I2
EH
Vcb1
Vb1
I1
FI(FI6)
FI(FI7)

圖4B

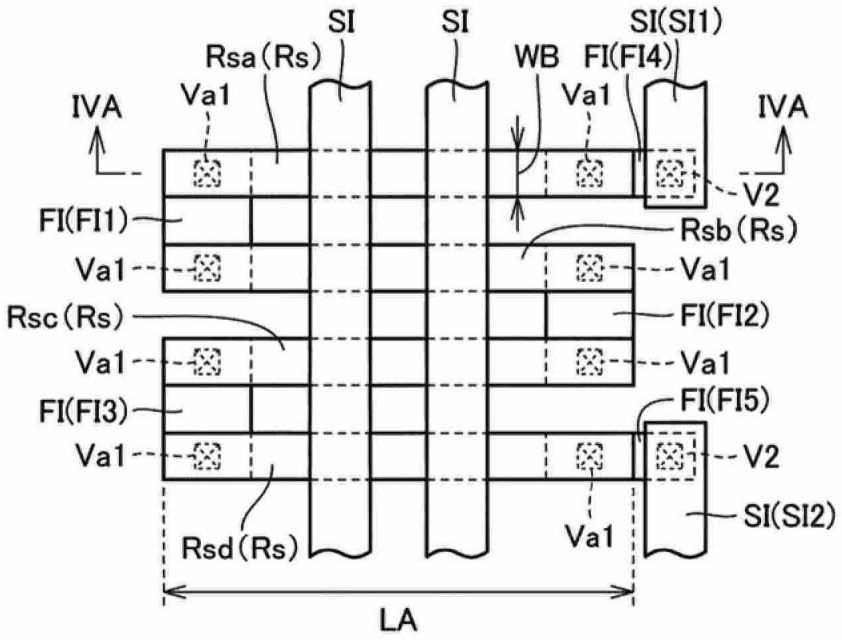

SI
SI
SI(SI1)
Rsa(Rs)
WB
FI(FI4)
IVA
Va1
Va1
IVA
V2
FI(FI1)
Rsb(Rs)
Va1
Va1
Rsc(Rs)
FI(FI2)
Va1
Va1
FI(FI3)
FI(FI5)
Va1
V2
SI(SI2)
Rsd(Rs)
Va1
LA

圖5A

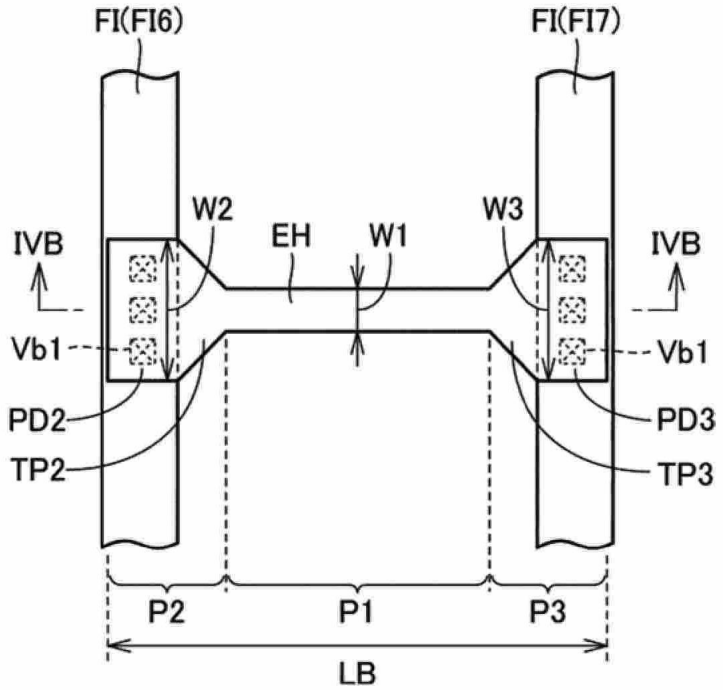

FI(FI6)
FI(FI7)
W2
EH
W1
W3
IVB
IVB
Vb1
Vb1
PD2
PD3
TP2
TP3
P2
P1
P3
LB

圖5B

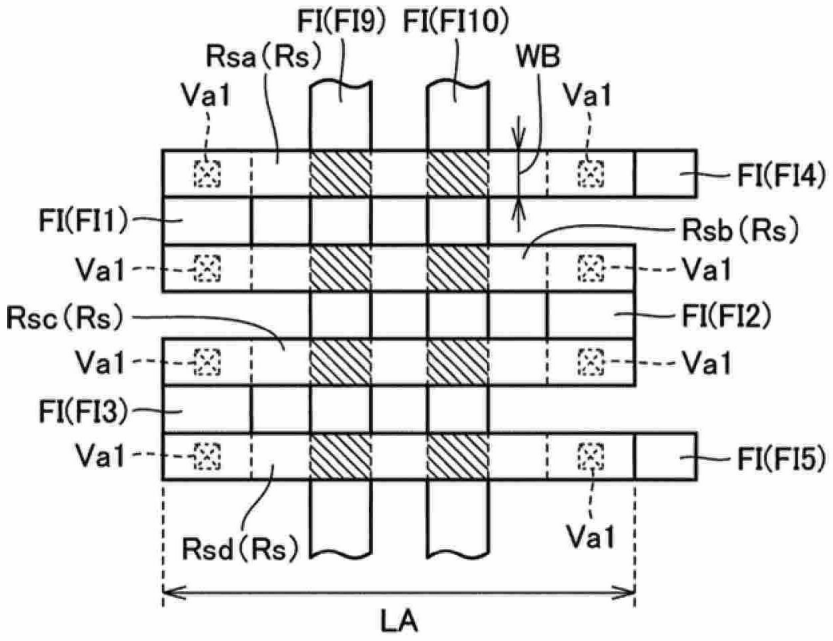

FI(FI9)
FI(FI10)
Rsa(Rs)
WB
Va1
Va1
FI(FI4)
FI(FI1)
Rsb(Rs)
Va1
Va1
Rsc(Rs)
FI(FI2)
Va1
Va1
FI(FI3)
Va1
FI(FI5)
Rsd(Rs)
Va1
LA

圖6A

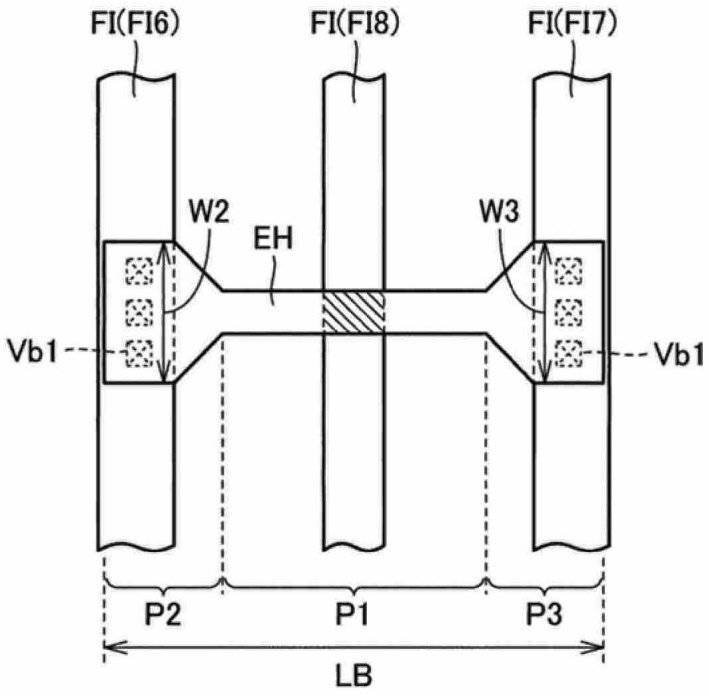

FI(FI6)
FI(FI8)
FI(FI7)
W2
EH
W3
Vb1
Vb1
P2
P1
P3
LB

圖6B

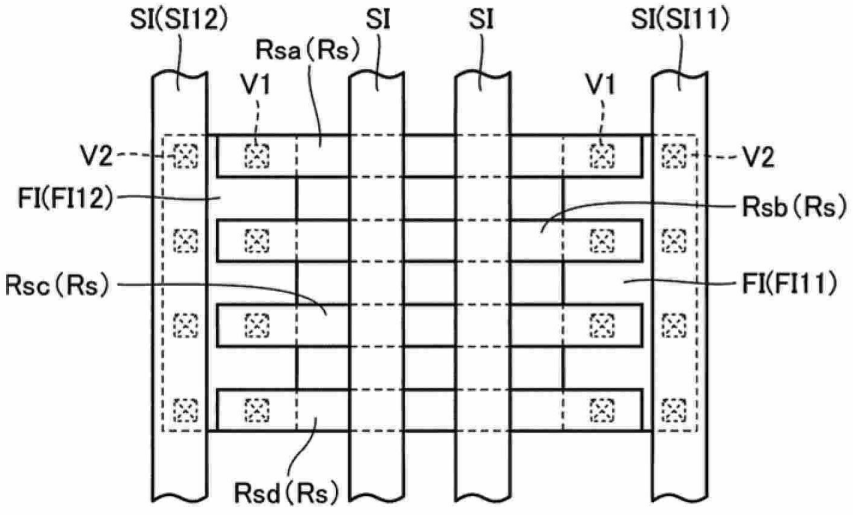

SI(SI12)
Rsa(Rs)
SI
SI
SI(SI11)
V1
V1
V2
V2
FI(FI12)
Rsb(Rs)
Rsc(Rs)
FI(FI11)
Rsd(Rs)

圖7

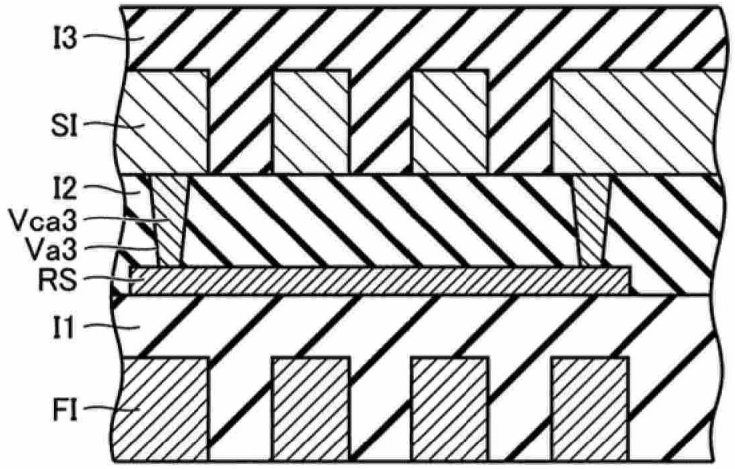


圖8A

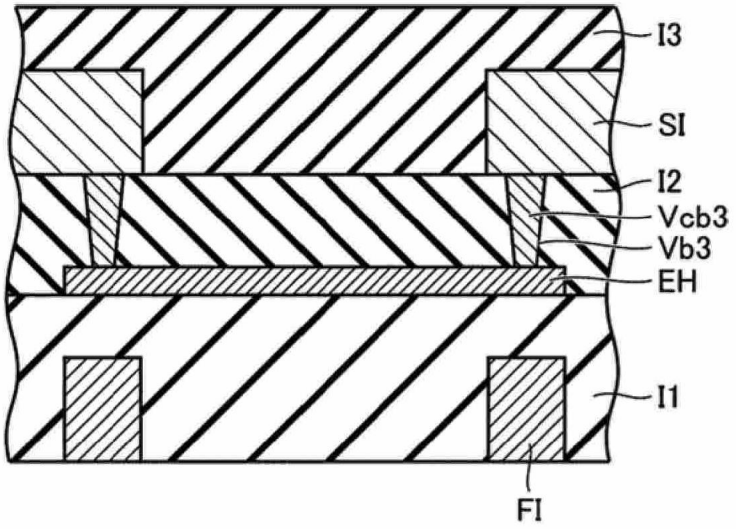


圖8B

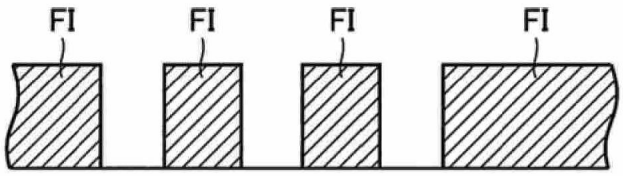


圖9A

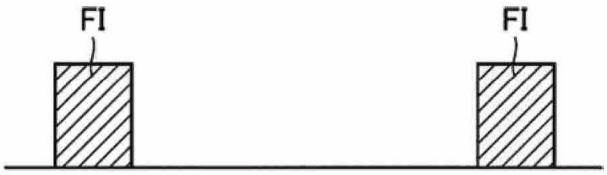


圖9B

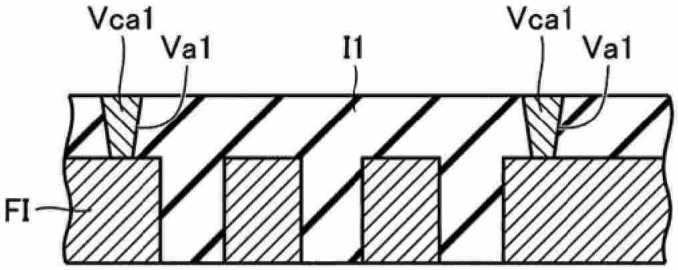


圖10A

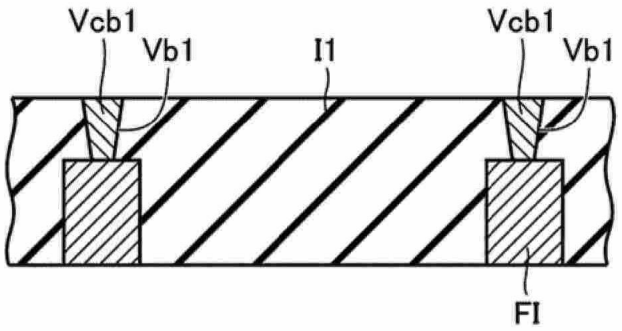


圖10B

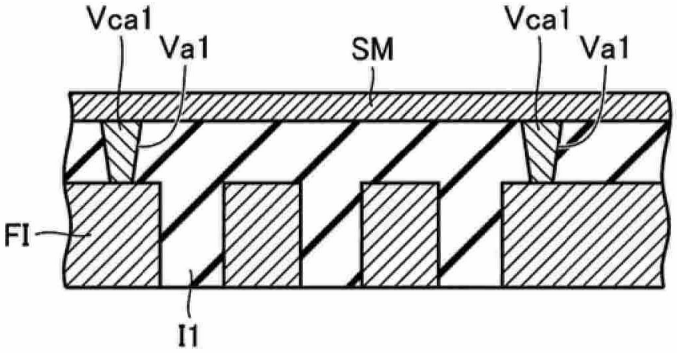


圖11A

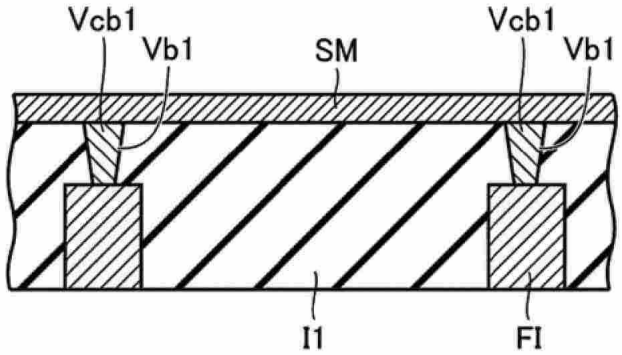


圖11B

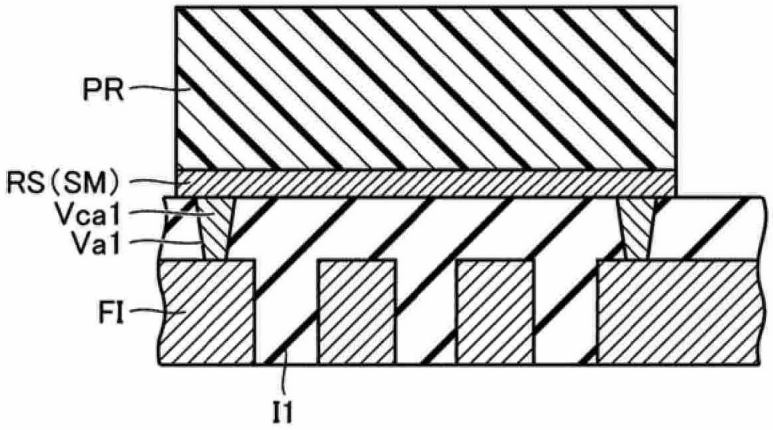


圖12A

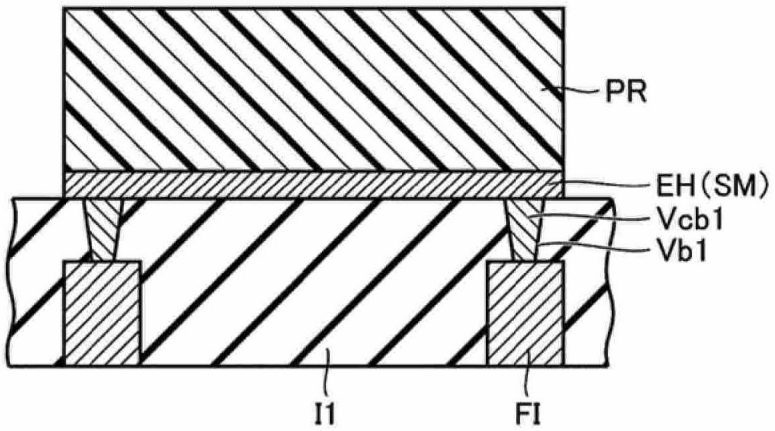


圖12B

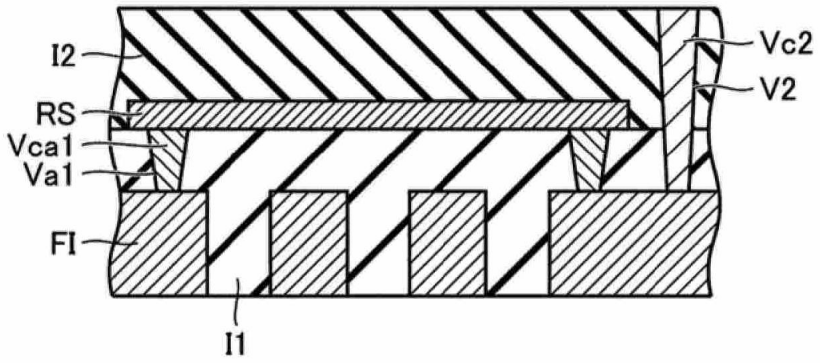


圖13A

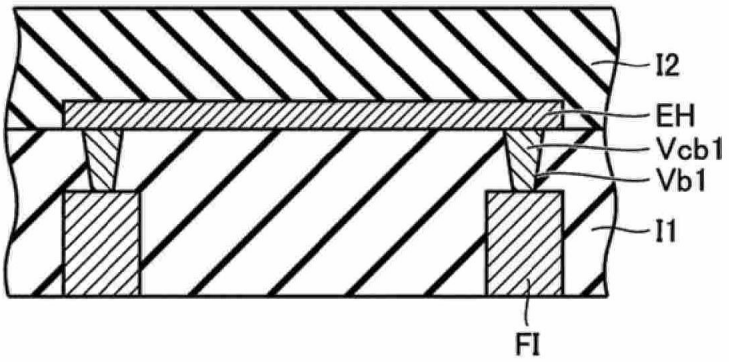


圖13B