【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940640
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10P74/00　(2026.01)*　　*H03K3/356　(2006.01)*
發明　　全 11 頁

【54】名　稱：半導體積體電路以及測試半導體積體電路的方法

【21】申請案號：111125732　　【22】申請日： 中華民國 111 (2022) 年 07 月 08 日
【11】公開編號：202403914　　【43】公開日期： 中華民國 113 (2024) 年 01 月 16 日
【30】優 先 權：　2021/09/28　南韓　10-2021-0128350
2021/12/14　南韓　10-2021-0178879

【72】發 明 人：　禹炯日 (KR) WOO, HYUNGIL；朴成哲 (KR) PARK, SUNGCHEOL；朴鍗泫 (KR) PARK, JEHYUN
【71】申 請 人：　南韓商三星電子股份有限公司　SAMSUNG ELECTRONICS CO., LTD.　南韓
【74】代 理 人：　林孟閱；盧姵君；陳怡如

【56】參考文獻：
US　6708273B1　　US　2011/0215851A1
US　2014/0013124A1

審查人員：黃淑萍

【57】申請專利範圍

1. 一種被配置成自外部接收測試掃描輸入訊號、測試時脈訊號及測試模式訊號且輸出安全掃描輸出訊號的半導體積體電路，所述半導體積體電路包括：
安全金鑰電路，被配置成基於所述測試掃描輸入訊號生成自所述測試掃描輸入訊號不同地延遲的多個延遲輸入訊號，且藉由因應於所述測試時脈訊號而捕捉所述多個延遲輸入訊號來生成輸入金鑰訊號；
金鑰比較器，被配置成生成指示所述輸入金鑰訊號的輸入金鑰與預設參考金鑰是否相同的驗證結果訊號；
晶片，被配置成基於所述測試掃描輸入訊號生成掃描輸出訊號；
掃描輸出重映射器，被配置成根據所述驗證結果訊號來混淆所述掃描輸出訊號且輸出經混淆的所述掃描輸出訊號作為所述安全掃描輸出訊號；以及
安全掃描控制器，被配置成控制所述安全金鑰電路、所述金鑰比較器、所述晶片及所述掃描輸出重映射器。
2. 如請求項 1 所述的半導體積體電路，其中所述安全掃描控制器進一步被配置成將所述測試掃描輸入訊號及所述測試時脈訊號提供至所述安全金鑰電路，且所述多個延遲輸入訊號中的每一者具有第一邏輯值或與所述第一邏輯值不同的第二邏輯值，且所述安全金鑰電路進一步被配置成在所述測試時脈訊號的上升邊緣處生成所述多個延遲輸入訊號的邏輯值作為所述輸入金鑰訊號。
3. 如請求項 1 所述的半導體積體電路，其中所述安全掃描控制器進一步被配置成將參考金鑰訊號及所述測試時脈訊號提供至所述金鑰比較器，且所述金鑰比較器進一步被配置成當所述輸入金鑰與所述預設參考金鑰相同時將指示通過狀態的訊號作為所述驗證結果訊號提供至所述掃描輸出重映射器，且當所述輸入金鑰不同於所述預設參考金鑰時將指示失敗狀態的訊號作為所述驗證結果訊號提供至所述掃描輸出重映射器。

4. 如請求項 3 所述的半導體積體電路，其中所述安全掃描控制器進一步被配置成當所述多個延遲輸入訊號被捕捉時對與所述多個延遲輸入訊號被捕捉的次數對應的階段進行計數，且將多個預先儲存金鑰當中與所計數階段對應的一個金鑰作為所述預設參考金鑰提供至所述金鑰比較器。

5. 如請求項 3 所述的半導體積體電路，其中所述金鑰比較器進一步被配置成當所述輸入金鑰不同於所述預設參考金鑰時將比較金鑰訊號提供至所述掃描輸出重映射器，且所述掃描輸出重映射器進一步被配置成基於所述比較金鑰訊號生成用於混淆所述掃描輸出訊號的混淆資訊且根據所述混淆資訊來混淆所述掃描輸出訊號。

6. 如請求項 1 所述的半導體積體電路，其中所述掃描輸出重映射器進一步被配置成當與所述驗證結果訊號對應的驗證結果是通過時，輸出未經混淆的掃描輸出訊號作為所述安全掃描輸出訊號。

7. 一種被配置成接收測試掃描輸入訊號、測試時脈訊號及測試模式訊號且輸出安全掃描輸出訊號的半導體積體電路，所述半導體積體電路包括：
安全金鑰電路，包括 N 個延遲電路及 N 個正反器，其中所述 N 個延遲電路被配置成接收所述測試掃描輸入訊號且輸出自所述測試掃描輸入訊號不同地延遲的 N 個延遲輸入訊號，且所述 N 個正反器被配置成鎖存所述 N 個延遲輸入訊號的邏輯值且輸出包括鎖存的所述邏輯值的輸入金鑰訊號，其中 N 是大於或等於 1 的整數；
金鑰比較器，被配置成輸出指示所述輸入金鑰訊號的輸入金鑰與預設參考金鑰是否相同的驗證結果訊號；
晶片，被配置成基於所述測試掃描輸入訊號生成掃描輸出訊號；
掃描輸出重映射器，被配置成因應於所述驗證結果訊號而混淆所述掃描輸出訊號且輸出經混淆的所述掃描輸出訊號作為所述安全掃描輸出訊號；以及
安全掃描控制器，被配置成控制所述安全金鑰電路、所述金鑰比較器、所述晶片及所述掃描輸出重映射器。

8. 如請求項 7 所述的半導體積體電路，其中所述安全掃描控制器進一步被配置成將所述測試掃描輸入訊號提供至所述 N 個延遲電路且將所述測試時脈訊號提供至所述 N 個正反器，且所述 N 個正反器中的每一者進一步被配置成在所述測試時脈訊號的上升邊緣處鎖存所述 N 個延遲輸入訊號的邏輯值。

9. 如請求項 8 所述的半導體積體電路，其中所述 N 個延遲電路中的至少一者包括一或多個緩衝器，且所述 N 個延遲電路當中的第 i 延遲電路中所包括的緩衝器的數目不同於所述 N 個延遲電路當中的第 j 延遲電路中所包括的緩衝器的數目，其中 i 是小於或等於 N 的整數，並且 j 不同於 i 且是小於或等於 N 的整數。

10. 如請求項 9 所述的半導體積體電路，其中所述 N 個延遲電路當中的一個延遲電路不包括緩衝器，且被配置成將所述測試掃描輸入訊號輸入至所述 N 個正反器當中與所述一個延遲電路對應的一個正反器。

11. 如請求項 7 所述的半導體積體電路，其中所述安全掃描控制器包括：
階段計數器，被配置成藉由對與所述 N 個延遲輸入訊號的邏輯值被鎖存的次數對應的階段進行計數來輸出所計數階段，且當對所述階段進行計數時輸出用於指示比較操作的比較訊號；
金鑰選擇器，被配置成將因應於階段訊號根據所述所計數階段在多個預先儲存金鑰當中選擇的一個金鑰作為所述預設參考金鑰提供至所述金鑰比較器；以及
第一邏輯積閘，被配置成對所述比較訊號及所述測試時脈訊號實行邏輯積運算且將所述邏輯積運算的結果提供至所述金鑰比較器。

12. 如請求項 11 所述的半導體積體電路，更包括：

一次可程式化記憶體，被配置成將指示預先儲存的鑒別金鑰數目的金鑰選擇訊號提供至所述金鑰選擇器，其中所述多個預先儲存金鑰包括與階段對應的階段金鑰及與所述預先儲存的鑒別金鑰數目對應的鑒別金鑰集，以及

所述金鑰選擇器包括：

第一多工器，被配置成輸出根據階段訊號在所述階段金鑰當中選擇的一個階段金鑰；以及

第二多工器，被配置成輸出所選擇的所述階段金鑰及根據所述金鑰選擇訊號在所述鑒別金鑰集當中選擇的金鑰作為所述預設參考金鑰。

13. 如請求項 7 所述的半導體積體電路，其中所述安全掃描控制器進一步被配置成將所述測試時脈訊號提供至所述掃描輸出重映射器，且所述金鑰比較器進一步被配置成將比較金鑰訊號提供至所述掃描輸出重映射器，且

所述掃描輸出重映射器包括：

重映射控制器，被配置成傳輸所述掃描輸出訊號，以基於所述測試時脈訊號及所述比較金鑰訊號輸出第一時脈訊號及第二時脈訊號，且輸出第一掃描賦能訊號；

反相器，被配置成將所述第一掃描賦能訊號反相以輸出第二掃描賦能訊號；

第一暫存器組，被配置成因應於所述第一掃描賦能訊號及所述第一時脈訊號而鎖存所述掃描輸出訊號且輸出鎖存的第一掃描輸出訊號；

第二暫存器組，被配置成因應於所述第二掃描賦能訊號及所述第二時脈訊號而鎖存所述掃描輸出訊號且輸出鎖存的第二掃描輸出訊號；

第一選擇器，被配置成根據所述第二掃描賦能訊號來選擇所述鎖存的第一掃描輸出訊號及所述鎖存的第二掃描輸出訊號當中的一者；以及

第二選擇器，被配置成根據所述驗證結果訊號輸出由所述第一選擇器選擇的掃描輸出訊號及來自所述重映射控制器的所述掃描輸出訊號當中的一者作為所述安全掃描輸出訊號。

14. 如請求項 13 所述的半導體積體電路，其中所述第一暫存器組包括串聯級聯的 r 個第一正反器，且所述第一暫存器組包括串聯級聯的 r 個第二正反器，其中 r 是大於或等於 1 的整數。

15. 如請求項 13 所述的半導體積體電路，其中所述第一選擇器是多工器，且所述第二選擇器是多工器。

16. 一種用於測試半導體積體電路的方法，所述方法包括：

將測試掃描輸入訊號改變成具有不同延遲值的多個延遲輸入訊號；

藉由因應於測試時脈訊號獲得所述多個延遲輸入訊號的值來生成輸入金鑰訊號；

驗證根據所述輸入金鑰訊號的輸入金鑰與預設參考金鑰是否相同；以及

根據所述驗證的結果來混淆自待測試晶片輸出的掃描輸出訊號。

17. 如請求項 16 所述的方法，其中所述多個延遲輸入訊號中的每一者具有第一邏輯值或與所述第一邏輯值不同的第二邏輯值，且生成所述輸入金鑰訊號包括在所述測試時脈訊號的上升邊緣處生成所述多個延遲輸入訊號的邏輯值作為所述輸入金鑰訊號。

18. 如請求項 16 所述的方法，其中所述驗證包括當所述輸入金鑰與所述預設參考金鑰相同時輸出指示通過狀態的訊號，且當所述輸入金鑰不同於所述預設參考金鑰時輸出指示失敗狀態的訊號。

19. 如請求項 18 所述的方法，更包括當輸出指示所述通過狀態的所述訊號時，輸出未經混淆的掃描輸出訊號作為安全掃描輸出訊號。

20. 如請求項 18 所述的方法，更包括當輸出指示所述失敗狀態的所述訊號時，輸出經混淆的掃描輸出訊號作為安全掃描輸出訊號。

圖式簡單說明

結合附圖閱讀以下詳細說明，將更清楚地理解本發明概念的實施例，在附圖中：

圖 1 是說明根據本發明概念的實例性實施例的半導體系統的視圖。

圖 2 是說明根據本發明概念的實例性實施例的半導體積體電路的視圖。

圖 3 是說明根據本發明概念的實例性實施例的安全金鑰輸注單元的視圖。

圖 4 是說明實施根據本發明概念的實例性實施例的安全金鑰輸注單元的實例的視圖。

圖 5 是說明根據本發明概念的實例性實施例的生成輸入金鑰訊號的方法的時序圖。

圖 6 是說明根據本發明概念的實例性實施例的用於控制金鑰比較器的安全掃描控制器的實施方案實例的視圖。

圖 7 是說明圖 6 中所示的金鑰選擇器的實施方案實例的視圖。

圖 8 是說明根據本發明概念的實例性實施例的掃描輸出重映射器的視圖。

圖 9 是說明根據本發明概念的實例性實施例的用於實施掃描輸出重映射器的實例的視圖。

圖 10 是說明根據本發明概念的實例性實施例的重映射控制器的實施方案實例的視圖。

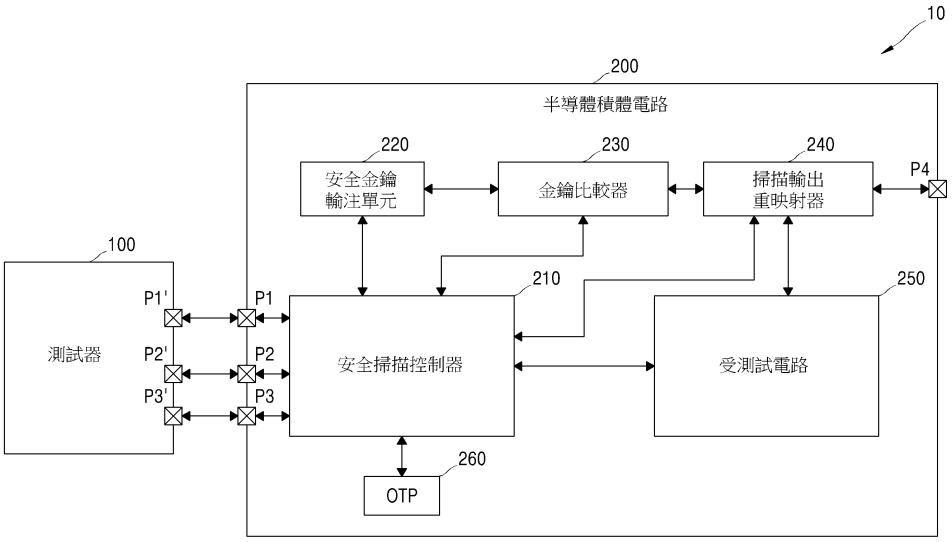
圖 11 是說明在測試模式中輸出的安全掃描輸出訊號的視圖。

圖 12 是說明在掃描傾印模式中輸出的安全掃描輸出訊號的視圖。

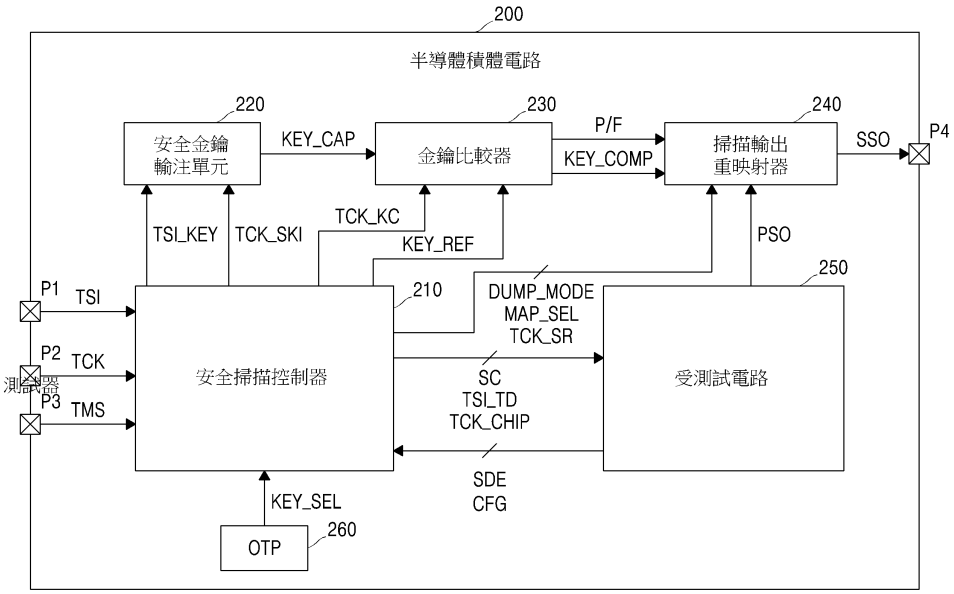
圖 13 是說明根據本發明概念的另一實例性實施例的半導體積體電路的視圖。

圖 14 是說明根據本發明概念的另一實例性實施例的半導體積體電路的視圖。

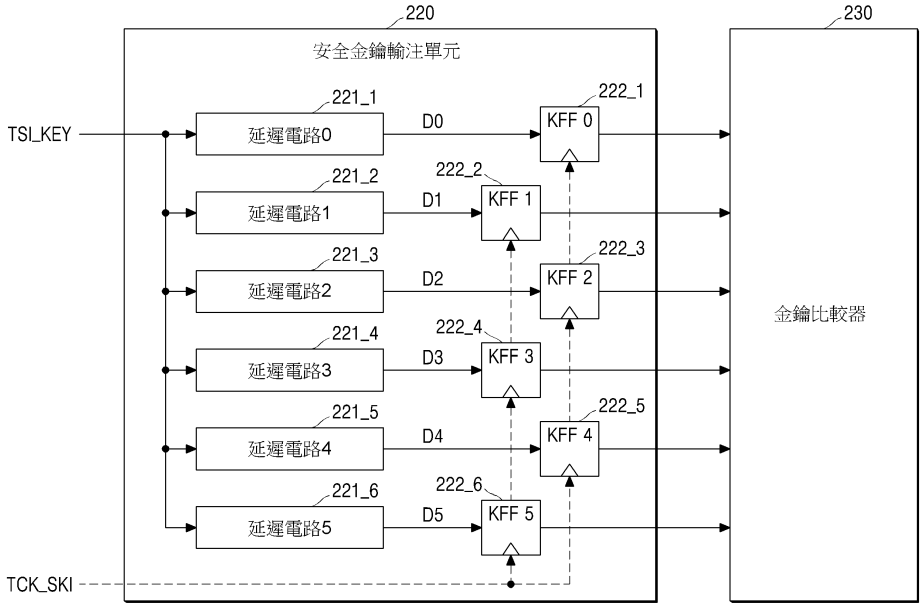
圖 15 是說明根據本發明概念的實例性實施例的用於測試半導體積體電路的方法的流程圖。



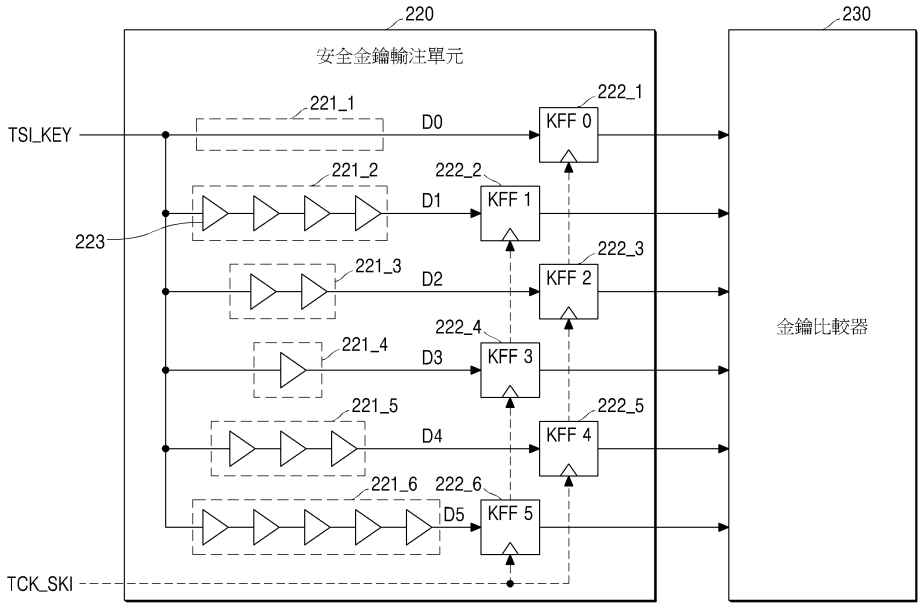
【圖1】


200
半導體積體電路
220
安全金鑰
輸注單元
KEY_CAP
230
金鑰比較器
P/F
KEY_COMP
240
掃描輸出
重映射器
SSO
P4
TSI_KEY
TCK_SKI
TCK_KC
KEY_REF
PSO
250
P1
TSI
210
DUMP_MODE
MAP_SEL
TCK_SR
P2
TCK
安全掃描控制器
SC
TSI_TD
TCK_CHIP
受測試電路
測試器
P3
TMS
SDE
CFG
KEY_SEL
OTP
260

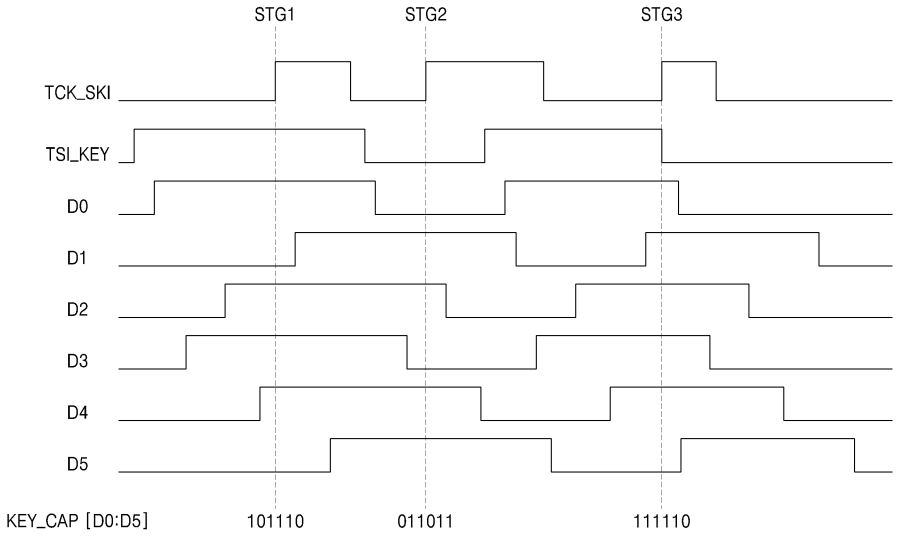
【圖2】


220
安全金鑰輸注單元
230
TSI_KEY
221_1
延遲電路0
D0
222_1
KFF 0
221_2
延遲電路1
D1
222_2
KFF 1
221_3
延遲電路2
D2
222_3
KFF 2
金鑰比較器
221_4
延遲電路3
D3
222_4
KFF 3
221_5
延遲電路4
D4
222_5
KFF 4
221_6
延遲電路5
D5
222_6
KFF 5
TCK_SKI

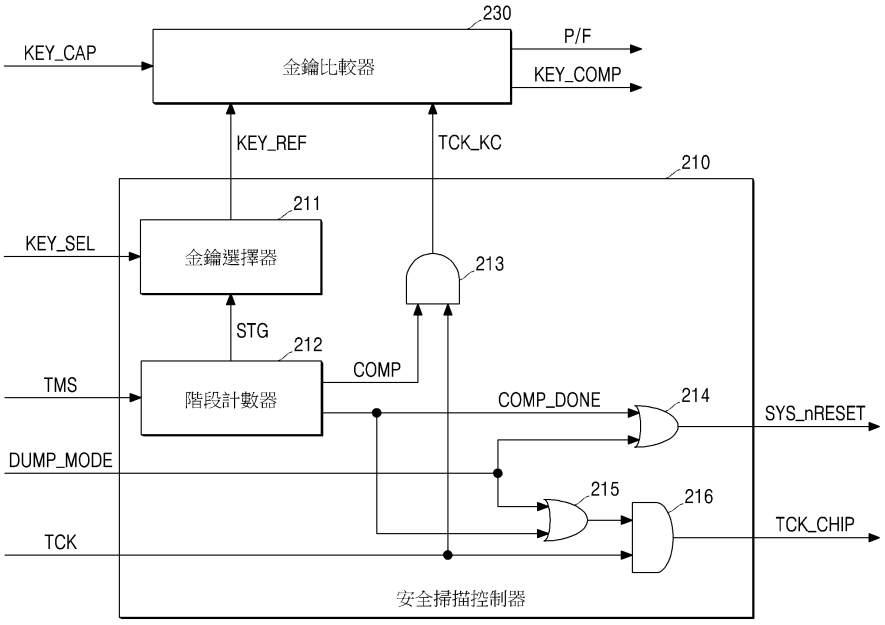
【圖3】


220
安全金鑰輸注單元
230
金鑰比較器
TSI_KEY
TCK_SKI
223
221_1
221_2
221_3
221_4
221_5
221_6
222_1
222_2
222_3
222_4
222_5
222_6
D0
D1
D2
D3
D4
D5
KFF 0
KFF 1
KFF 2
KFF 3
KFF 4
KFF 5

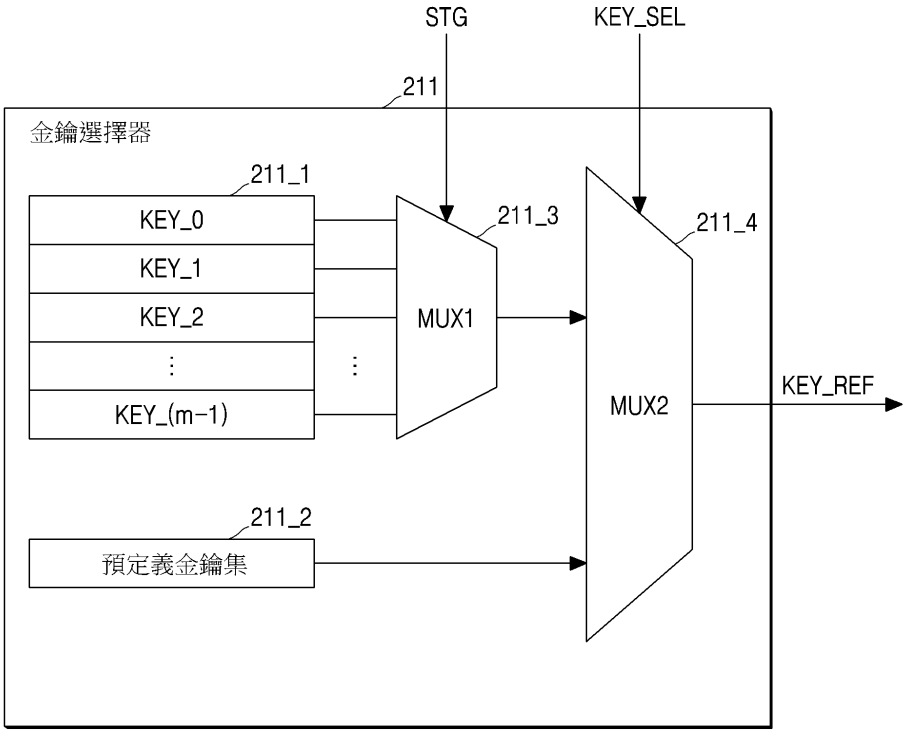
【圖4】


STG1
STG2
STG3
TCK_SKI
TSI_KEY
D0
D1
D2
D3
D4
D5
KEY_CAP [D0:D5]
101110
011011
111110

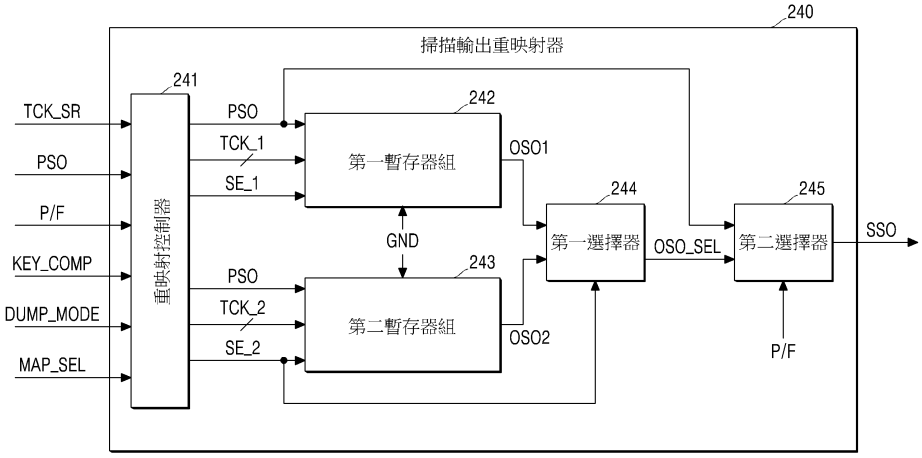
【圖5】


230
KEY_CAP
金鑰比較器
P/F
KEY_COMP
KEY_REF
TCK_KC
210
211
KEY_SEL
金鑰選擇器
213
STG
212
COMP
TMS
階段計數器
COMP_DONE
214
SYS_nRESET
DUMP_MODE
215
216
TCK_CHIP
TCK
安全掃描控制器

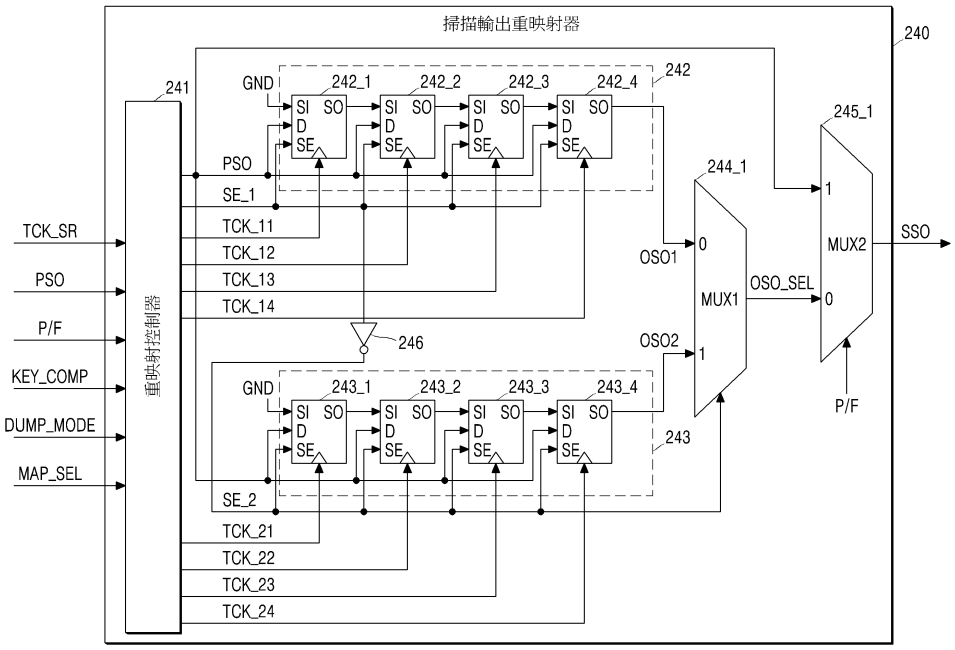
【圖6】


STG
KEY_SEL
211
金鑰選擇器
211_1
KEY_0
KEY_1
KEY_2
KEY_(m-1)
211_3
MUX1
211_4
MUX2
KEY_REF
211_2
預定義金鑰集

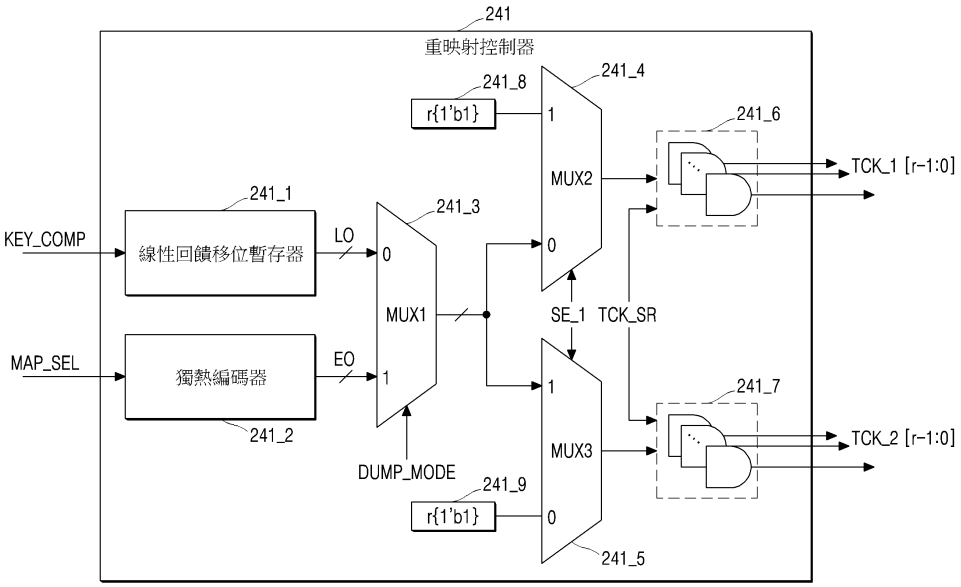
【圖7】


240
掃描輸出重映射器
241
重映射控制器
TCK_SR
PSO
P/F
KEY_COMP
DUMP_MODE
MAP_SEL
PSO
TCK_1
SE_1
242
第一暫存器組
OSO1
GND
243
第二暫存器組
PSO
TCK_2
SE_2
OSO2
244
第一選擇器
OSO_SEL
245
第二選擇器
SSO
P/F

【圖8】


掃描輸出重映射器
240
241
重映射控制器
TCK_SR
PSO
P/F
KEY_COMP
DUMP_MODE
MAP_SEL
GND
242_1
242_2
242_3
242_4
242
SI SO
D
SE
PSO
SE_1
TCK_11
TCK_12
TCK_13
TCK_14
246
244_1
MUX1
OSO1
OSO2
OSO_SEL
245_1
MUX2
SSO
P/F
243_1
243_2
243_3
243_4
243
SE_2
TCK_21
TCK_22
TCK_23
TCK_24

【圖9】



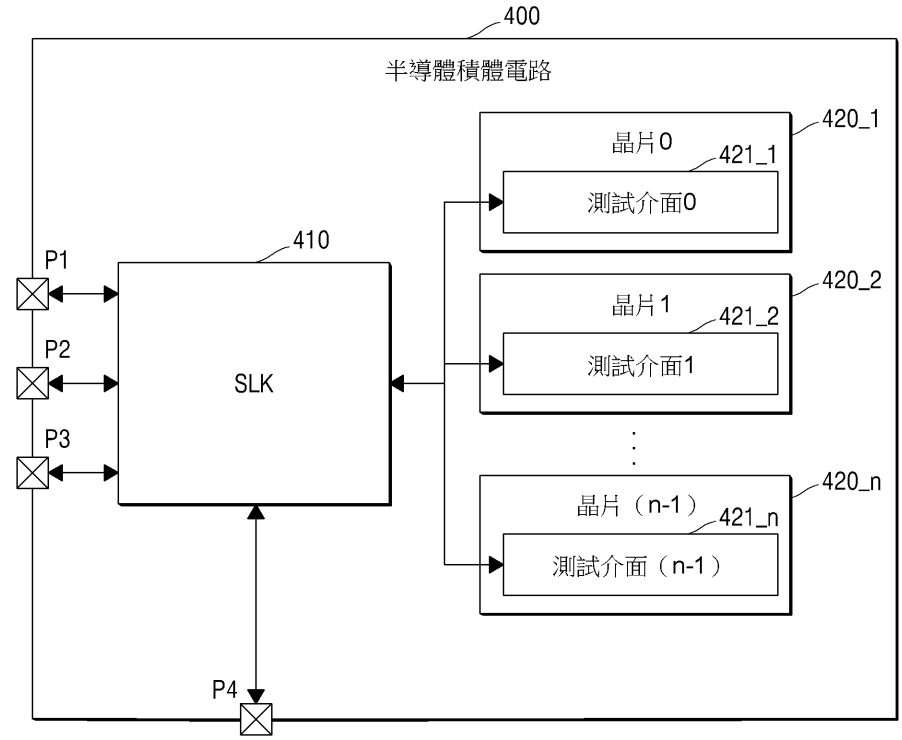
【圖10】

循環計數	PSO	LO	SE_1	TCK_14	TCK_13	TCK_12	TCK_11	SR_A [3:0]	SE_2	TCK_24	TCK_23	TCK_22	TCK_21	SR_B [3:0]	SSO
0	p0	0011	0	-	-	En	En	X, X, 0, 0	1	En	En	En	En	4'b0	0
1	p1	0001	0	-	-	-	En	X, X,p0,p1	1	En	En	En	En	4'b0	0
2	p2	1000	0	En	-	-	-	p0, X,p0,p1	1	En	En	En	En	4'b0	0
3	p3	0100	0	-	En	-	-	p2,p3,p0,p1	1	En	En	En	En	4'b0	0
4	p4	0010	1	En	En	En	En	p3,p0,p0, 0	0	-	-	En	-	0, 0,p4, 0	p2
5	p5	1001	1	En	En	En	En	p0,p1, 0, 0	0	En	-	-	En	p5, 0,p4,p5	p3
6	p6	1100	1	En	En	En	En	p1, 0, 0, 0	0	En	En	-	-	p6,p6,p4,p5	p0
7	p7	0110	1	En	En	En	En	4'b0	0	-	En	En	-	p6,p7,p7,p5	p1
8	p8	1011	0	En	-	En	En	p8, 0,p8,p8	1	En	En	En	En	p7,p7,p5, 0	p6
9	p9	0101	0	-	En	-	En	p8,p9,p8,p9	1	En	En	En	En	p7,p5, 0, 0	p7
10	pa	1010	0	En	-	En	-	pa,p9,pa,p9	1	En	En	En	En	p5, 0, 0, 0	p7
11	pb	1101	0	En	En	-	En	pb,pb,pa,pb	1	En	En	En	En	4'b0	p5

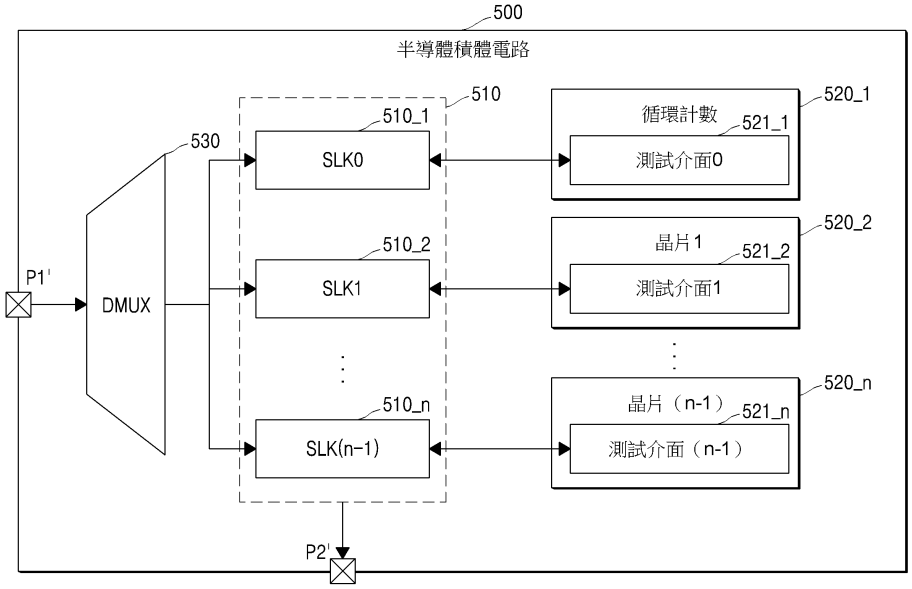
【圖11】

循環計數	PSO	MAP_SEL	SE_1	TCK_14	TCK_13	TCK_12	TCK_11	SR_A [3:0]	SE_2	TCK_24	TCK_23	TCK_22	TCK_21	SR_B [3:0]	SSO
0	p0	{ 2'b00, 2'b10, 2'b11, 2'b01, }	0	En	-	-	-	p0, 0, 0, 0	1	En	En	En	En	4'b0	0
1	p1		0	-	-	-	En	p0, 0, 0,p1	1	En	En	En	En	4'b0	0
2	p2		0	-	En	-	-	p0,p2, 0,p1	1	En	En	En	En	4'b0	0
3	p3		0	-	-	En	-	p0,p2,p3,p1	1	En	En	En	En	4'b0	0
4	p4		1	En	En	En	En	p2,p3,p1, 0	0	En	-	-	-	p4, 0, 0, 0	p0
5	p5		1	En	En	En	En	p3,p1, 0, 0	0	-	-	-	En	p4, 0, 0,p5	p2
6	p6		1	En	En	En	En	p1, 0, 0, 0	0	-	En	-	-	p4,p6, 0,p5	p3
7	p7		1	En	En	En	En	4'b0	0	-	-	En	-	p4,p6,p7,p5	p1

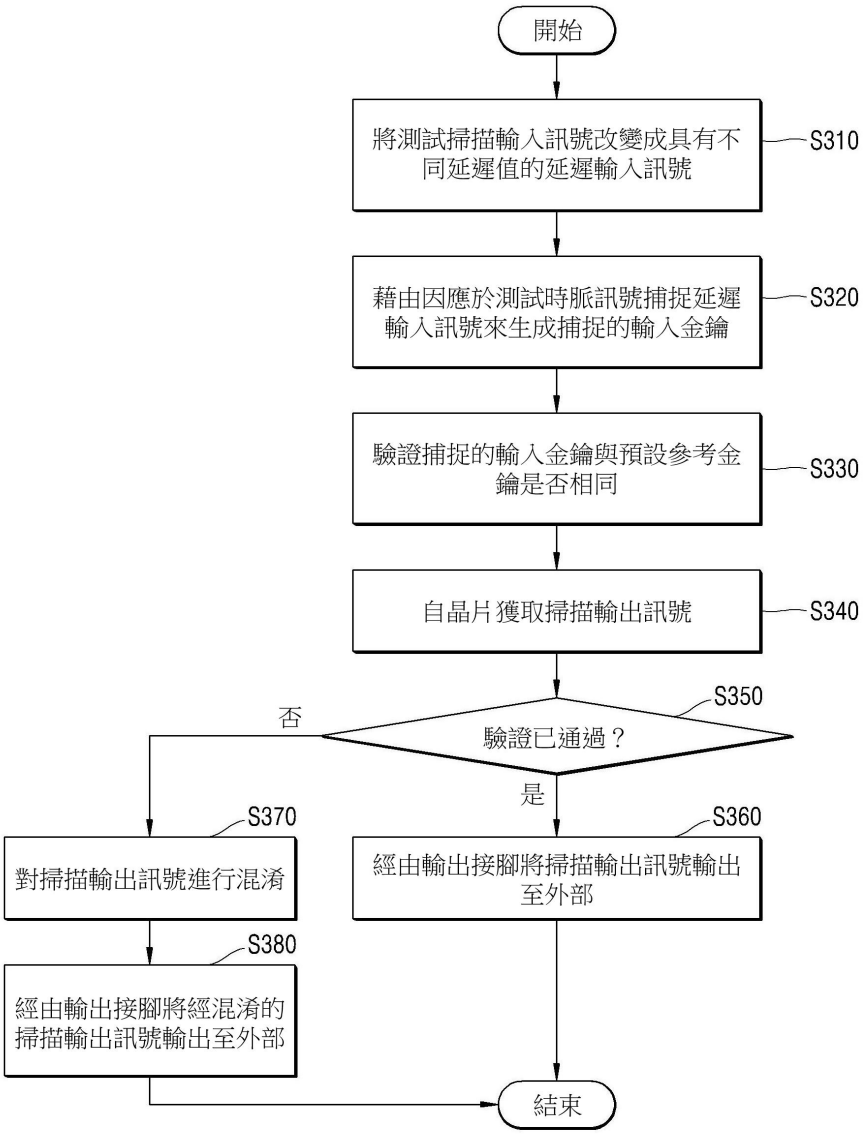
【圖12】


400
半導體積體電路
晶片0
421_1
測試介面0
420_1
410
P1
晶片1
421_2
420_2
P2
SLK
測試介面1
P3
晶片（n-1）
421_n
420_n
測試介面（n-1）
P4

【圖13】


500
半導體積體電路
510
510_1
循環計數
521_1
520_1
530
SLK0
測試介面0
510_2
晶片1
521_2
520_2
P1'
DMUX
SLK1
測試介面1
510_n
晶片（n-1）
521_n
520_n
SLK(n-1)
測試介面（n-1）
P2'

【圖14】


開始
將測試掃描輸入訊號改變成具有不同延遲值的延遲輸入訊號
S310
藉由因應於測試時脈訊號捕捉延遲輸入訊號來生成捕捉的輸入金鑰
S320
驗證捕捉的輸入金鑰與預設參考金鑰是否相同
S330
自晶片獲取掃描輸出訊號
S340
S350
驗證已通過？
否
是
S370
對掃描輸出訊號進行混淆
S380
經由輸出接腳將經混淆的掃描輸出訊號輸出至外部
S360
經由輸出接腳將掃描輸出訊號輸出至外部
結束

【圖15】