【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940655
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10D30/01　(2025.01)*　*H10D30/60　(2025.01)*
H10D84/03　(2025.01)

發明　　全 19 頁

【54】名　稱：用於N型金屬氧化物半導體（N型MOS）性能調整的電晶體結構中的閘極端蓋及邊界佈局

【21】申請案號：111128892　　【22】申請日： 中華民國 111 (2022) 年 08 月 02 日
【11】公開編號：202407809　　【43】公開日期： 中華民國 113 (2024) 年 02 月 16 日
【30】優 先 權： 2021/09/09　美國　17/470,993

【72】發 明 人： 史密斯　安德魯 (US) SMITH, ANDREW；葛雷尼　布萊恩 (US) GREENE, BRIAN；白晟鉉 (KR) PAIK, SEONGHYUN；薩達特　歐馬爾 (US) SAADAT, OMAIR；林崇勳 (TW) LIN, CHUNG-HSUN；甘尼　塔何 (US) GHANI, TAHIR
【71】申 請 人： 美商英特爾股份有限公司　INTEL CORPORATION
美國
【74】代 理 人： 林志剛

【56】參考文獻：
CN　113053823A　　US　20200035567A1
US　2020/0083326A1

審查人員：翁佑菱

【57】申請專利範圍

1. 一種裝置結構，包括：

第一多個通道區，位於第一電晶體的堆疊，該等通道區的每一者包括第一側壁和與該第一側壁相對的第二側壁；

源極區和汲極區，耦接該第一多個通道區的相對端部；

閘極電極，位於該源極區和該汲極區之間，該閘極電極包括：

第一層，包括與該第一側壁相鄰的第一部分和與從該第一側壁間隔開的邊界側壁相鄰的第二部分，其中，該邊界側壁包括介電材料，且與鄰近該第一側壁的第一閘極介電層相距第一距離；

第二層，與該第一層直接相鄰，且佔據該第一層的該第一和第二部分之間的空間；

其中：

該第一層具有與第一功函數相關的第一成分，其中，該第一層包括在該第二層下方的第三部分，其中該第三部分與該第一和第二部分鄰接；

該第一層的該第一部分從該第一側壁具有第一橫向厚度；

該第一層的該第二部分與第二電晶體的第二閘極電極直接相鄰，該第二電晶體進一步包括：第二閘極介電層；及第二多個通道區，位於堆疊中；

該第二層具有與第二功函數相關的第二成分，且從該第一側壁具有第二橫向厚度；

該第二橫向厚度與該第一橫向厚度之比率小於三；

該第一多個通道區的該第一側壁與該第二多個通道區的該第一側壁橫向隔開一距離；及該第二閘極電極具有第四橫向厚度，該第四橫向厚度等於該距離減去該第一橫向厚度、該第二橫向厚度、該第一層的該第二部分的第三橫向厚度、該第一閘極介電層的橫向厚度以及該第二閘極介電層的橫向厚度的總和之間的差值。

2. 根據請求項 1 所述的裝置結構，其中該第三橫向厚度基本上等於該第一橫向厚度，且其中該第一橫向厚度和該第二橫向厚度皆具有最小值 2nm。

3. 根據請求項 1 所述的裝置結構，其中該第二電晶體包括：

第二源極和第二汲極，耦接到該第二多個通道區的端部；及

其中該第二閘極電極包括第三功函數材料。

4. 根據請求項 3 所述的裝置結構，其中該第二橫向厚度與該第一橫向厚度的比率大於 0 且小於 2.5。

5. 根據請求項 3 所述的裝置結構，其中該第一閘極介電層和第二閘極介電層包括相同的材料，且該第三功函數材料具有與該第二功函數材料相同的成分。

6. 根據請求項 1 所述的裝置結構，其中該第一層圍繞該多個通道區中的每一者，其中該第二層的第二部分與該通道區與該第一側壁相對的第二側壁相鄰，且具有是該第一橫向厚度的比該第二橫向厚度與該第一橫向厚度的比率大的倍數的橫向厚度。

7. 根據請求項 3 所述的裝置結構，其中該裝置結構還包括第三電晶體，該第三電晶體包括第三閘極電極，該第三閘極電極包括：

第三層，包括與第一功函數相關的該第一材料；及

第四層，與該第三層直接相鄰，該第四層包括與該第二功函數相關的該第二材料；

其中該第三層與該第三電晶體的第一通道側壁相鄰，且其中該第四層的橫向厚度與該第一橫向厚度的比率大於該第三層的橫向厚度與該第一橫向厚度的比率。

8. 根據請求項 7 所述的裝置結構，其中該第三電晶體的臨限值電壓比該第一電晶體的臨限值電壓高至少 30%。

9. 一種計算裝置，包括：

電池；

天線；及

處理器，耦接到該天線，其中該處理器包括根據請求項 1 所述的裝置結構。

圖式簡單說明

在此描述的材料在附圖中透過示例而不是透過限制的方式來說明。為簡單和清晰的說明，圖中說明的元件不一定按比例繪製。例如，為清楚起見，一些元件的尺寸可能相對於其他元件被誇大。此外，為清楚的討論，各種物理特徵可以以其簡化的“ 理想 ”形式和幾何形狀表示，但應理解，實際實現可能僅接近圖示的理想。例如，可以繪製光滑表面和方形交叉點，而忽略由奈米加工技術形成的結構的有限粗糙度、圓角和不完美角交叉點特徵。此外，在認為適當的情況下，附圖中的參考標記重複以指示相應或類似的元件。

[圖 1A]是根據本揭露的實施例的包括雙層閘極電極的 NMOS 奈米帶電晶體的剖面圖。[圖 1B]是通過圖 1A 中結構的線 A-A ’ 的平面圖，說明 NMOS 奈米帶電晶體的各種組件。[圖 1C]是具有圖 1A 中描繪的 NMOS 電晶體 100A 的一個或多個特徵的 NMOS 電晶體的剖面圖。

[圖 2A]是根據本揭露的實施例，包括與 PMOS 奈米帶裝置結構相鄰的雙層閘極電極的 NMOS 奈米帶裝置結構的剖面圖。

[圖 2B]是通過圖 2A 中結構的線 A-A ’ 的平面圖，說明 NMOS 和 PMOS 奈米帶電晶體的各種組件。

[圖 2C]是根據一些實施例的 SRAM 電路結構的平面圖。

[圖 2D 和 2E]是根據一些實施例，圖 2C 所示的 SRAM 電路結構中的電晶體結構的剖面圖。

[圖 3]是根據本揭露的實施例，製造如圖 2A 所示的 CMOS 奈米帶電晶體的方法。

[圖 4A]是根據本揭露的實施例，用於製造奈米帶電晶體裝置的材料層堆疊的剖面圖，其中材料層堆疊包括多個雙層，其中每個雙層包括單晶矽上的犧牲層。

[圖 4B]是透過圖案化材料層堆疊形成的塊的剖面圖。

[圖 4C]是在塊的第一部分上形成偽閘極結構之後的等距圖。

[圖 4D]是在形成與偽閘極結構相鄰的介電間隔之後圖 4C 中的結構的等距圖。

[圖 4E]示出在去除硬遮罩、偽閘極結構和在去除偽閘極結構以形成奈米帶通道之後曝光的犧牲層的製程之後的圖 4D 的結構。

[圖 5A]是透過圖 4E 中的結構的線 A-A’的剖面圖。

[圖 5B]是在奈米帶通道以及基板上形成閘極介電層之後圖 5A 中的結構的剖面圖。

[圖 5C]是圖 5B 中的結構在形成遮罩的製程之後的剖面圖。

[圖 5D]是在形成 WF 層以設置基線 NMOS V_T 之後圖 5C 中的結構的剖面圖。

[圖 5E]是圖 5D 中的結構在 NMOS WF 層上沉積犧牲材料的製程之後的剖面圖，隨後是平坦化製程。

[圖 5F]是在去除遮罩和犧牲材料並沉積第二 WF 層的製程之後圖 5E 中的結構的剖面圖。

[圖 6A]是在從 NMOS 區域去除犧牲材料並在 NMOS WF 層上沉積第三 WF 層的製程之後的圖 5E 中的結構的剖面圖。

[圖 6B]是在從 PMOS 區域去除遮罩、沉積 PMOS WF 層、隨後是平坦化製程以製造 CMOS 電晶體的製程之後的圖 6A 中的結構的剖面圖。

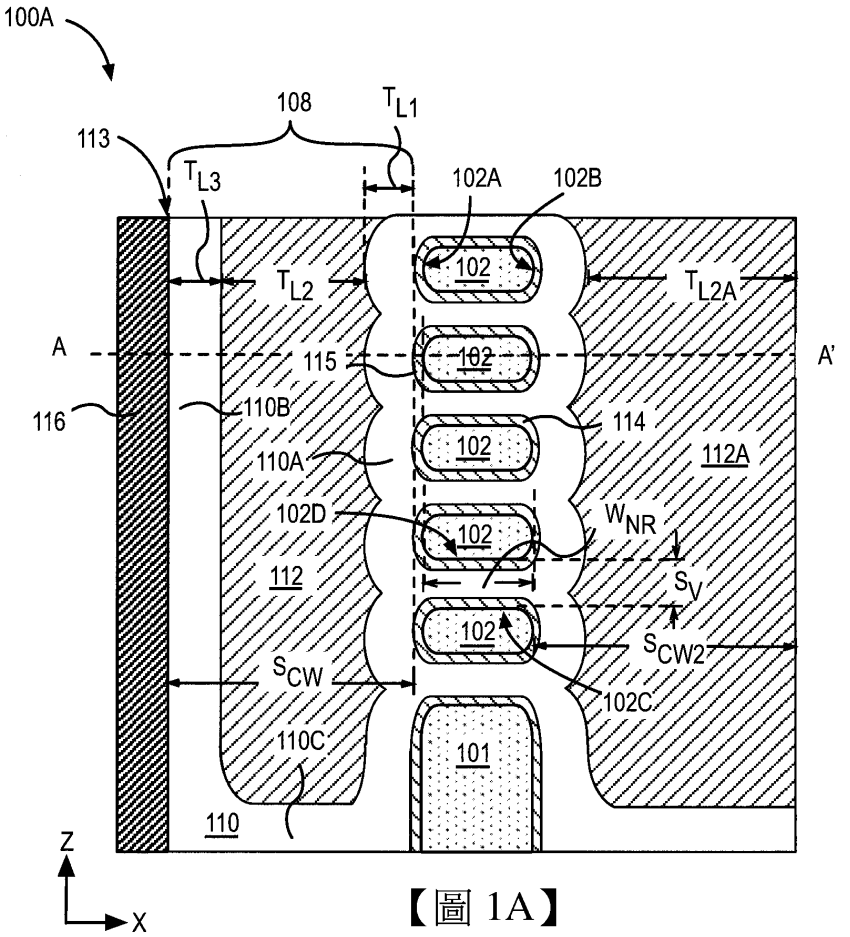
[圖 7A]示出根據一些實施例，包括電晶體結構的記憶體單元的剖面圖。

[圖 7B]是根據一些實施例，圖 7A 中所示的記憶體單元的剖面圖。

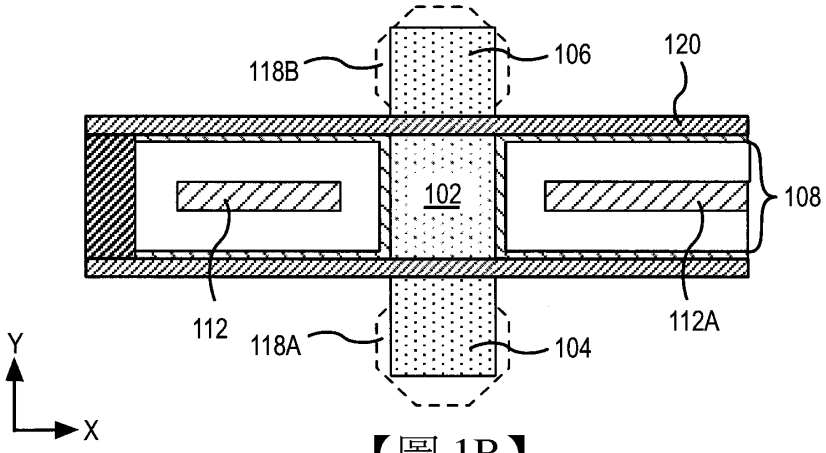
[圖 7C 和 7D]是根據一些實施例，記憶體元件材料堆疊的剖面圖。

[圖 8]圖示根據本揭露的實施例的計算裝置。

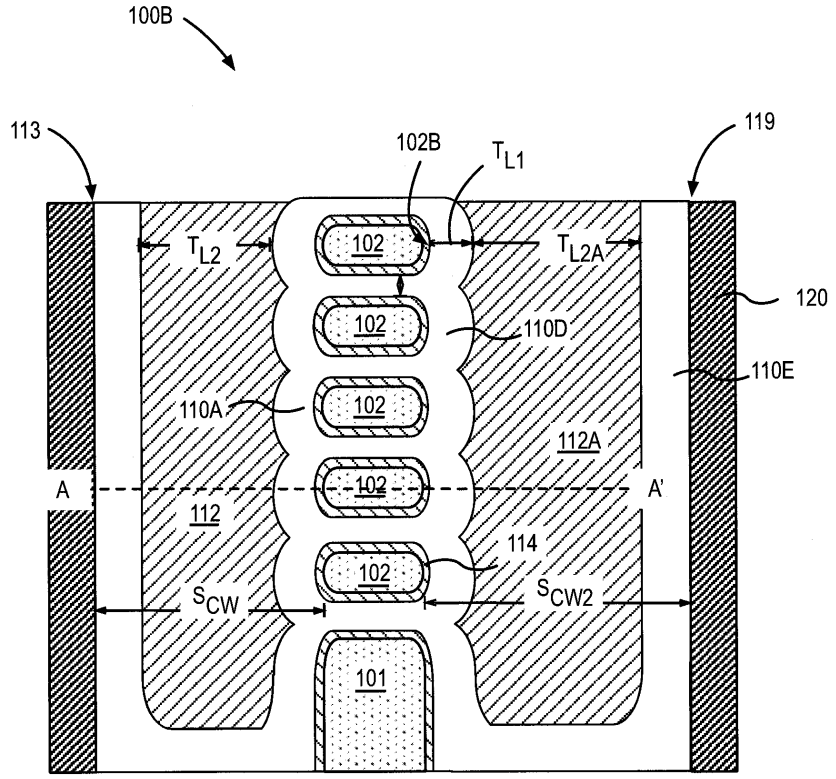
[圖 9]圖示積體電路(IC)結構。


100A
108
T_{L1}
113
T_{L3}
102A
102B
102
T_{L2}
T_{L2A}
A
115
A'
116
110B
114
110A
112A
102D
W_{NR}
112
S_V
S_{CW2}
S_{CW}
102C
110C
101
110
Z
X

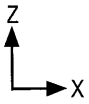
【圖 1A】

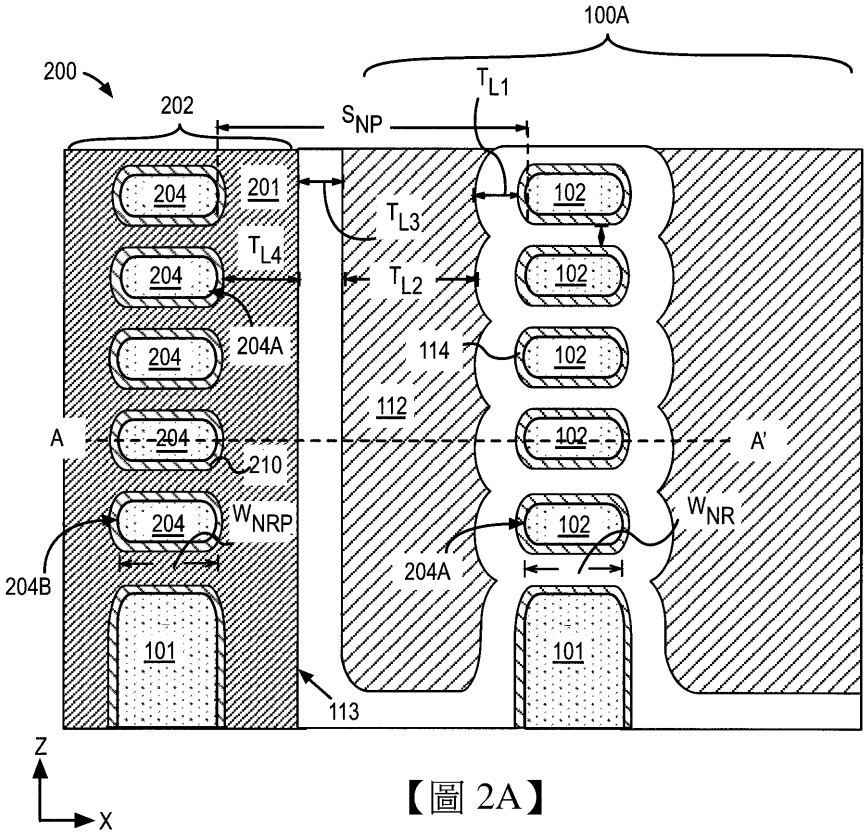

118B
106
120
102
108
112
112A
118A
104
Y
X

【圖 1B】

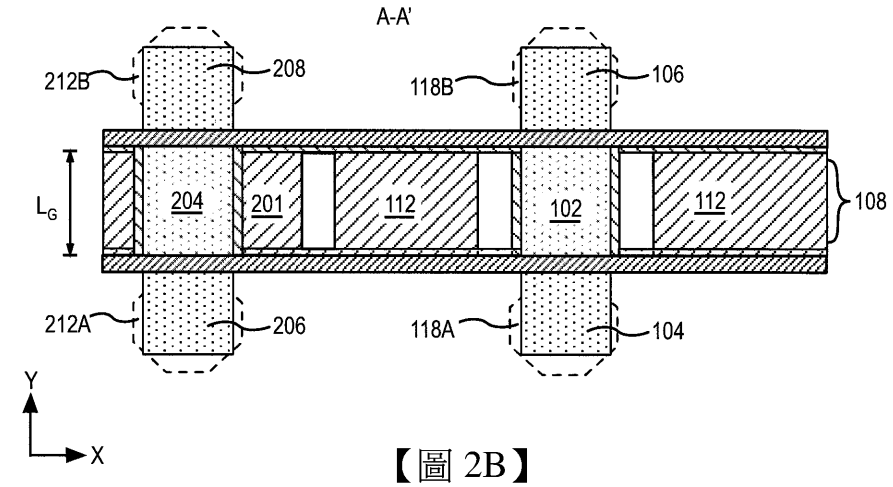

100B
113
119
102B
T_{L1}
T_{L2}
T_{L2A}
102
110D
120
110E
110A
112A
A
A'
112
114
S_{CW}
S_{CW2}
101

【圖 1C】

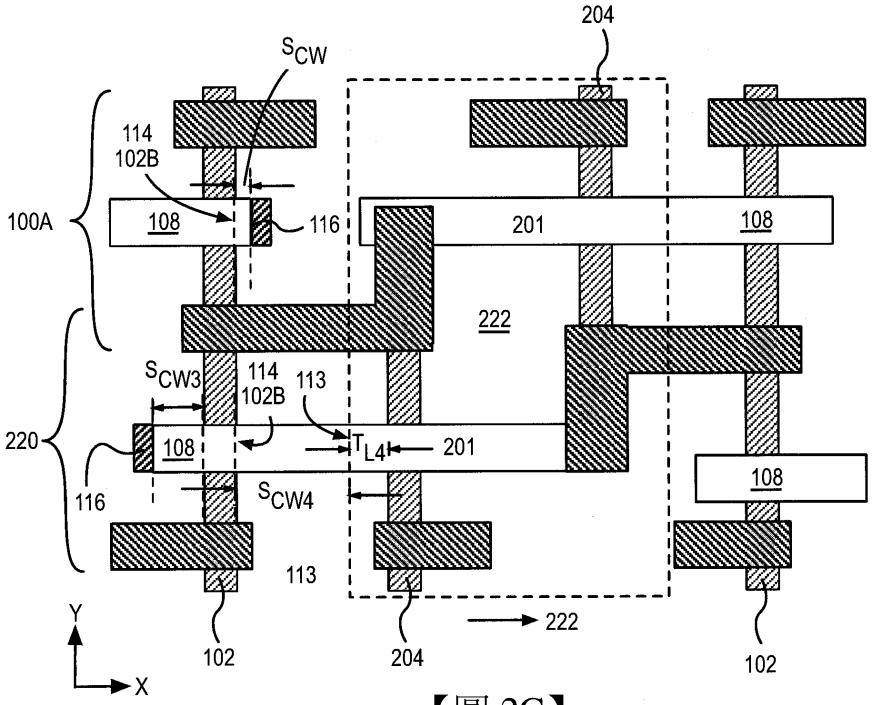

Z
X


100A
200
202
S_{NP}
T_{L1}
T_{L3}
T_{L4}
T_{L2}
204
201
102
204A
114
112
A
A'
210
W_{NRP}
W_{NR}
204B
101
113
Z
X

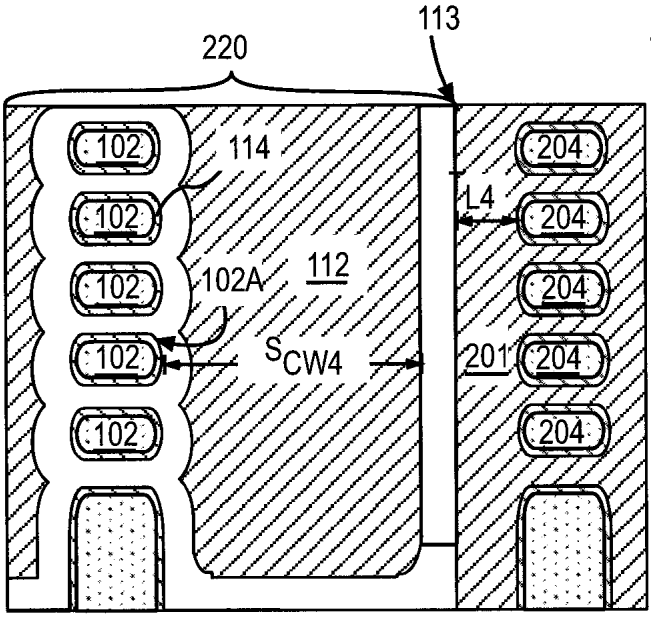
【圖 2A】

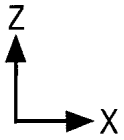

A-A'
212B
208
118B
106
L_G
204
201
112
102
108
212A
206
118A
104
Y
X

【圖 2B】

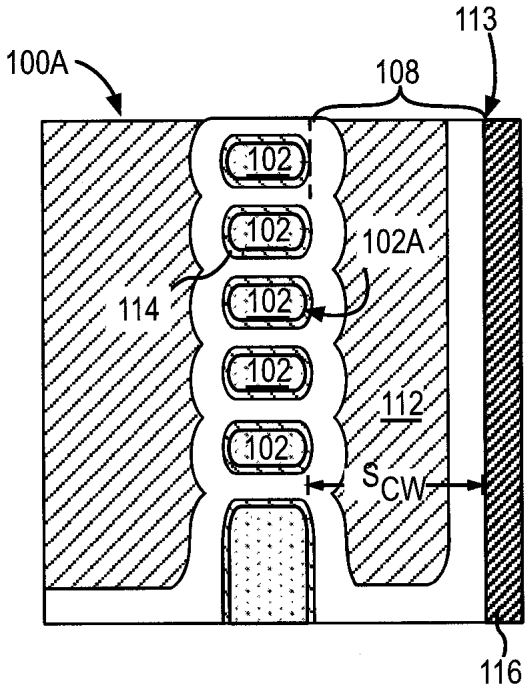

204
S_{CW}
114
102B
100A
108
116
201
108
222
S_{CW3}
114
102B
113
220
108
T_{L4}
201
108
116
S_{CW4}
113
222
Y
X
102
204
102

【圖 2C】

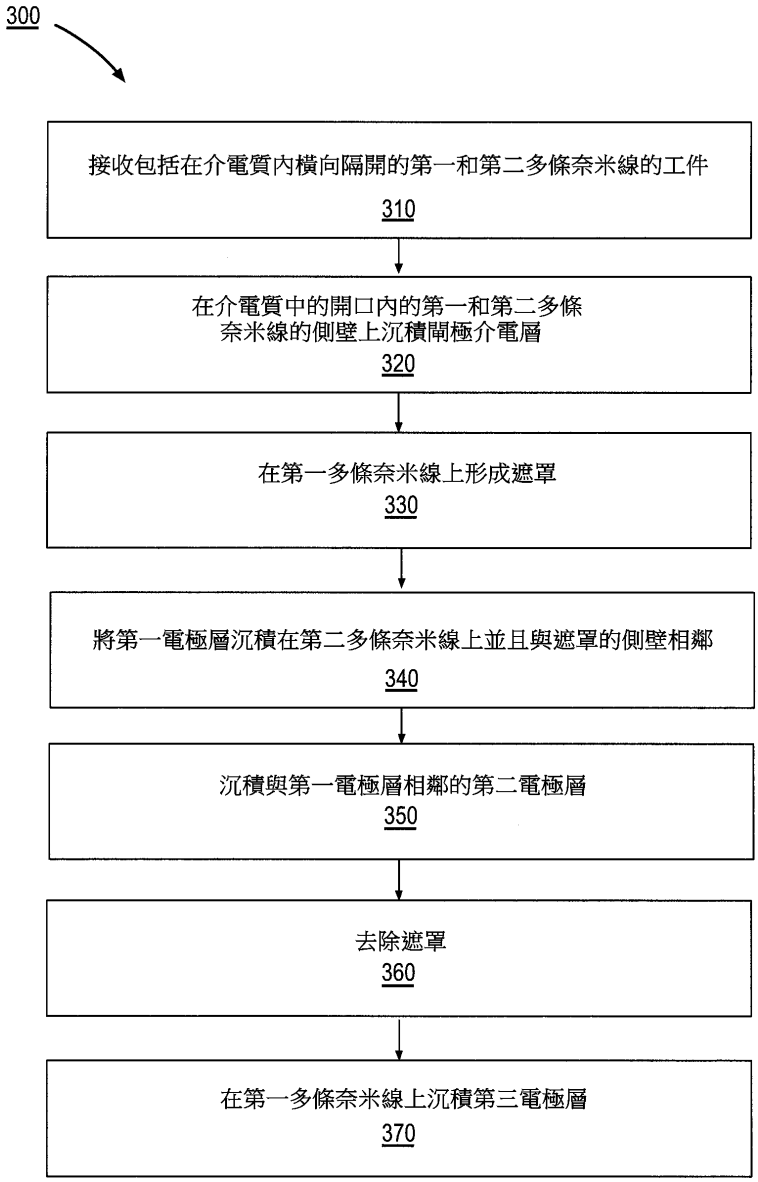

113
220
102
114
204
T_{L4}
102
204
102
102A
112
204
102
S_{CW4}
201
204
102
204


Z
X

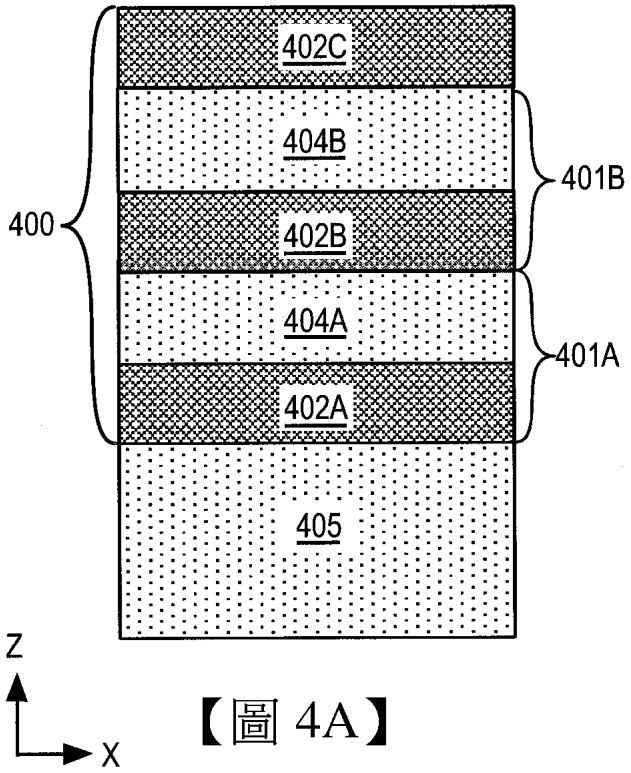
【圖 2D】



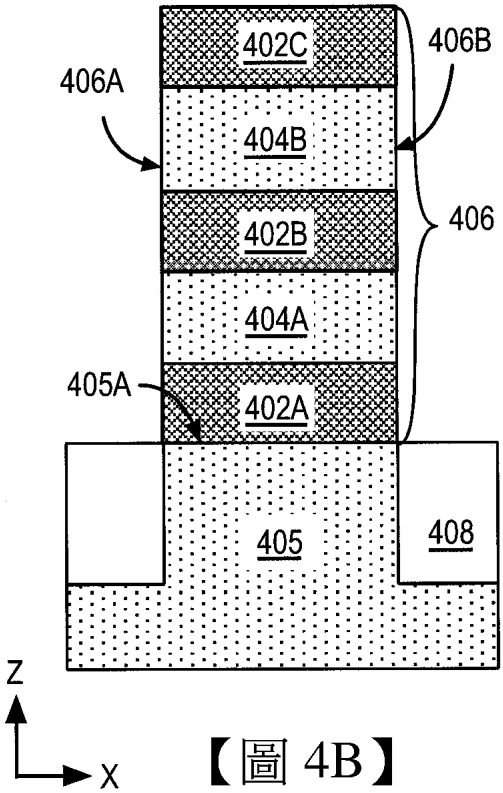
【圖 2E】


300
接收包括在介電質內橫向隔開的第一和第二多條奈米線的工件
310
在介電質中的開口內的第一和第二多條
奈米線的側壁上沉積閘極介電層
320
在第一多條奈米線上形成遮罩
330
將第一電極層沉積在第二多條奈米線上並且與遮罩的側壁相鄰
340
沉積與第一電極層相鄰的第二電極層
350
去除遮罩
360
在第一多條奈米線上沉積第三電極層
370

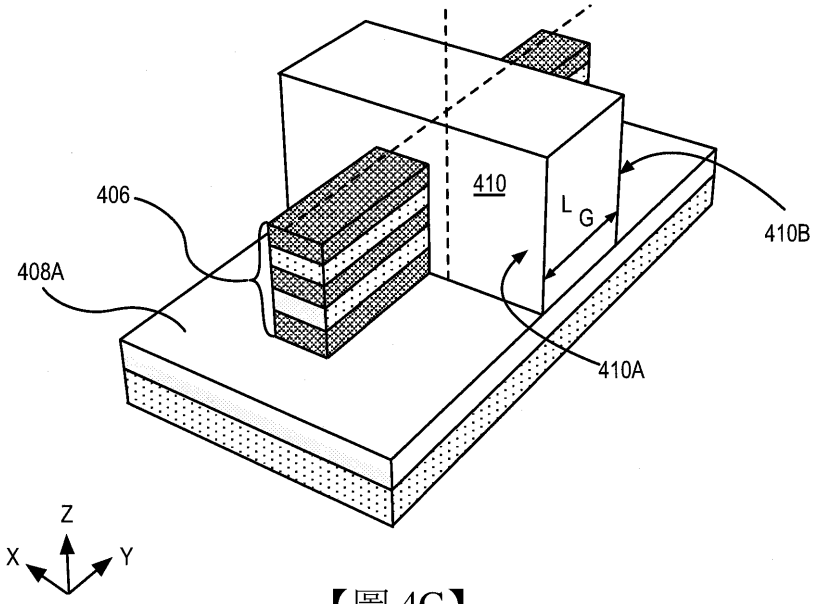
【圖 3】


402C
404B
401B
400
402B
404A
401A
402A
405
Z
X

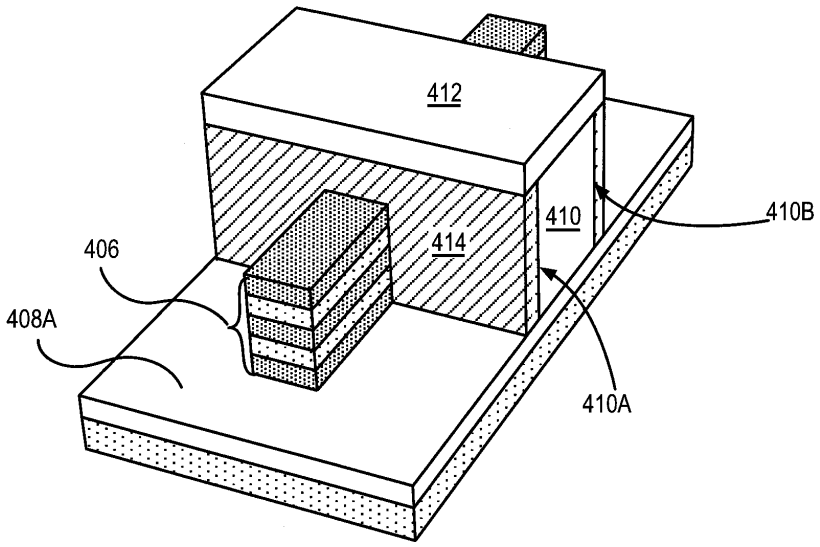
【圖 4A】


402C
406B
406A
404B
406
402B
404A
405A
402A
405
408
Z
X

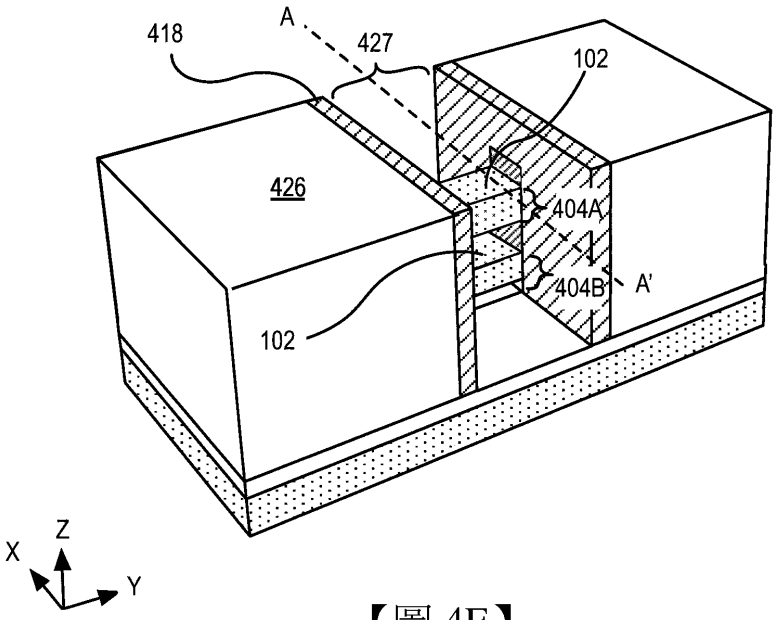
【圖 4B】



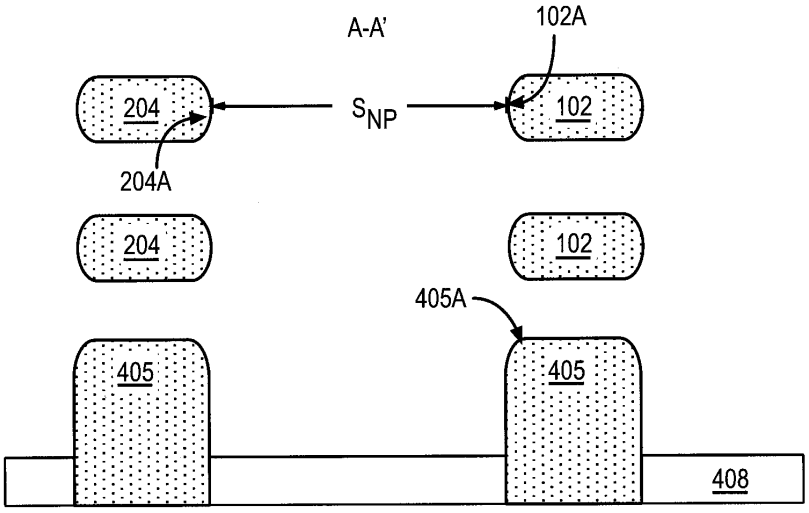
【圖 4C】



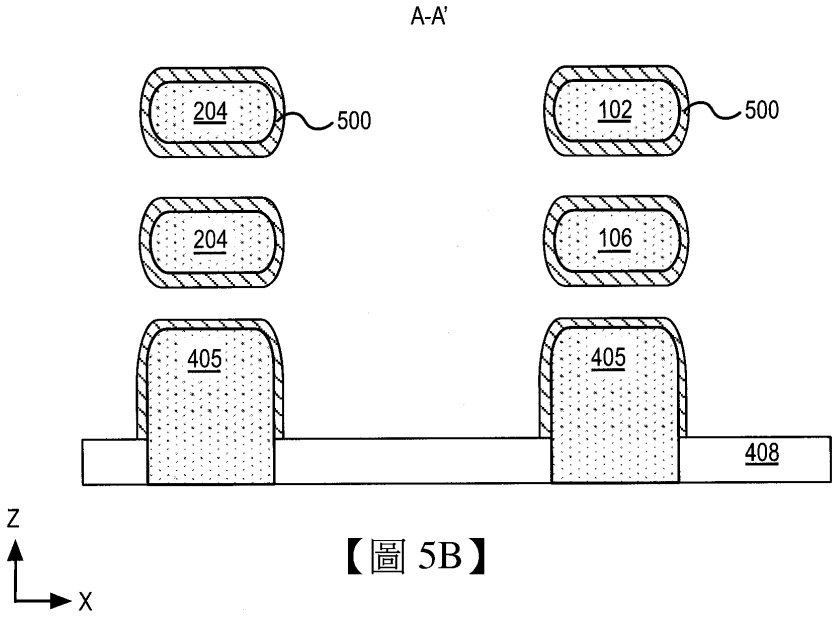
【圖 4D】


418
A
427
102
426
404A
404B
A'
102
Z
X
Y

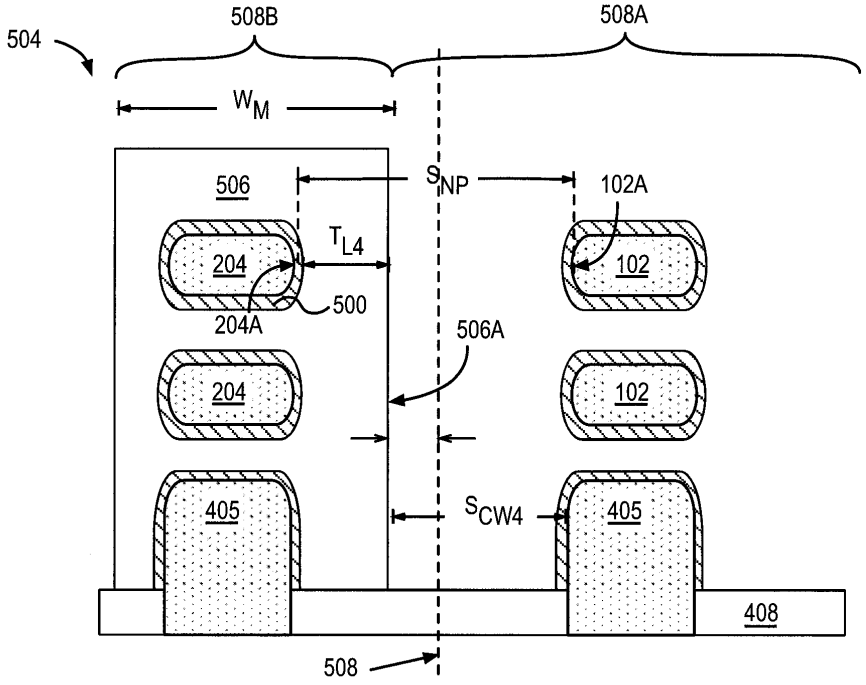
【圖 4E】


A-A'
102A
204
S_{NP}
102
204A
204
102
405A
405
405
408

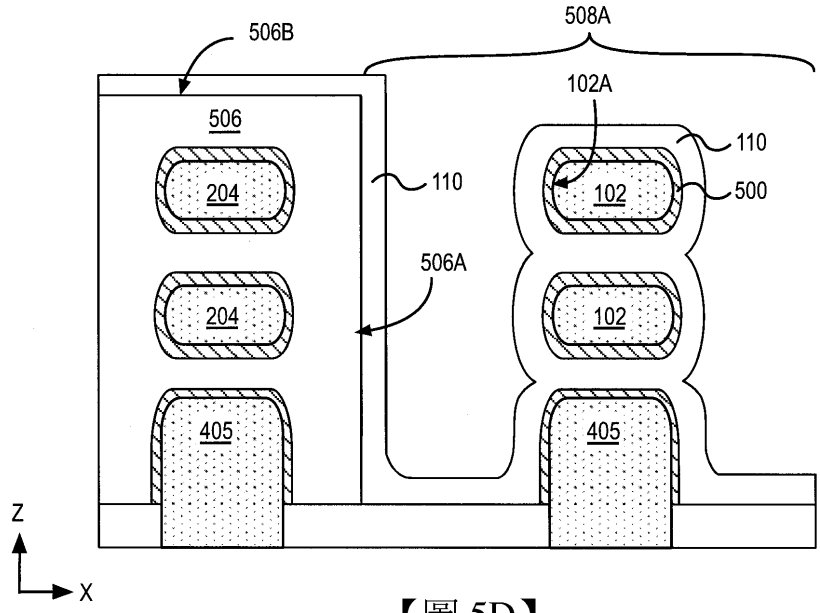
【圖 5A】


A-A'
204
500
102
500
204
106
405
405
408
Z
X

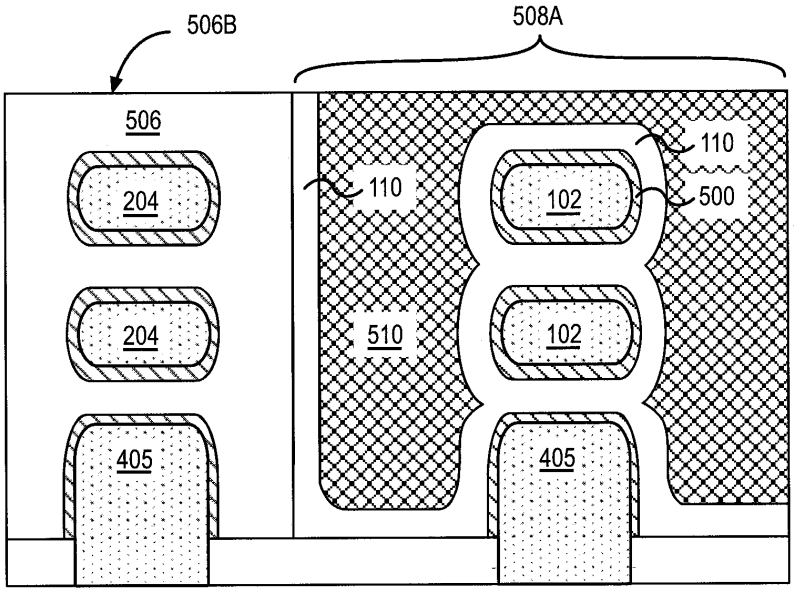
【圖 5B】


504
508B
508A
W_M
506
S_{NP}
102A
T_{L4}
204
102
500
204A
506A
204
102
405
S_{CW4}
405
408
508

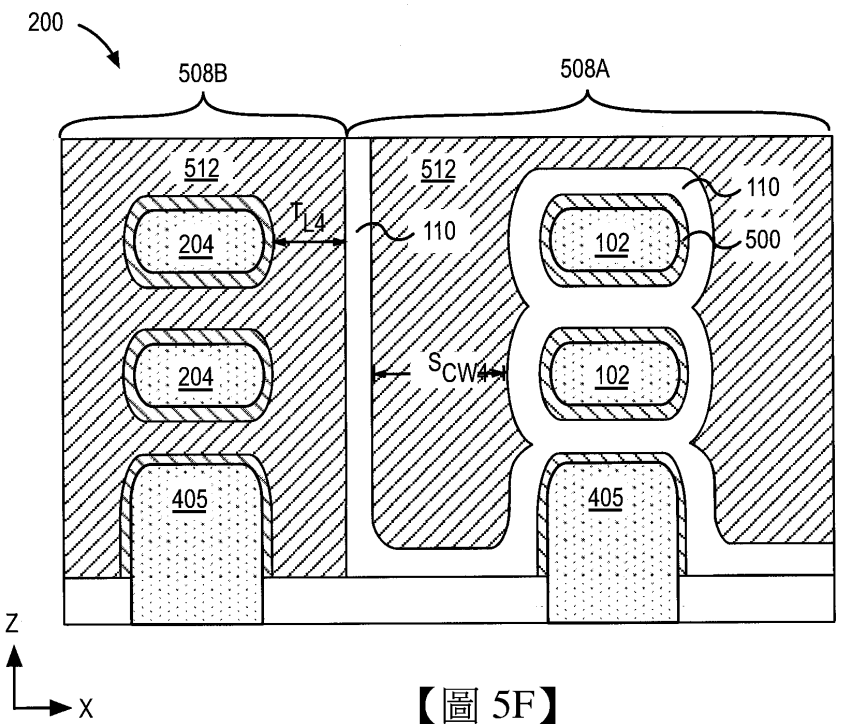
【圖 5C】


506B
508A
102A
506
110
204
110
102
500
506A
204
102
405
405
Z
X

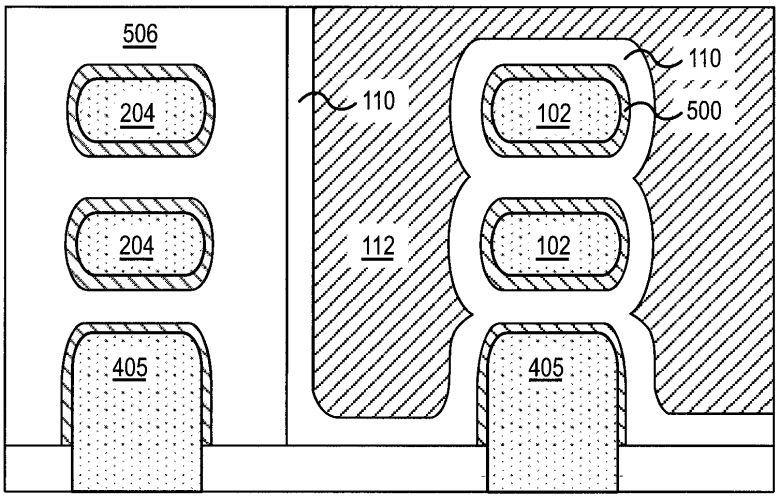
【圖 5D】


506B
508A
506
110
110
204
102
500
204
510
102
405
405

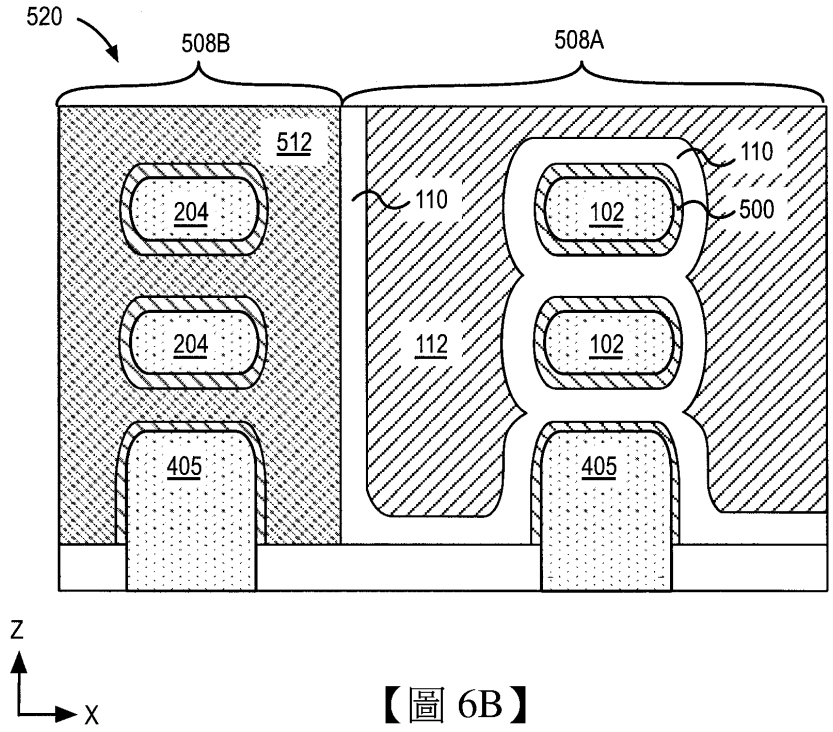
【圖 5E】


200
508B
508A
512
512
204
204
405
405
T_{L4}
110
110
S_{CW4}
102
102
500
Z
X

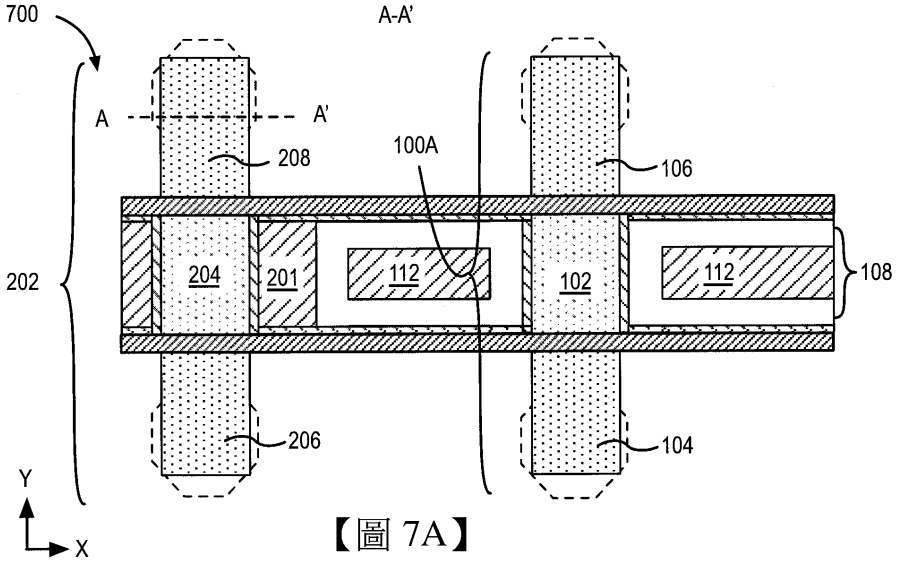
【圖 5F】


506
204
204
405
110
110
112
102
102
500
405

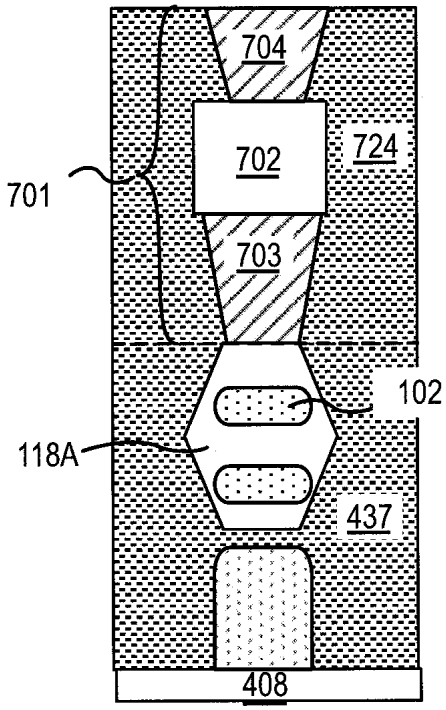
【圖 6A】


520
508B
508A
512
204
204
405
110
112
110
102
500
102
405
Z
X

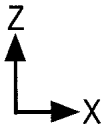
【圖 6B】

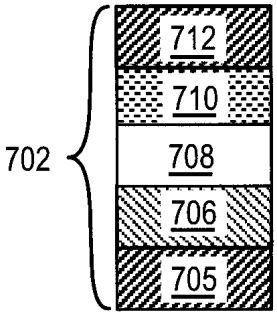

700
A-A'
A
A'
208
100A
106
202
204
201
112
102
112
108
206
104
Y
X

【圖 7A】

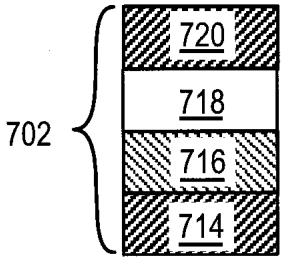


【圖 7B】

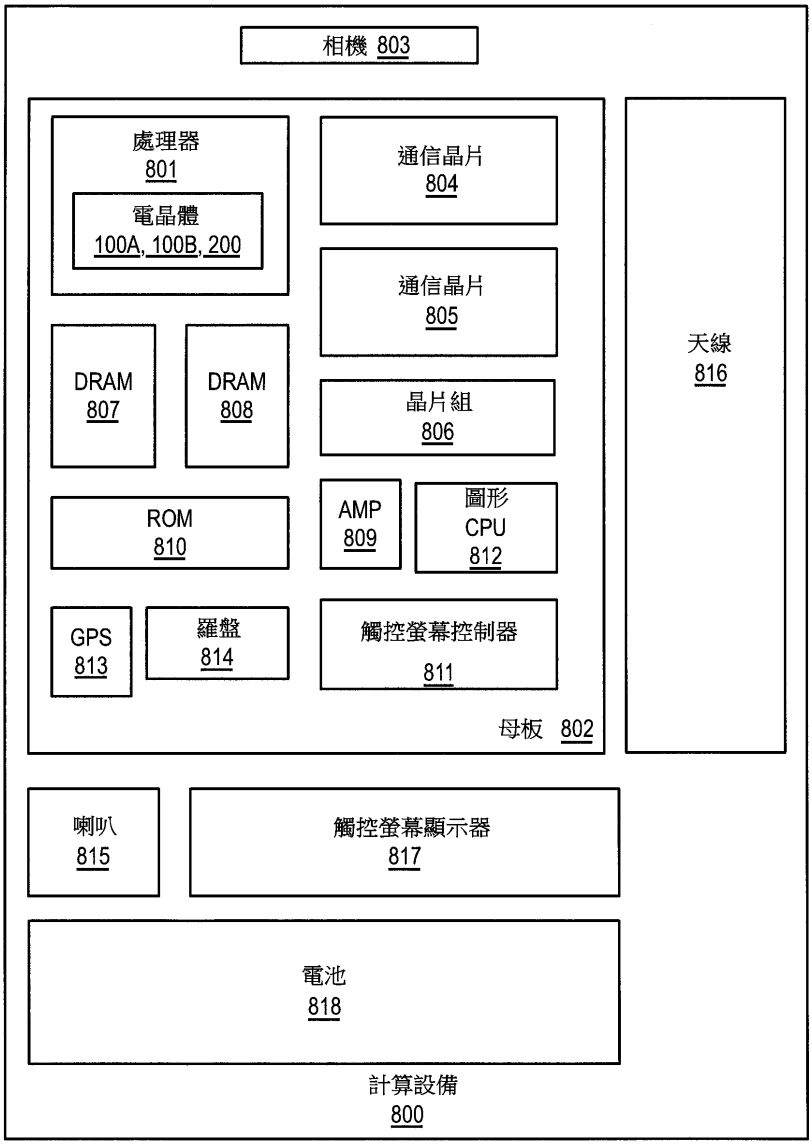




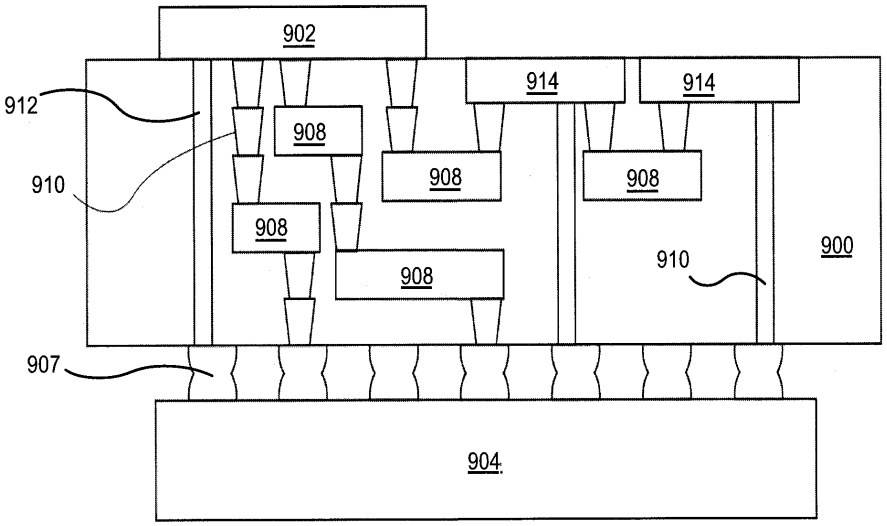
【圖 7C】


720
718
716
714
702

【圖 7D】


相機 803
處理器
801
電晶體
100A, 100B, 200
通信晶片
804
通信晶片
805
DRAM
807
DRAM
808
晶片組
806
天線
816
ROM
810
AMP
809
圖形
CPU
812
GPS
813
羅盤
814
觸控螢幕控制器
811
母板 802
喇叭
815
觸控螢幕顯示器
817
電池
818
計算設備
800

【圖 8】



【圖 9】