【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940683
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*G11C7/06　(2006.01)*

發明　　全 11 頁

【54】名　稱：鎖存電路、包括鎖存電路之傳輸電路、及包括傳輸電路之半導體裝置
【21】申請案號：111135319　　【22】申請日： 中華民國 111 (2022) 年 09 月 19 日
【11】公開編號：202316422　　【43】公開日期： 中華民國 112 (2023) 年 04 月 16 日
【30】優 先 權： 2021/10/07　南韓　10-2021-0133018
【72】發 明 人： 崔恩志 (KR) CHOI, EUN JI；安根善 (KR) AHN, KEUN SEON；孫琯琇 (KR) SHON, KWAN SU；鄭堯韓 (KR) JEONG, YO HAN
【71】申 請 人： 韓商愛思開海力士有限公司　SK HYNIX INC.
南韓
【74】代 理 人： 王立成
【56】參考文獻：

CN	103956185B	CN	113314177A
US	2019/0385672A1	US	2021/0158855A1

審查人員：陳明德

【57】申請專利範圍

1. 一種鎖存電路，該鎖存電路包括：

　　第一檢測單元，該第一檢測單元在正常讀取操作期間通過回應於控制時鐘信號的轉變而檢測輸入端子的位準來產生輸出信號；以及

　　第二檢測單元，該第二檢測單元在狀態資訊讀取操作期間通過回應於該控制時鐘信號檢測該輸入端子的位準來產生該輸出信號，

　　其中，在該正常讀取操作期間，該控制時鐘信號反復轉變，且在該狀態資訊讀取操作期間，該控制時鐘信號固定為第一邏輯位準。

2. 如請求項 1 所述的鎖存電路，其中，該第一檢測單元通過回應於當該控制時鐘信號轉變時出現的上升邊緣或下降邊緣而檢測通過該輸入端子輸入的資料的位準來產生該輸出信號。

3. 如請求項 1 所述的鎖存電路，其中，該狀態資訊包括多個資料位元，該多個資料位元用於限定以下各項中的至少一者：最近輸入的命令是否已經被正常執行、先前輸入的命令是否已經被正常執行、是否存在當前正在進行的操作、以及是否存在當前處於待機的操作。

4. 如請求項 3 所述的鎖存電路，其中，該第一檢測單元作為邊緣觸發電路進行操作，並且

　　其中，該第二檢測單元作為位準觸發電路進行操作。

5. 一種鎖存電路，該鎖存電路包括：

　　交叉聯接鎖存器，該交叉聯接鎖存器回應於控制時鐘信號的轉變而鎖存輸入端子的位準，並且通過輸出端子輸出鎖存的資料；以及

　　開關部分，該開關部分連接在該輸出端子和該輸入端子之間，並且回應於狀態資訊讀取信號而通過該輸出端子來輸出通過該輸入端子輸入的狀態資訊，而與該控制時鐘信號的轉變無關。

6. 如請求項 5 所述的鎖存電路，其中，該交叉聯接鎖存器回應於當該控制時鐘信號轉變時出現的上升邊緣或下降邊緣而檢測該輸入端子的位準。

7. 如請求項 5 所述的鎖存電路，其中，該狀態資訊包括多個資料位元，該多個資料位元用於限定以下各項中的至少一者：最近輸入的命令是否已經被正常執行、先前輸入的命令是否已經被正常執行、是否存在當前正在進行的操作、以及是否存在當前處於待機的操作。

8. 如請求項 5 所述的鎖存電路，其中，該鎖存電路在正常讀取操作期間作為邊緣觸發電路進行操作，並且在狀態資訊讀取操作期間作為位準觸發電路進行操作。

9. 一種傳輸電路，該傳輸電路包括：

鎖存電路，該鎖存電路：

在正常讀取操作期間通過根據控制時鐘信號的上升邊緣和下降邊緣中的每一者而檢測通過多個差分輸入端子輸入的各資料的位準來產生輸出信號，並且

在狀態資訊讀取操作期間通過回應於該控制時鐘信號檢測通過該多個差分輸入端子輸入的狀態資訊的位準來產生該輸出信號；以及

串聯器，該串聯器串聯並且輸出該輸出信號，

其中，在該正常讀取操作期間，該控制時鐘信號反復轉變，且在該狀態資訊讀取操作期間，該控制時鐘信號固定為第一邏輯位準。

10. 如請求項 9 所述的傳輸電路，該傳輸電路還包括：

驅動器，該驅動器根據該串聯器的輸出來驅動輸入/輸出接端單元的接端。

11. 如請求項 9 所述的傳輸電路，該傳輸電路還包括：

分頻電路，該分頻電路通過對外部時鐘信號進行分頻來產生多相時鐘信號；以及

時鐘控制電路，該時鐘控制電路通過根據多個時鐘賦能信號選擇性地組合該多相時鐘信號來產生頻率與該外部時鐘信號的頻率相等的該控制時鐘信號。

12. 如請求項 9 所述的傳輸電路，其中，該鎖存電路包括多個鎖存單元，並且

其中，該多個鎖存單元中的至少一個包括：

交叉聯接鎖存器，該交叉聯接鎖存器回應於該控制時鐘信號中的第一控制時鐘信號的轉變而鎖存該多個差分輸入端子中的第一差分輸入端子的位準，並且通過第一輸出端子來輸出鎖存的資料；以及

開關部分，該開關部分連接在該第一差分輸入端子和該第一輸出端子之間，並且回應於狀態資訊讀取信號而通過該第一輸出端子來輸出通過該第一差分輸入端子輸入的狀態資訊，而與該第一控制時鐘信號的轉變無關。

13. 如請求項 12 所述的傳輸電路，其中，該交叉聯接鎖存器回應於當該第一控制時鐘信號轉變時出現的上升邊緣或下降邊緣而檢測該第一差分輸入端子的位準。

14. 如請求項 9 所述的傳輸電路，其中，該狀態資訊包括多個資料位元，該多個資料位元用於限定以下各項中的至少一者：最近輸入的命令是否已經被正常執行、先前輸入的命令是否已經被正常執行、是否存在當前正在進行的操作、以及是否存在當前處於待機的操作。

15. 如請求項 9 所述的傳輸電路，其中，該鎖存電路在該正常讀取操作期間作為邊緣觸發電路進行操作，並且在該狀態資訊讀取操作期間作為位準觸發電路進行操作。

16. 一種半導體裝置，該半導體裝置包括：

記憶體單元陣列，該記憶體單元陣列存儲正常資料；

控制電路，該控制電路回應於外部時鐘信號而產生包括多相時鐘信號的控制信號，並且回應於狀態資訊讀取命令而輸出內部存儲的狀態資訊；

輸入/輸出接端單元；以及

傳輸電路，該傳輸電路：

在正常讀取操作期間，通過根據控制時鐘信號的上升邊緣和下降邊緣中的每一者而檢測通過多個差分輸入端子輸入的該正常資料中的每一者的位準來產生輸出信號，並且通過該輸入/輸出接端單元將該輸出信號輸出到外部裝置，並且

在狀態資訊讀取操作期間，通過回應於該控制時鐘信號檢測通過該多個差分輸入端子輸入的狀態資訊的位準來產生該輸出信號，並且通過該輸入/輸出接端單元將該輸出信號輸出到外部裝置，

其中，在該正常讀取操作期間，該控制時鐘信號反復轉變，且在該狀態資訊讀取操作期間，該控制時鐘信號固定為第一邏輯位準。

17. 如請求項 16 所述的半導體裝置，其中，該控制電路包括：

分頻電路，該分頻電路通過對該外部時鐘信號進行相位分離和分頻來產生該多相時鐘信號。

18. 如請求項 16 所述的半導體裝置，其中，該傳輸電路包括：

鎖存電路，該鎖存電路在該正常讀取操作期間通過根據該控制時鐘信號的轉變而檢測輸入資料的位準來產生該輸出信號，並且在該狀態資訊讀取操作期間通過與該控制時鐘信號的轉變無關地檢測輸入狀態資訊的位準來產生該輸出信號；以及

時鐘控制電路，該時鐘控制電路通過根據多個時鐘賦能信號選擇性地組合該多相時鐘信號來產生頻率與該外部時鐘信號的頻率相等的該控制時鐘信號。

19. 如請求項 18 所述的半導體裝置，其中，該鎖存電路包括多個鎖存單元，並且

其中，該多個鎖存單元中的至少一個包括：

交叉聯接鎖存器，該交叉聯接鎖存器回應於該控制時鐘信號中的第一控制時鐘信號的轉變而鎖存第一差分輸入端子的位準，並且通過第一輸出端子輸出鎖存的信號；以及

開關部分，該開關部分連接在該第一差分輸入端子和該第一輸出端子之間，並且回應於狀態資訊讀取信號而通過該第一輸出端子輸出通過該第一差分輸入端子輸入的信號，而與該第一控制時鐘信號的轉變無關。

20. 如請求項 16 所述的半導體裝置，其中，該狀態資訊包括多個資料位元，該多個資料位元用於限定以下各項中的至少一者：最近輸入的命令是否已經被正常執行、先前輸入的命令是否已經被正常執行、是否存在當前正在進行的操作、以及是否存在當前處於待機的操作。

圖式簡單說明

圖 1 是示出根據本發明的一個實施方式的半導體系統 10 的配置的圖。

圖 2 是示出根據本發明的一個實施方式的半導體裝置 100 的配置的圖。

圖 3 是圖示根據本發明的一個實施方式的傳輸電路 200 的配置的圖。

圖 4 是示出圖 3 中第一鎖存電路 210 的配置的圖。

圖 5 是示出圖 3 中第二鎖存電路 220 的配置的圖。

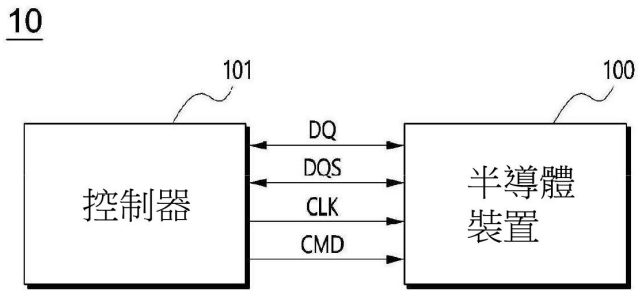
圖 6 是示出圖 3 中時鐘控制電路 230 的配置的圖。

圖 7 是圖示根據本發明的另一個實施方式的傳輸電路 300 的配置的圖。

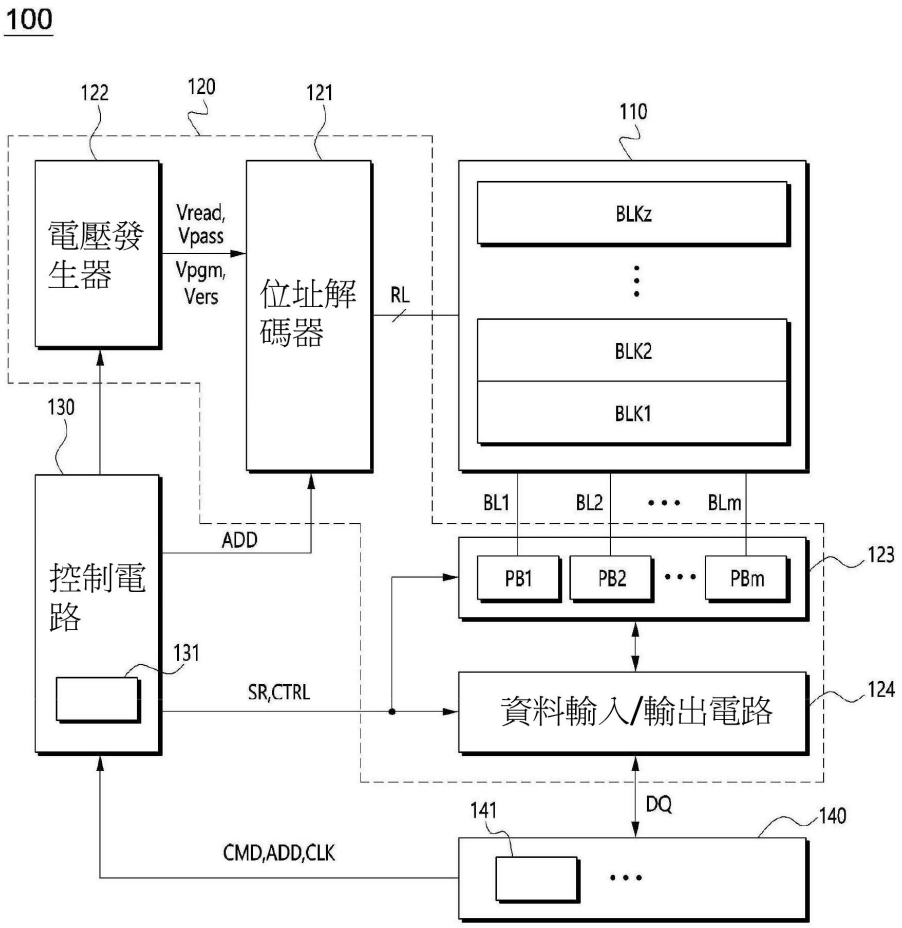
圖 8 是示出圖 7 中鎖存電路 310 的配置的圖。

圖 9 是示出圖 7 中時鐘控制電路 330 的配置的圖。

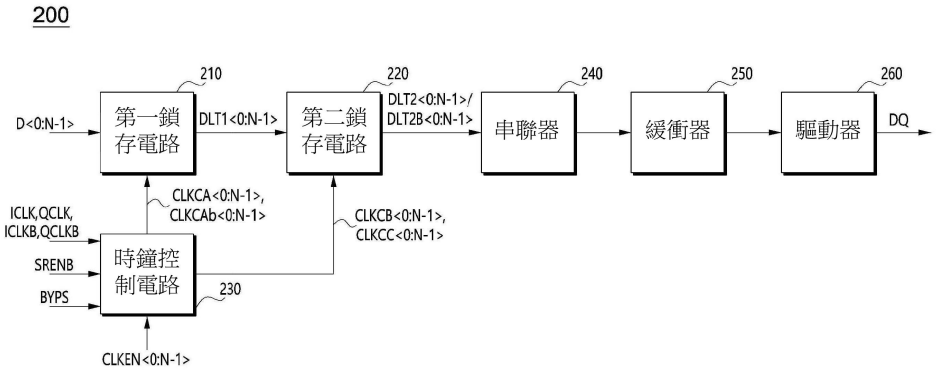
圖 10 是圖 9 中時鐘控制電路 330 的操作時序圖。


10
101
100
控制器
DQ
DQS
CLK
CMD
半導體
裝置

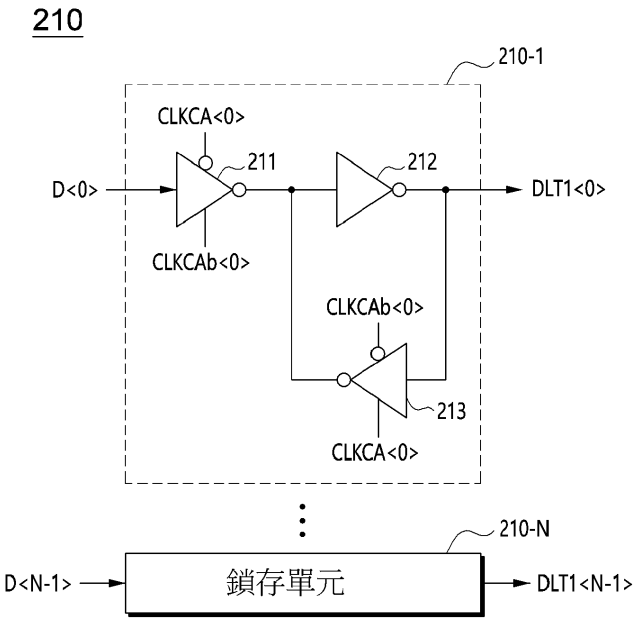
【圖1】


100
122
120
121
110
電壓發
生器
Vread,
Vpass
Vpgm,
Vers
位址解
碼器
RL
BLKz
BLK2
BLK1
130
BL1
BL2
BLm
ADD
控制電
路
PB1
PB2
PBm
123
131
SR,CTRL
資料輸入/輸出電路
124
DQ
141
140
CMD,ADD,CLK

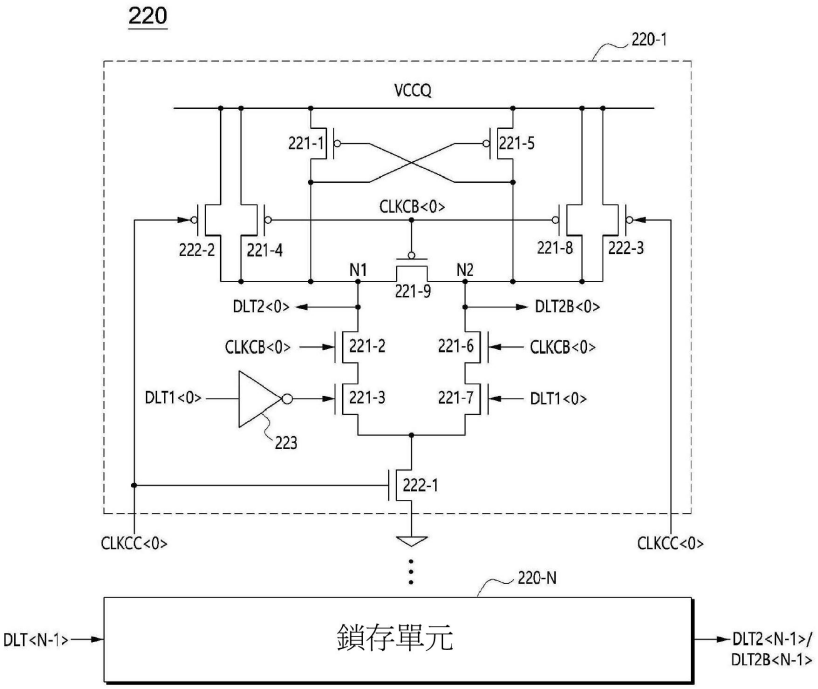
【圖2】


200
210
220
240
250
260
D<0:N-1>
第一鎖存電路
DLT1<0:N-1>
第二鎖存電路
DLT2<0:N-1>/
DLT2B<0:N-1>
串聯器
緩衝器
驅動器
DQ
CLKCA<0:N-1>,
CLKCAb<0:N-1>
CLKCB<0:N-1>,
CLKCC<0:N-1>
ICLK,QCLK,
ICLKB,QCLKB
SRENB
BYPS
時鐘控制電路
230
CLKEN<0:N-1>

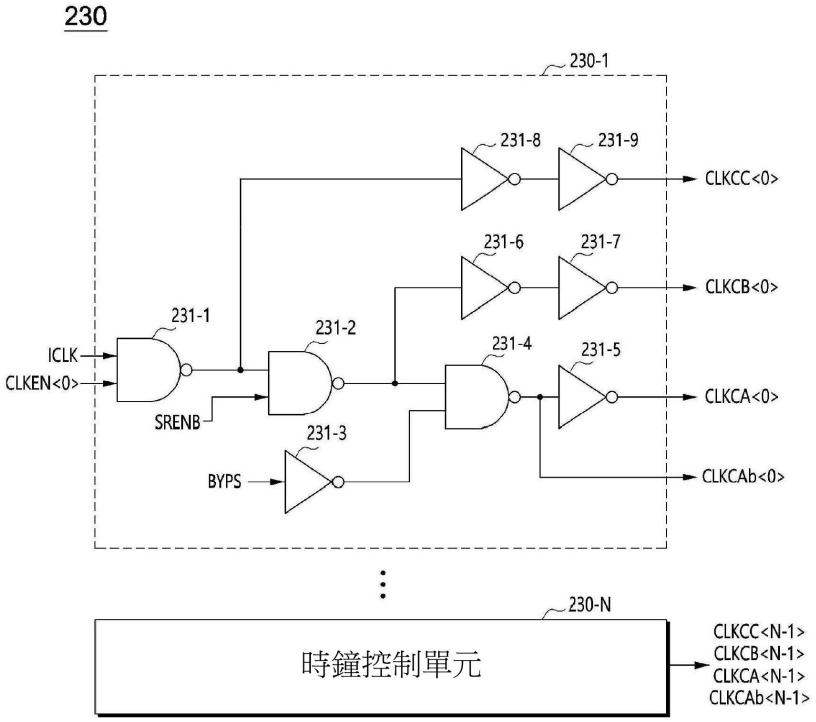
【圖3】


210
210-1
CLKCA<0>
211
212
D<0>
DLT1<0>
CLKCAb<0>
CLKCAb<0>
213
CLKCA<0>
210-N
D<N-1>
鎖存單元
DLT1<N-1>

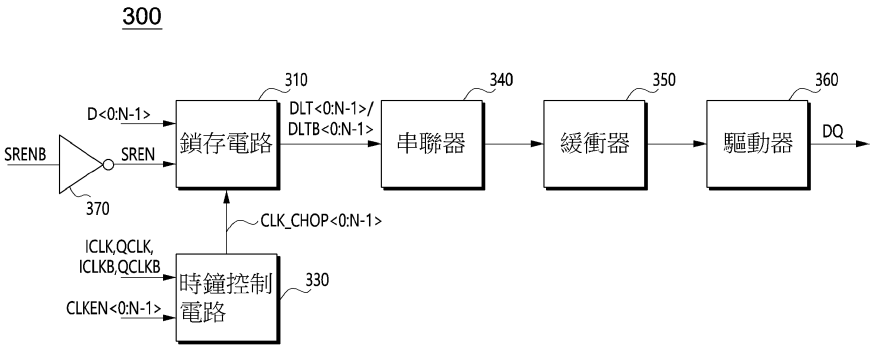
【圖4】


220
220-1
VCCQ
221-1
221-5
CLKCB<0>
222-2
221-4
221-8
222-3
N1
N2
221-9
DLT2<0>
DLT2B<0>
CLKCB<0>
221-2
221-6
CLKCB<0>
DLT1<0>
221-3
221-7
DLT1<0>
223
222-1
CLKCC<0>
CLKCC<0>
220-N
DLT<N-1>
鎖存單元
DLT2<N-1>/
DLT2B<N-1>

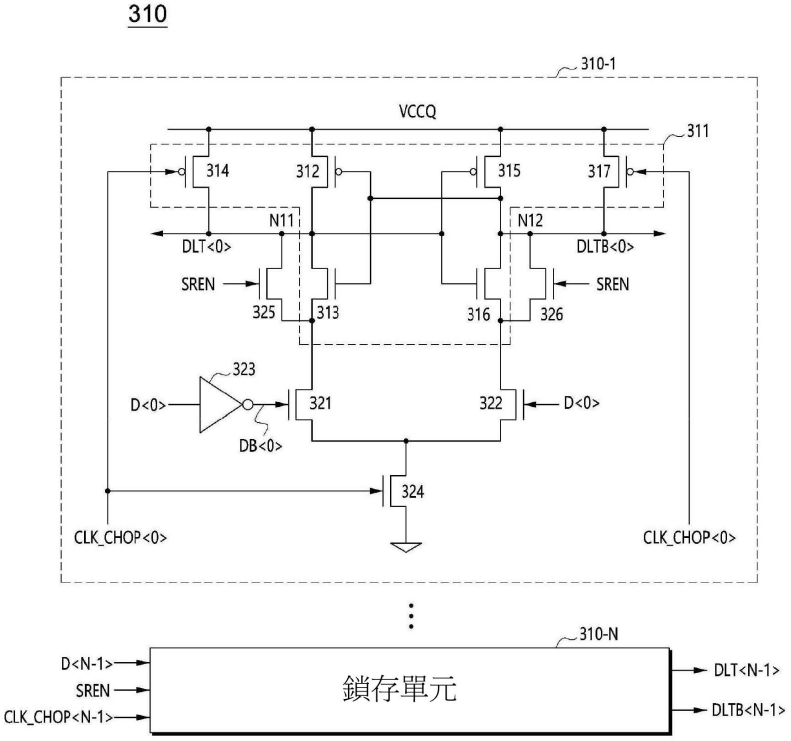
【圖5】


230
230-1
231-8
231-9
CLKCC<0>
231-6
231-7
CLKCB<0>
231-1
231-2
231-4
231-5
ICLK
CLKEN<0>
SRENB
CLKCA<0>
231-3
BYPS
CLKCAb<0>
230-N
時鐘控制單元
CLKCC<N-1>
CLKCB<N-1>
CLKCA<N-1>
CLKCAb<N-1>

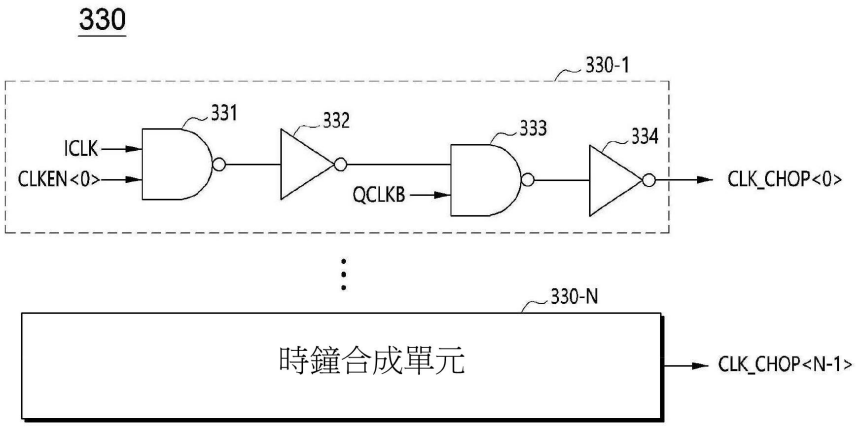
【圖6】


300
310
340
350
360
D<0:N-1>
SRENB
SREN
鎖存電路
DLT<0:N-1>/
DLTB<0:N-1>
串聯器
緩衝器
驅動器
DQ
370
CLK_CHOP<0:N-1>
ICLK,QCLK,
ICLKB,QCLKB
時鐘控制
電路
330
CLKEN<0:N-1>

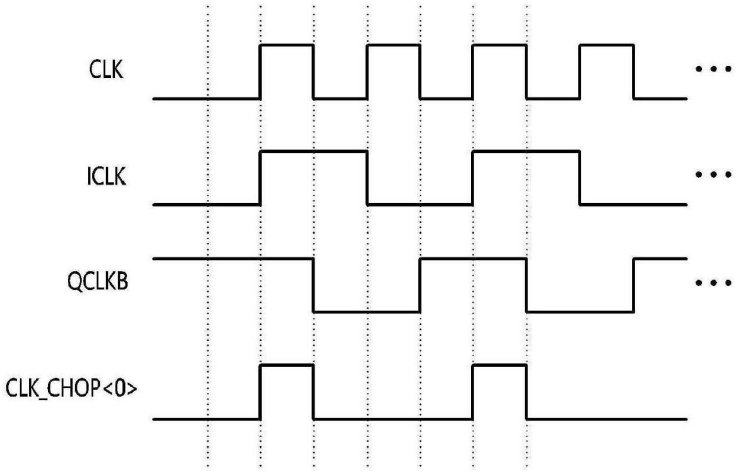
【圖7】


310
310-1
VCCQ
311
314
312
315
317
N11
N12
DLT<0>
DLTB<0>
SREN
SREN
325
313
316
326
323
D<0>
321
322
D<0>
DB<0>
324
CLK_CHOP<0>
CLK_CHOP<0>
310-N
D<N-1>
SREN
CLK_CHOP<N-1>
鎖存單元
DLT<N-1>
DLTB<N-1>

【圖8】


330
330-1
331
332
333
334
ICLK
CLKEN<0>
QCLKB
CLK_CHOP<0>
330-N
時鐘合成單元
CLK_CHOP<N-1>

【圖9】


CLK
ICLK
QCLKB
CLK_CHOP<0>

【圖10】