【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940690
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10D64/20　(2025.01)*　*H10D64/27　(2025.01)*
H10D64/64　(2025.01)　*H10D30/01　(2025.01)*
發明　全 8 頁

【54】名　稱：半導體裝置及半導體裝置之製造方法
【21】申請案號：111135925　【22】申請日： 中華民國 111 (2022) 年 09 月 22 日
【11】公開編號：202335296　【43】公開日期： 中華民國 112 (2023) 年 09 月 01 日
【30】優 先 權： 2021/09/27　日本　2021-157037
【72】發 明 人： 野瀨幸則 (JP) NOSE, YUKINORI
【71】申 請 人： 日商住友電工器件創新股份有限公司 日本　SUMITOMO ELECTRIC DEVICE INNOVATIONS, INC.
【74】代 理 人： 陳長文
【56】參考文獻：
US　2009/0242943A1　　US　2013/0082307A1
審查人員：于若天

【57】申請專利範圍

1. 一種半導體裝置，其具有：
基板；
半導體層，其設置於上述基板之上；
絕緣層，其設置於上述半導體層之上，形成有第 1 開口；
閘極電極，其設置於上述絕緣層之上，通過上述第 1 開口而與上述半導體層接觸；以及
源極電極及汲極電極，其等與上述半導體層歐姆接觸；且
上述閘極電極具有：
結晶性控制膜，其設置於上述絕緣層之上，具備第 2 開口，該第 2 開口於自與上述基板之上表面垂直之方向之俯視下，朝上述基板以其內壁連接於上述第 1 開口之內壁之方式形成；
第 1 金屬膜，其設置於上述結晶性控制膜之上，通過上述第 2 開口及上述第 1 開口各自相連之內壁而與上述半導體層肖特基接觸；及
第 2 金屬膜，其設置於上述第 1 金屬膜之上，電阻較上述第 1 金屬膜低；且
上述結晶性控制膜包含 ZnO 膜、GaN 膜、TiN 膜、Al 膜、AlSiCu 膜或 AlN 膜。
2. 如請求項 1 之半導體裝置，其中
上述半導體層包含氮化物半導體層，
上述第 1 金屬膜為 Ni 膜，
上述結晶性控制膜之與上述第 1 金屬膜之界面之原子排列為六次對稱。
3. 如請求項 1 或 2 之半導體裝置，其中
上述閘極電極於自與上述基板之上表面垂直之方向之俯視下，具有：
第 1 區域，其與上述第 1 開口重疊；
第 2 區域，其於上述源極電極側朝水平方向連接於上述第 1 區域；及
第 3 區域，其於上述汲極電極側朝水平方向連接於上述第 1 區域；且
上述結晶性控制膜至少設置於上述第 2 區域之一部分與上述第 3 區域之一部分。

4. 如請求項 3 之半導體裝置，其中上述第 2 區域之上述第 2 金屬膜之電子束繞射圖案之半值寬及上述第 3 區域之上述第 2 金屬膜之電子束繞射圖案之半值寬為上述第 1 區域之上述第 2金屬膜之電子束繞射圖案之半值寬的 45 倍以下。
5. 如請求項 3 之半導體裝置，其中上述第 2 區域之上述第 2 金屬膜之平均結晶粒徑及上述第 3 區域之上述第 2 金屬膜之平均結晶粒徑為上述第 1 區域之上述第 2 金屬膜之平均結晶粒徑的 60%以上。
6. 如請求項 1 或 2 之半導體裝置，其中上述結晶性控制膜之厚度為 10 nm 以上 30 nm 以下。
7. 如請求項 1 或 2 之半導體裝置，其中上述閘極電極之較上述絕緣層之上表面更靠上側之部分於自與上述源極電極及上述汲極電極排列之方向垂直、且與上述基板之上表面平行之方向之剖視下，具有越靠近上述絕緣層則寬度越寬之錐度形狀。
8. 如請求項 1 或 2 之半導體裝置，其中上述絕緣層為非晶質層。
9. 一種半導體裝置，其具有：
   基板；
   半導體層，其設置於上述基板之上；
   絕緣層，其設置於上述半導體層之上，形成有第 1 開口；
   閘極電極，其設置於上述絕緣層之上，通過上述第 1 開口而與上述半導體層接觸；以及
   源極電極及汲極電極，其等與上述半導體層歐姆接觸；且
   上述閘極電極具有：
   ZnO 膜，其設置於上述絕緣層之上，具備第 2 開口，該第 2 開口以其內壁連接於上述第 1 開口之內壁之方式形成；
   Ni 膜，其設置於上述 ZnO 膜之上，通過上述第 2 開口及上述第 1 開口各自彼此相連之內壁而與上述半導體層肖特基接觸；及
   Au 膜，其設置於上述 Ni 膜之上，電阻較上述 Ni 膜低。
10. 一種半導體裝置之製造方法，其具有以下步驟：
    於基板之上形成半導體層；
    形成與上述半導體層歐姆接觸之源極電極及汲極電極；
    於上述半導體層之上形成絕緣層；
    於上述絕緣層之上形成結晶性控制膜；
    於上述結晶性控制膜形成第 2 開口；
    於上述絕緣層，以上述第 2 開口之內壁連接於第 1 開口之內壁之方式形成第 1 開口；
    形成抗蝕劑遮罩，該抗蝕劑遮罩具備第 3 開口，該第 3 開口具有較上述第 2 開口及上述第 1 開口之開口寬度大的開口寬度；
    通過上述第 3 開口且通過上述第 2 開口及上述第 1 開口各自彼此相連之內壁，而於上述結晶性控制膜之上，形成與上述半導體層肖特基接觸之第 1 金屬膜；
    通過上述第 3 開口，而於上述第 1 金屬膜之上形成電阻較上述第 1 金屬膜低的第 2 金屬膜；及
    去除上述抗蝕劑遮罩。
11. 如請求項 10 之半導體裝置之製造方法，其中於形成上述結晶性控制膜之步驟中，上述基板之溫度為 150℃以上 500℃以下。
12. 如請求項 10 或 11 之半導體裝置之製造方法，其中上述第 1 金屬膜及上述第 2 金屬膜藉由蒸鍍法而形成。
13. 如請求項 10 或 11 之半導體裝置之製造方法，其中形成上述第 1 金屬膜之步驟及形成上述第 2 金屬膜之步驟中之上述基板之溫度為 80℃以下。

圖式簡單說明

圖 1 係表示實施方式之半導體裝置之剖視圖。

圖 2 係將閘極電極放大表示之剖視圖。

圖 3 係表示實施方式之半導體裝置之製造方法之剖視圖(其 1)。

圖 4 係表示實施方式之半導體裝置之製造方法之剖視圖(其 2)。

圖 5 係表示實施方式之半導體裝置之製造方法之剖視圖(其 3)。

圖 6 係表示實施方式之半導體裝置之製造方法之剖視圖(其 4)。

圖 7 係表示實施方式之半導體裝置之製造方法之剖視圖(其 5)。

圖 8 係表示實施方式之半導體裝置之製造方法之剖視圖(其 6)。

圖 9 係表示實施方式之半導體裝置之製造方法之剖視圖(其 7)。

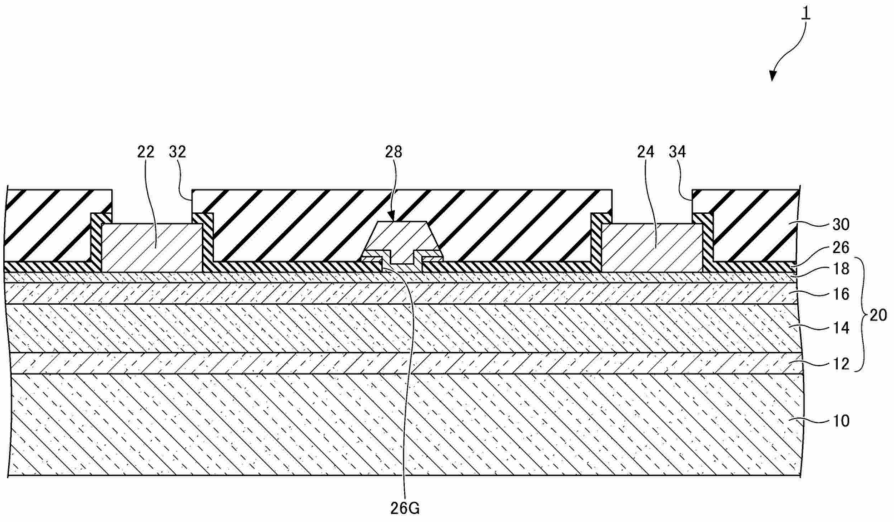
圖 10 係表示實施方式之半導體裝置之製造方法之剖視圖(其 8)。

圖 11 係表示實施方式之半導體裝置之製造方法之剖視圖(其 9)。

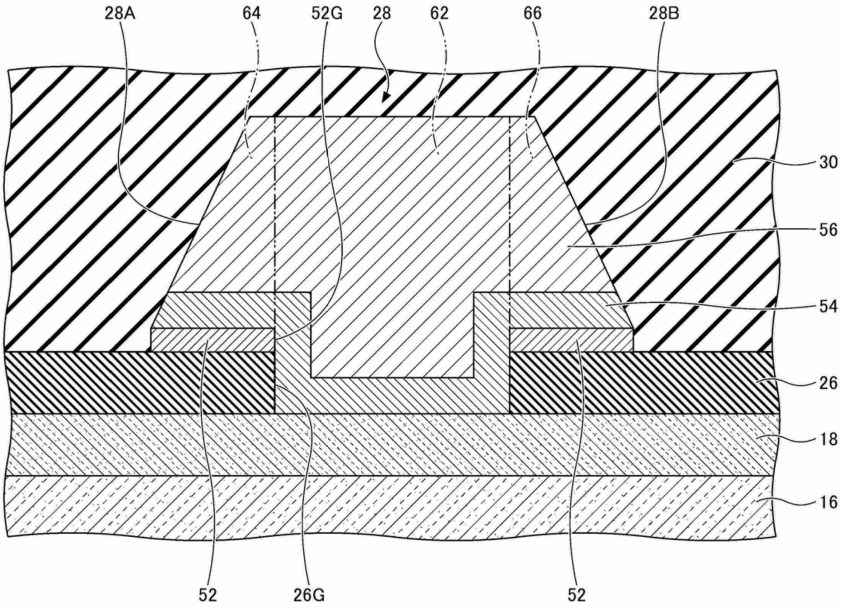
圖 12 係表示實施方式之半導體裝置之製造方法之剖視圖(其 10)。

圖 13 係表示實施方式之半導體裝置之製造方法之剖視圖(其 11)。

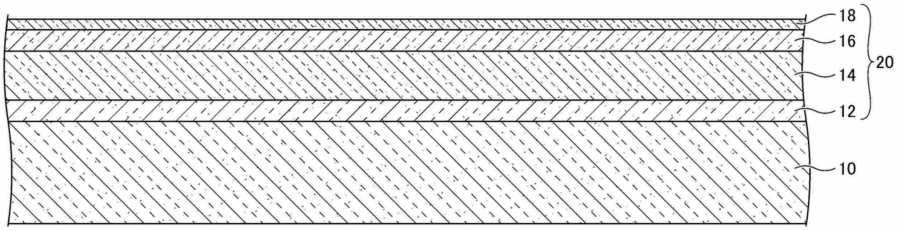
圖 14 係表示實施方式之半導體裝置之製造方法之剖視圖(其 12)。



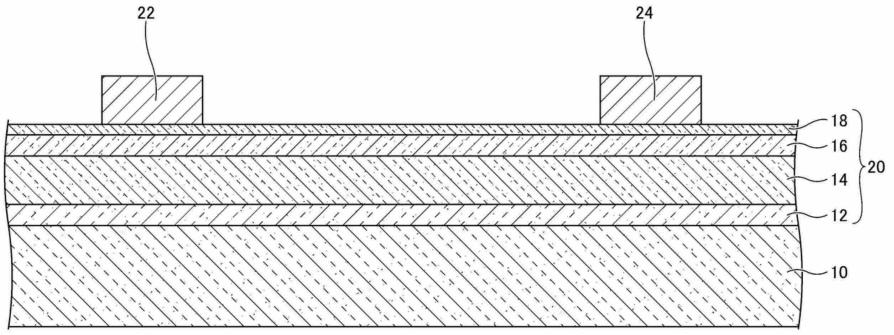
【圖1】


28A
64
52G
28
62
66
28B
30
56
54
26
18
16
52
26G
52

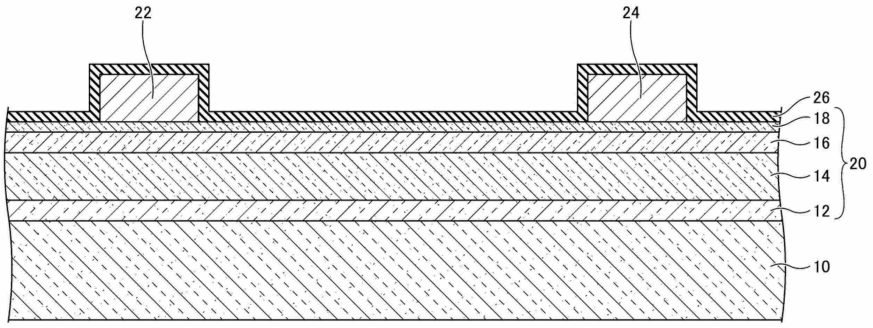
【圖2】


18
16
14
12
20
10

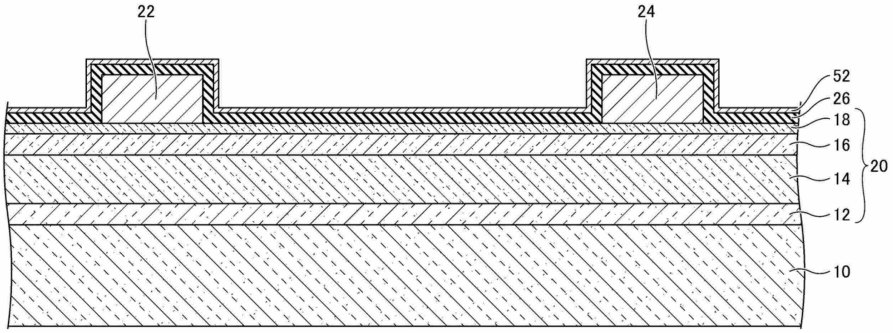
【圖3】


22
24
18
16
14
12
20
10

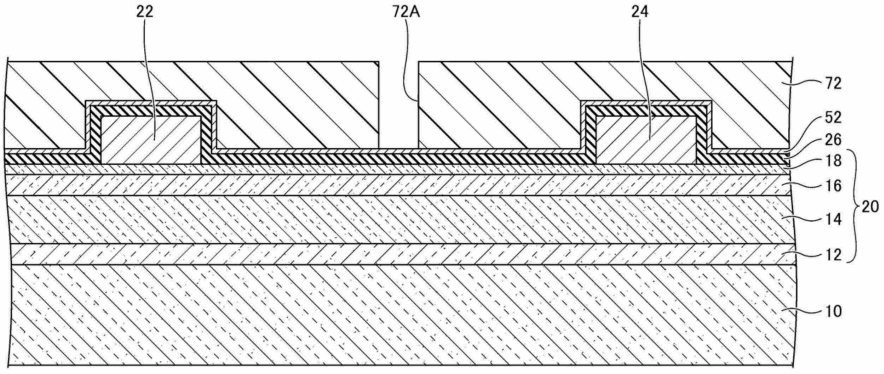
【圖4】


22
24
26
18
16
14
12
10
20

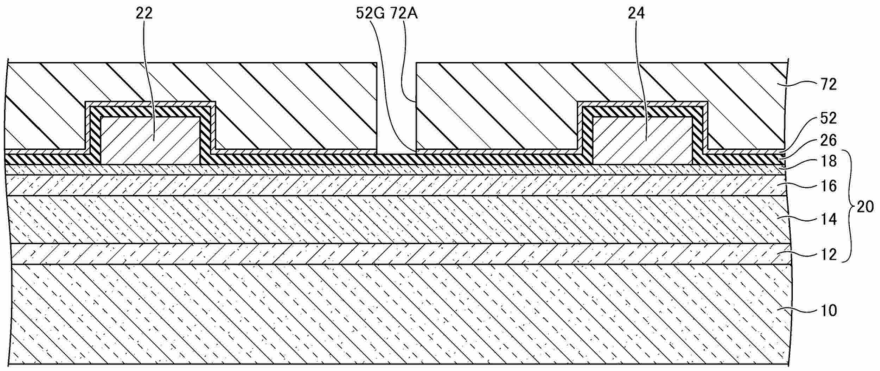
【圖5】


22
24
52
26
18
16
14
12
10
20

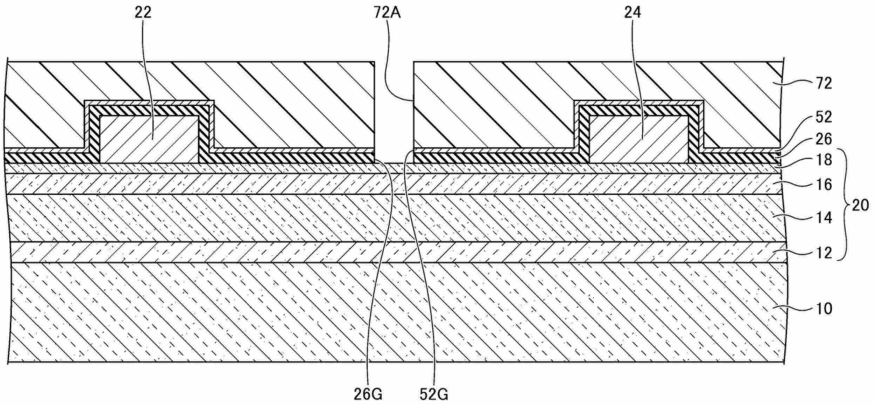
【圖6】


22
72A
24
72
52
26
18
16
14
12
10
20

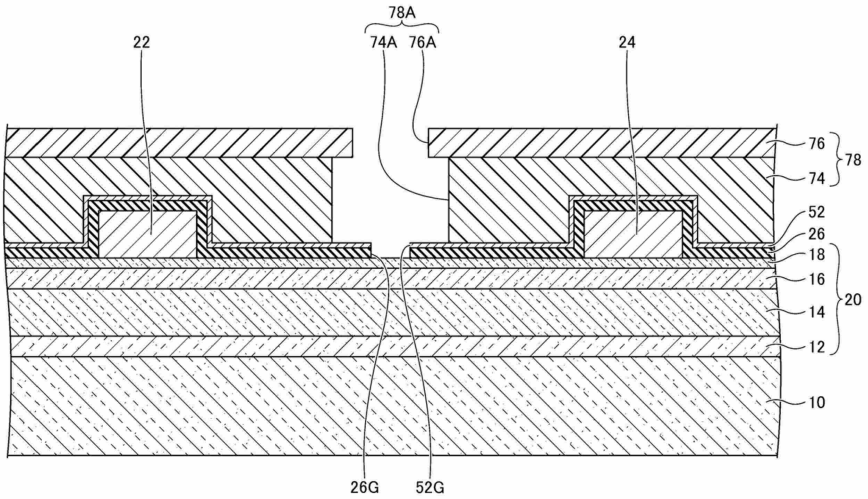
【圖7】


22
52G 72A
24
72
52
26
18
16
14
12
10
20

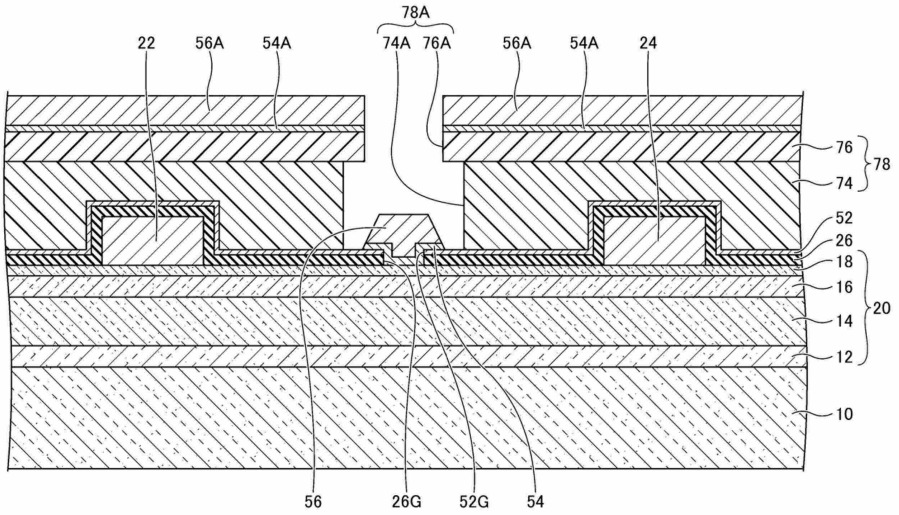
【圖8】


22
72A
24
72
52
26
18
16
14
12
10
20
26G
52G

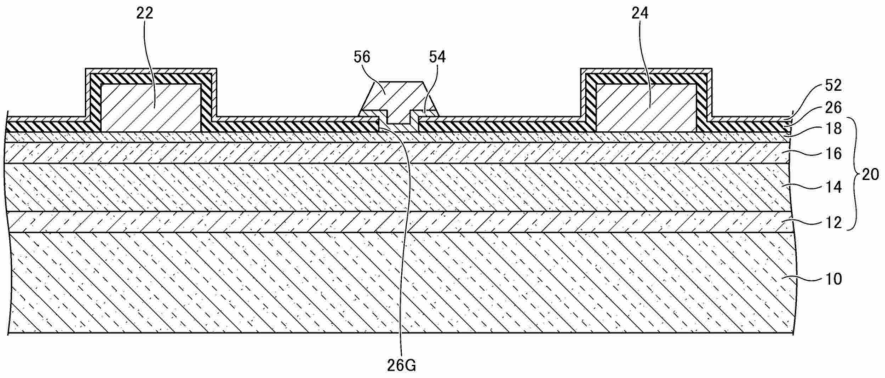
【圖9】


78A
74A
76A
22
24
76
74
78
52
26
18
16
14
12
10
20
26G
52G

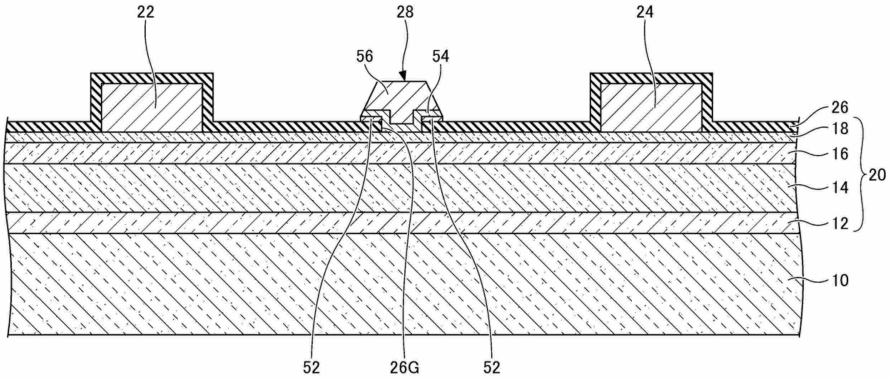
【圖10】


78A
22
56A
54A
74A
76A
56A
54A
24
76
78
74
52
26
18
16
20
14
12
10
56
26G
52G
54

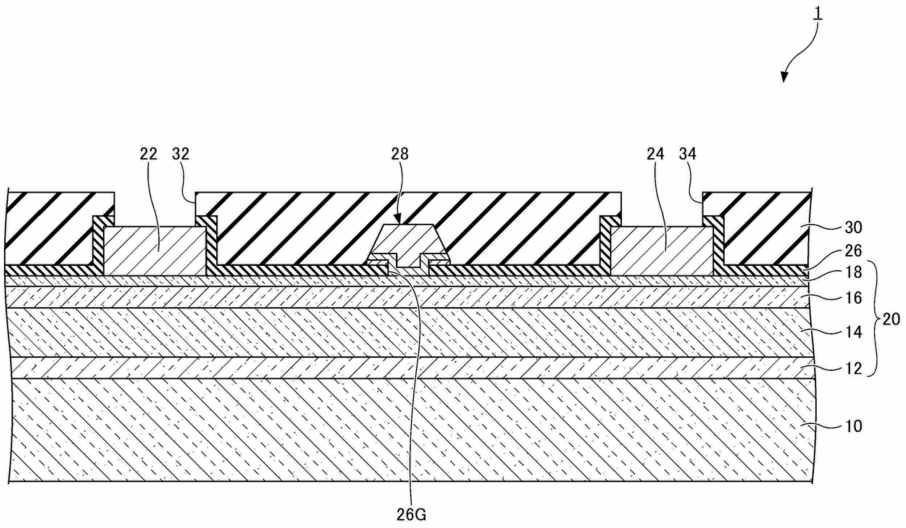
【圖11】


22
24
56
54
52
26
18
16
20
14
12
10
26G

【圖12】


22
28
24
56
54
26
18
16
20
14
12
10
52
26G
52

【圖13】



【圖14】