【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940748
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*G06F11/16　(2006.01)*　*G06F13/14　(2006.01)*
G11C29/52　(2006.01)

發明　　全 9 頁

【54】名　稱：錯誤校正碼電路及包括其的半導體裝置
【21】申請案號：112100345　【22】申請日： 中華民國 112 (2023) 年 01 月 05 日
【11】公開編號：202336588　【43】公開日期： 中華民國 112 (2023) 年 09 月 16 日
【30】優 先 權： 2022/02/28　南韓　10-2022-0025976
【72】發 明 人： 黃善宇 (KR) HWANG, SEON WOO；金成鎮 (KR) KIM, SEONG JIN；池晟煥 (KR) JI, JUNG HWAN
【71】申 請 人： 韓商愛思開海力士有限公司　SK HYNIX INC.
南韓
【74】代 理 人： 王立成
【56】參考文獻：

TW	201913388A	TW	202141512A
CN	101933002A	US	05610929A
US	2018/0196713A1		

審查人員：朱明宗

【57】申請專利範圍

1. 一種錯誤校正碼電路，包括：
錯誤校正碼引擎，其透過根據運算源資料執行運算而產生奇偶校驗比特位和校驗子資訊；以及
資料處理電路，其根據寫入操作同時輸出所述奇偶校驗比特位和透過使輸入資料延遲第一時間而產生的第一延遲資料，根據讀取操作同時輸出所述校驗子資訊和透過使輸入資料延遲第二時間而產生的第二延遲資料，以及在產生所述第一延遲資料時和在產生所述第二延遲資料時共享基本相同的信號路徑。
2. 如請求項 1 所述的錯誤校正碼電路，其中，所述第一時間被設置為與所述奇偶校驗比特位的運算所需要的時間相匹配，以及
其中，所述第二時間被設置為與所述奇偶校驗比特位的運算和所述校驗子資訊的運算所需要的時間相匹配。
3. 如請求項 1 所述的錯誤校正碼電路，其中，所述錯誤校正碼引擎包括：
奇偶校驗運算邏輯，其透過根據所述運算源資料執行運算而產生所述奇偶校驗比特位；以及
校驗子邏輯，其透過根據所述奇偶校驗比特位和所述運算源資料執行運算而產生所述校驗子資訊。
4. 如請求項 1 所述的錯誤校正碼電路，其中，所述資料處理電路包括：
控制信號產生單元，其分別回應於寫入命令和讀取命令而產生輸入控制信號和輸出控制信號；以及
時序補償單元，其透過回應於所述輸入控制信號和所述輸出控制信號，透過流水線處理方法使根據所述寫入操作的輸入資料延遲而產生所述第一延遲資料，以及透過回應於所

述輸入控制信號和所述輸出控制信號，透過流水線處理方法使根據所述讀取操作的輸入資料延遲而產生所述第二延遲資料。

5. 如請求項 4 所述的錯誤校正碼電路，其中，所述控制信號產生單元回應於透過使所述寫入命令和所述讀取命令分別延遲不同的時間而產生的經延遲的寫入命令和經延遲的讀取命令而產生所述輸出控制信號。

6. 如請求項 4 所述的錯誤校正碼電路，其中，所述控制信號產生單元包括：
第一移位暫存器，其回應於所述寫入命令和所述讀取命令而產生所述輸入控制信號；
第二移位暫存器，其回應於經延遲的寫入命令和經延遲的讀取命令而產生所述輸出控制信號；以及
延遲電路，其將透過使所述寫入命令延遲所述第一時間而獲得的信號作為所述經延遲的寫入命令而輸出，以及將透過使所述讀取命令延遲所述第二時間而獲得的信號作為所述經延遲的讀取命令而輸出。

7. 如請求項 4 所述的錯誤校正碼電路，其中，所述時序補償單元向所述錯誤校正碼引擎提供根據所述寫入操作的所述輸入資料以及根據所述讀取操作的所述輸入資料作為所述運算源資料。

8. 如請求項 4 所述的錯誤校正碼電路，其中，所述時序補償單元包括：
寫入驅動部，其回應於寫入致能信號而透過驅動根據所述寫入操作的所述輸入資料而產生內部資料；
讀取驅動部，其回應於讀取致能信號而透過驅動根據所述讀取操作的所述輸入資料而產生所述內部資料；
流水線暫存器，其對根據所述寫入操作的內部資料進行流水線處理以將經流水線處理的資料作為所述第一延遲資料輸出，以及對根據所述讀取操作的內部資料進行流水線處理以將經流水線處理的資料作為所述第二延遲資料輸出；以及
運算源資料處理部，其對根據所述寫入操作的所述內部資料和根據所述讀取操作的所述內部資料進行緩衝並且將經緩衝的資料作為所述運算源資料輸出。

9. 一種半導體裝置，包括：
寫入路徑，其在寫入操作期間在記憶區中寫入資料和奇偶校驗比特位；
讀取路徑，其根據校驗子資訊校正在讀取操作期間從所述記憶區讀取的資料中包括的錯誤並且輸出經錯誤校正的資料；以及
錯誤校正碼電路，其透過對運算源資料執行運算而產生所述奇偶校驗比特位和所述校驗子資訊，以向所述寫入路徑同時輸出所述奇偶校驗比特位和透過根據所述寫入操作使輸入資料延遲第一時間而產生的第一延遲資料，以向所述讀取路徑同時輸出所述校驗子資訊和透過根據所述讀取操作使輸入資料延遲第二時間而產生的第二延遲資料，以及在產生所述第一延遲資料時和在產生所述第二延遲資料時共享基本相同的信號路徑。

10. 如請求項 9 所述的半導體裝置，其中，所述寫入路徑包括：
第一全域線，其向所述錯誤校正碼電路發送從所述寫入路徑外部的源提供的資料；
線驅動器，其驅動和輸出所述第一延遲資料和所述奇偶校驗比特位；以及
寫入驅動器，其驅動所述線驅動器的輸出以及將經驅動的輸出寫入所述記憶區。

11. 如請求項 9 所述的半導體裝置，其中，所述讀取路徑包括：
感測/放大器電路，其感測和放大從所述記憶區輸出的資料和對應的奇偶校驗比特位並且輸出經放大的資料；
線驅動器，其驅動所述感測/放大器電路的輸出並且輸出經驅動的輸出；
第二全域線，其向所述錯誤校正碼電路發送所述線驅動器的輸出；以及

資料校正電路，其根據所述校驗子資訊校正所述第二延遲資料中包括的錯誤並且輸出經錯誤校正的資料。

12. 如請求項 9 所述的半導體裝置，其中，所述第一時間被設置為與所述奇偶校驗比特位的運算所需要的時間相匹配，以及
其中，所述第二時間被設置為與所述奇偶校驗比特位的運算和所述校驗子資訊的運算所需要的時間相匹配。

13. 如請求項 9 所述的半導體裝置，其中，所述錯誤校正碼電路包括：
錯誤校正碼引擎，其根據所述運算源資料產生所述奇偶校驗比特位和所述校驗子資訊；
控制信號產生單元，其分別回應於寫入命令和讀取命令而產生輸入控制信號和輸出控制信號；以及
時序補償單元，其透過回應於所述輸入控制信號和所述輸出控制信號，透過流水線處理方法使根據所述寫入操作的輸入資料延遲而產生所述第一延遲資料，以及透過回應於所述輸入控制信號和所述輸出控制信號，透過流水線處理方法使根據所述讀取操作的輸入資料延遲而產生所述第二延遲資料。

14. 如請求項 13 所述的半導體裝置，其中，所述控制信號產生單元回應於透過使所述寫入命令和所述讀取命令分別延遲不同的時間而產生的經延遲的寫入命令和經延遲的讀取命令而產生所述輸出控制信號。

15. 如請求項 13 所述的半導體裝置，其中，所述控制信號產生單元包括：
第一移位暫存器，其回應於所述寫入命令和所述讀取命令而產生所述輸入控制信號；
第二移位暫存器，其回應於經延遲的寫入命令和經延遲的讀取命令而產生所述輸出控制信號；以及
延遲電路，其將透過使所述寫入命令延遲所述第一時間而獲得的信號作為所述經延遲的寫入命令而輸出，以及將透過使所述讀取命令延遲所述第二時間而獲得的信號作為所述經延遲的讀取命令而輸出。

16. 如請求項 13 所述的半導體裝置，其中，所述時序補償單元向所述錯誤校正碼引擎提供根據所述寫入操作的所述輸入資料以及根據所述讀取操作的所述輸入資料作為所述運算源資料。

17. 如請求項 13 所述的半導體裝置，其中，所述時序補償單元包括：
寫入驅動部，其回應於寫入致能信號而透過驅動根據所述寫入操作的所述輸入資料而產生內部資料；
讀取驅動部，其回應於讀取致能信號而透過驅動根據所述讀取操作的所述輸入資料而產生所述內部資料；
流水線暫存器，其對根據所述寫入操作的內部資料進行流水線處理，以將經流水線處理的資料作為所述第一延遲資料輸出，以及對根據所述讀取操作的內部資料進行流水線處理以將經流水線處理的資料作為所述第二延遲資料輸出；以及
運算源資料處理部，其對根據所述寫入操作的所述內部資料和根據所述讀取操作的所述內部資料進行緩衝並且將經緩衝的資料作為所述運算源資料輸出。

18. 一種半導體裝置，包括：
寫入路徑，其在寫入操作期間在記憶區中寫入從所述寫入路徑外部的源提供的資料和奇偶校驗比特位；
讀取路徑，其根據校驗子資訊校正在讀取操作期間從所述記憶區讀取的資料中包括的錯誤以及輸出經錯誤校正的資料；
錯誤校正碼引擎，其透過對運算源資料執行運算而產生所述奇偶校驗比特位和所述校驗子資訊；以及

資料處理電路，其向所述寫入路徑同時輸出所述奇偶校驗比特位和透過根據所述寫入操作使輸入資料延遲第一時間而產生的第一延遲資料，向所述讀取路徑同時輸出所述校驗子資訊和透過根據所述讀取操作使輸入資料延遲第二時間而產生的第二延遲資料，以及在產生所述第一延遲資料時和在產生所述第二延遲資料時共享基本相同的信號路徑。

19. 如請求項 18 所述的半導體裝置，其中，所述資料處理電路對根據所述寫入操作的所述輸入資料和根據所述讀取操作的所述輸入資料進行緩衝並且將經緩衝的資料作為所述運算源資料輸出。

20. 如請求項 18 所述的半導體裝置，其中，所述寫入路徑包括：
第一全域線，其向所述錯誤校正碼引擎發送在所述寫入操作期間從所述寫入路徑外部的源提供的資料；
線驅動器，其驅動和輸出所述第一延遲資料和所述奇偶校驗比特位；以及
寫入驅動器，其驅動所述線驅動器的輸出並且將經驅動的輸出寫入所述記憶區。

21. 如請求項 18 所述的半導體裝置，其中，所述讀取路徑包括：
感測/放大器電路，其感測和放大從所述記憶區輸出的資料和對應的奇偶校驗比特位並且輸出經放大的資料；
線驅動器，其驅動所述感測/放大器電路的輸出並且輸出經驅動的輸出；
第二全域線，其向所述錯誤校正碼引擎發送所述線驅動器的輸出；以及
資料校正電路，其根據所述校驗子資訊校正所述第二延遲資料中包括的錯誤並且輸出經錯誤校正的資料。

22. 如請求項 18 所述的半導體裝置，其中，所述資料處理電路包括：
控制信號產生單元，其分別回應於寫入命令和讀取命令而產生輸入控制信號，以及回應於透過使所述寫入命令和所述讀取命令分別延遲不同的時間而產生的經延遲的寫入命令和經延遲的讀取命令而產生輸出控制信號，
其中，所述流水線暫存器回應於所述輸入控制信號和所述輸出控制信號而操作。

圖式簡單說明

圖 1 是示出根據本發明的實施例的半導體裝置 100 的配置的圖。

圖 2 是示出根據本發明的實施例的包括錯誤校正碼電路的半導體裝置 200 的配置的圖。

圖 3 是示出根據本發明的實施例的包括錯誤校正碼電路的半導體裝置 200 的詳細配置的圖。

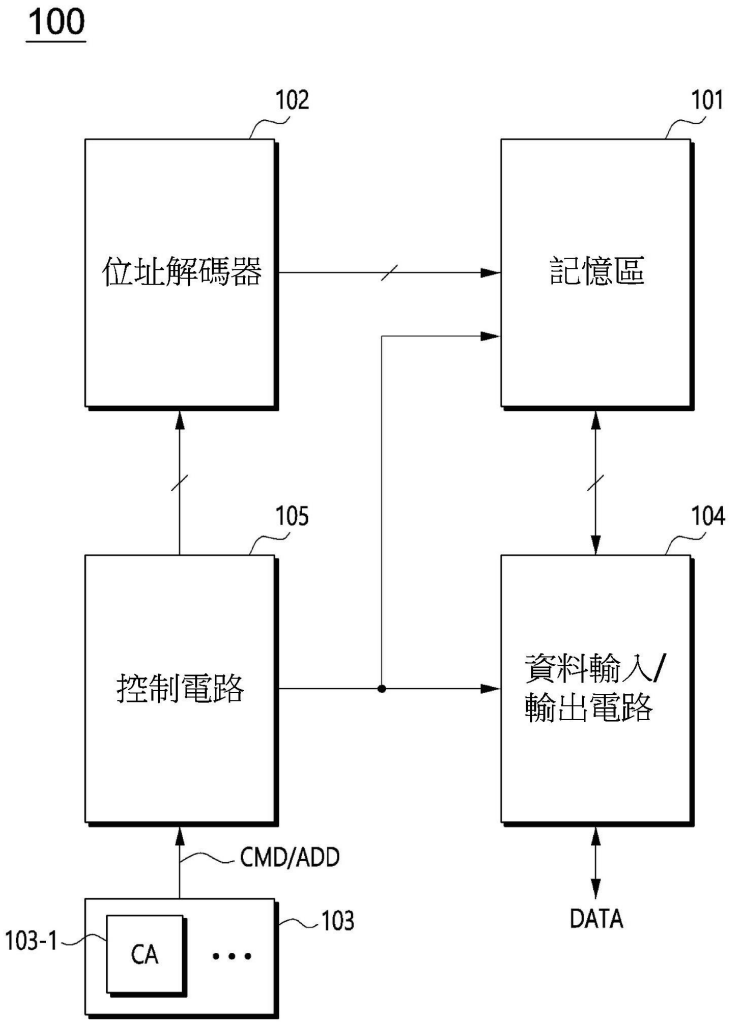
圖 4 是示出圖 3 的控制信號產生單元 500 的配置的圖。

圖 5 是示出圖 3 的時序補償單元 600 的配置的圖。

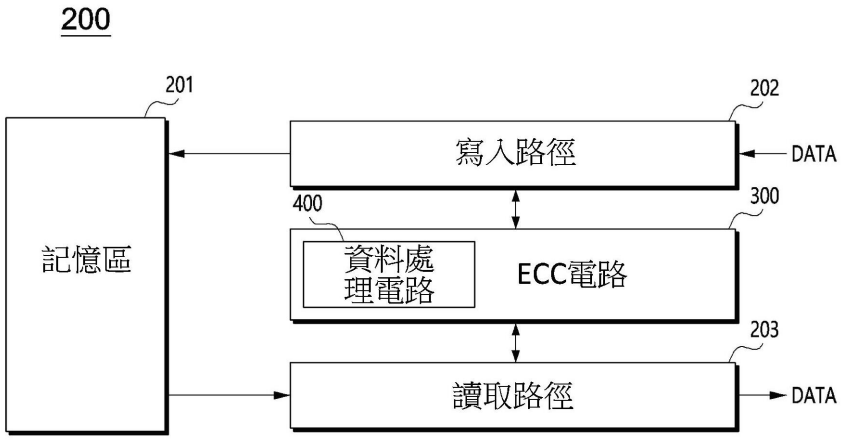
圖 6 是用於說明根據本發明的實施例的包括錯誤校正碼電路的半導體裝置 200 的與 ECC 相關的寫入操作的圖。

圖 7 是用於說明根據本發明的實施例的包括錯誤校正碼電路的半導體裝置 200 的與 ECC 相關的讀取操作的圖。

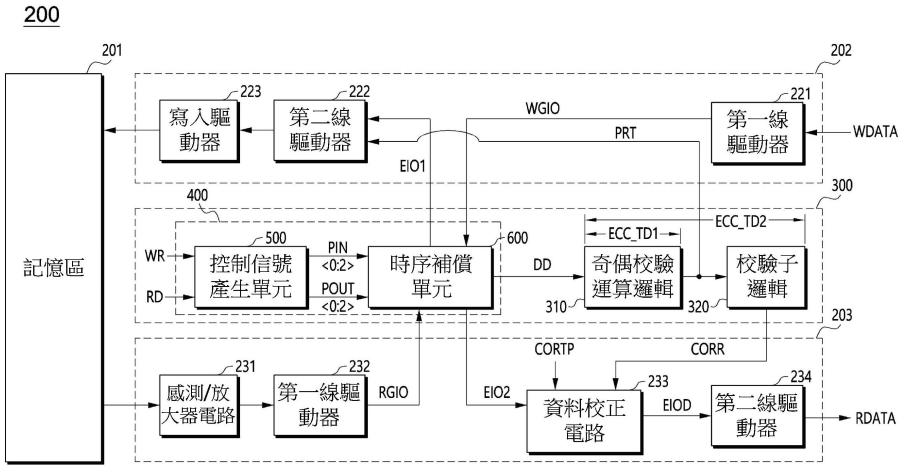
圖 8 是根據本發明的實施例的包括錯誤校正碼電路的半導體裝置 200 的操作時序圖。


100
102
101
位址解碼器
記憶區
105
104
控制電路
資料輸入/
輸出電路
CMD/ADD
103-1
CA
103
DATA

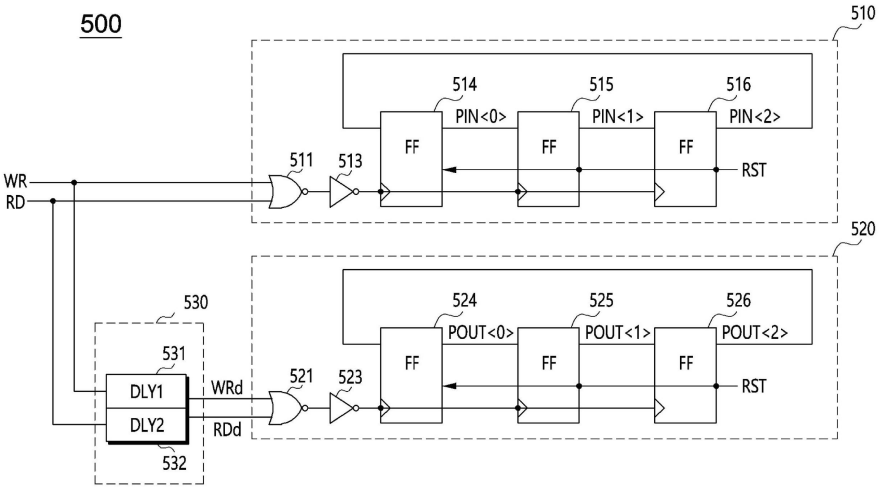
【圖1】


200
201
202
寫入路徑
DATA
400
300
資料處
理電路
ECC電路
記憶區
203
讀取路徑
DATA

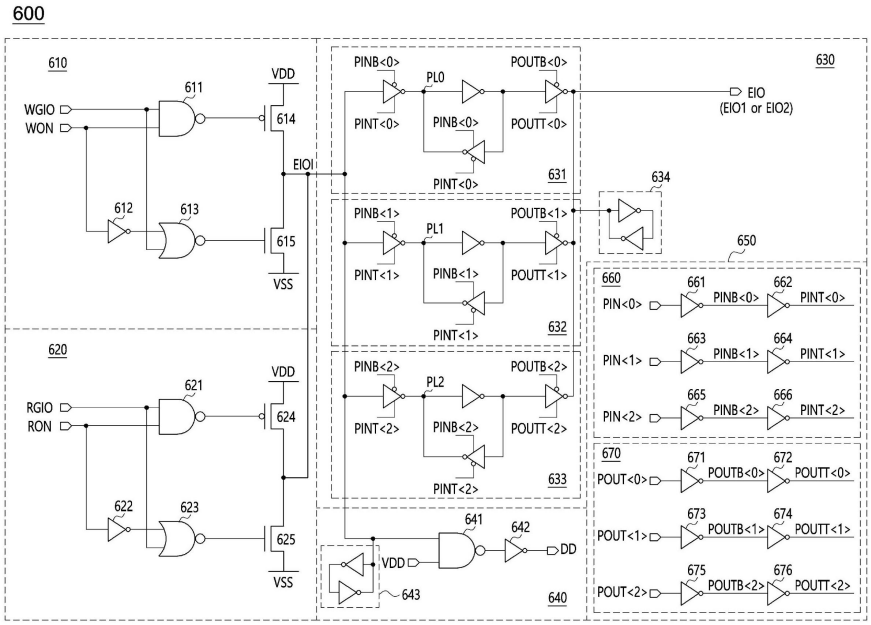
【圖2】


200
201
202
223
寫入驅
動器
222
第二線
驅動器
WGIO
PRT
221
第一線
驅動器
WDATA
EIO1
400
300
記憶區
500
WR
RD
控制信號
產生單元
PIN
<0:2>
POUT
<0:2>
時序補償
單元
600
DD
ECC_TD1
ECC_TD2
奇偶校驗
運算邏輯
校驗子
邏輯
310
320
203
CORTP
CORR
231
感測/放
大器電路
232
第一線驅
動器
RGIO
EIO2
233
資料校正
電路
EIOD
234
第二線驅
動器
RDATA

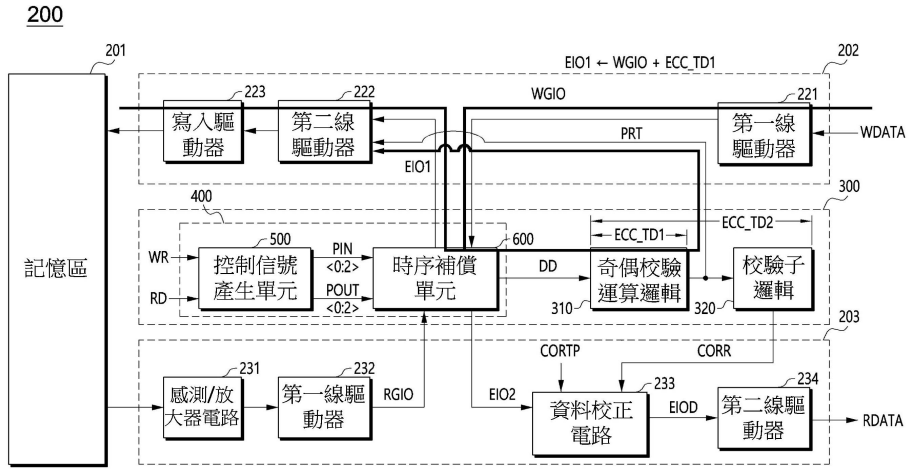
【圖3】


500
510
514
515
516
PIN<0>
PIN<1>
PIN<2>
FF
RST
511
513
WR
RD
520
530
524
525
526
POUT<0>
POUT<1>
POUT<2>
531
DLY1
DLY2
WRd
RDd
521
523
532

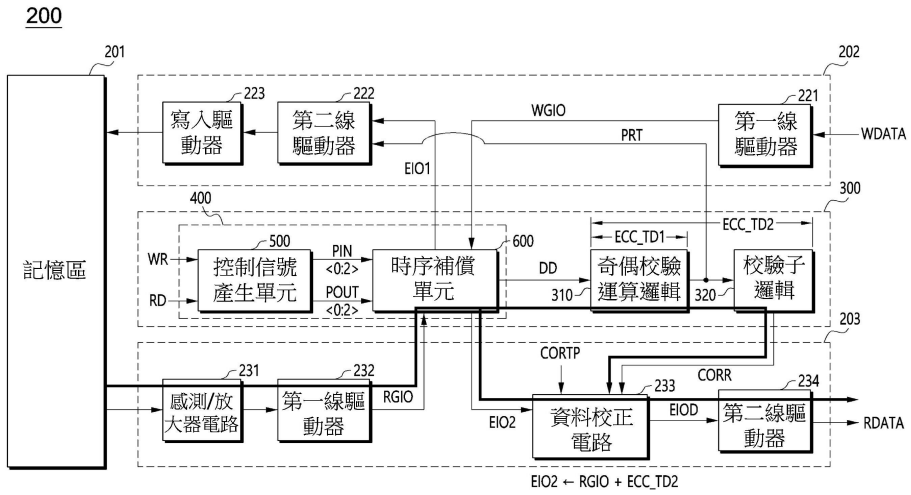
【圖4】


600
610
611
VDD
WGIO
WON
614
EIOI
612
613
615
VSS
620
621
RGIO
RON
624
622
623
625
PINB<0>
PL0
POUTB<0>
PINT<0>
POUTT<0>
631
PINB<1>
PL1
POUTB<1>
PINT<1>
POUTT<1>
632
PINB<2>
PL2
POUTB<2>
PINT<2>
POUTT<2>
633
641
642
DD
643
640
630
EIO
(EIO1 or EIO2)
634
650
660
661
662
PIN<0>
663
664
PIN<1>
665
666
PIN<2>
670
671
672
673
674
675
676
POUT<0>
POUT<1>
POUT<2>
PINB<0>
PINT<0>
PINB<1>
PINT<1>
PINB<2>
PINT<2>
POUTB<0>
POUTT<0>
POUTB<1>
POUTT<1>
POUTB<2>
POUTT<2>

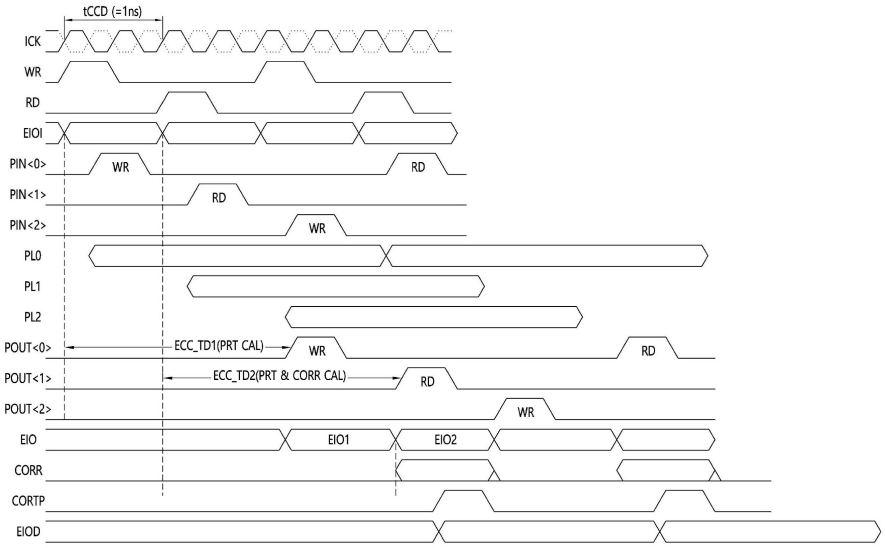
【圖5】


200
201
202
EIO1 ← WGIO + ECC_TD1
223
寫入驅動器
222
第二線驅動器
WGIO
221
第一線驅動器
WDATA
PRT
EIO1
300
400
500
WR
RD
控制信號產生單元
PIN <0:2>
POUT <0:2>
時序補償單元
600
ECC_TD1
ECC_TD2
DD
奇偶校驗運算邏輯
校驗子邏輯
310
320
203
CORTP
CORR
231
感測/放大器電路
232
第一線驅動器
RGIO
EIO2
233
資料校正電路
EIOD
234
第二線驅動器
RDATA
記憶區

【圖6】


200
201
202
223
寫入驅動器
222
第二線驅動器
WGIO
221
第一線驅動器
WDATA
PRT
EIO1
300
400
500
WR
RD
控制信號產生單元
PIN <0:2>
POUT <0:2>
時序補償單元
600
ECC_TD1
ECC_TD2
DD
奇偶校驗運算邏輯
校驗子邏輯
310
320
203
CORTP
CORR
231
感測/放大器電路
232
第一線驅動器
RGIO
EIO2
233
資料校正電路
EIOD
234
第二線驅動器
RDATA
記憶區
EIO2 ← RGIO + ECC_TD2

【圖7】


tCCD (=1ns)
ICK
WR
RD
EIOI
PIN<0>
WR
RD
PIN<1>
RD
PIN<2>
WR
PL0
PL1
PL2
POUT<0>
ECC_TD1(PRT CAL)
WR
RD
POUT<1>
ECC_TD2(PRT & CORR CAL)
RD
POUT<2>
WR
EIO
EIO1
EIO2
CORR
CORTP
EIOD

【圖8】