【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940749
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10W10/00　(2026.01)*　　*H10D84/80　(2025.01)*
發明　　全 7 頁

【54】名　　稱：半導體結構及其製作方法

【21】申請案號：112102171　　【22】申請日： 中華民國 112 (2023) 年 01 月 18 日
【11】公開編號：202431532　　【43】公開日期： 中華民國 113 (2024) 年 08 月 01 日

【72】發 明 人： 王家麟 (TW) WANG, CHIA-LING；江品宏 (TW) CHIANG, PING-HUNG；邱達偉 (TW) CHIU, TA-WEI；呂佳紋 (TW) LU, CHIA-WEN；黃偉倫 (TW) HUANG, WEI-LUN；林岳璋 (TW) LIN, YUEH-CHANG
【71】申 請 人： 聯華電子股份有限公司　UNITED MICROELECTRONICS CORP.
新竹市新竹科學工業園區力行二路三號
【74】代 理 人： 吳豐任；戴俊彥

【56】參考文獻：
TW　201820534A　　TW　201924028A
US　2018/0102408A1

審查人員：蕭允政

【57】申請專利範圍

1. 一種半導體結構，包含：
一基底，包含一第一元件區、鄰近該第一元件區的一第二元件區、鄰近該第二元件區的一第三元件區，以及鄰近該第三元件區的一第四元件區；
一第一溝槽隔離結構，設置在該第一元件區和該第二元件區之間的該基底中，其中，該第一溝槽隔離結構包含在該第一元件區內的一第一底面和在該第二元件區內的一第二底面，其中，該第一底面低於該第二底面，其中，該第一溝槽隔離結構另包含在該第一元件區內的一第一頂面和在該第二元件區內的一第二頂面，其中，該第一頂面與該第二頂面共面；
一第二溝槽隔離結構，設置在該第三元件區和該第二元件區之間的該基底中；
一第三溝槽隔離結構，位於該第三元件區和該第四元件區之間的該基底中；
一第一閘極氧化層，位於該第一元件區內的該基底的該頂面上；
一第二閘極氧化層，位於該第二元件區內的該基底的頂面上，其中，該第一閘極氧化層比該第二閘極氧化層厚；
一第三閘極氧化層，位於該第三元件區內的該基底的頂面上；以及
一第四閘極氧化層，位於該第四元件區內的該基底的頂面上；
其中，該第四元件區內之該第四閘極氧化層的一上表面定義為一水平基準面，且該第一溝槽隔離結構的該第一頂面與該第二頂面均高於該水平基準面。
2. 如請求項 1 所述的半導體結構，其中，該第一元件區為中壓元件區，該第二元件區為輸入/輸出(I/O)元件區。
3. 如請求項 1 所述的半導體結構，其中，在該第一元件區內的該基底的頂面低於在該第二元件區內的該基底的頂面。
4. 如請求項 1 所述的半導體結構，其中，該第一溝槽隔離結構的該第一頂面與該第二頂面均高於該水平基準面 20 埃
。

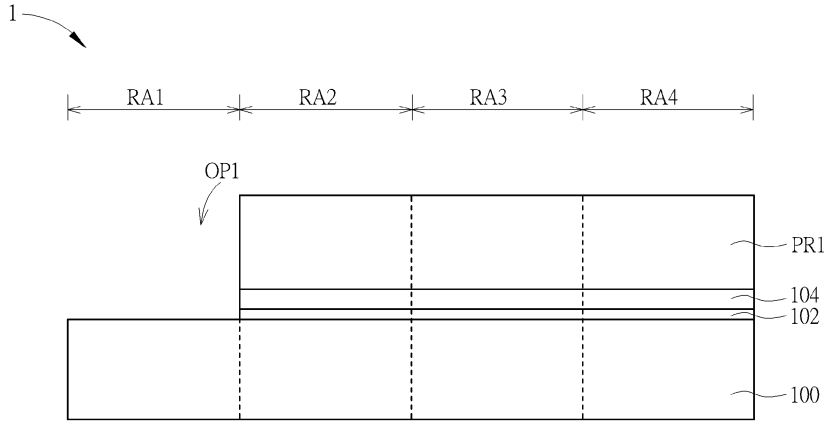
5. 如請求項 4 所述的半導體結構，其中，該第一閘極氧化層的厚度介於 200-220 埃，該第二閘極氧化層的厚度介於 30-60 埃。
6. 如請求項 4 所述的半導體結構，其中，該第二閘極氧化層的頂面與該第二元件區內的該第一溝槽隔離結構的該第二頂面共面。
7. 如請求項 3 所述的半導體結構，其中，該第二溝槽隔離結構包含在該第二元件區內的一第三底面和在該第三元件區內的一第四底面，其中，該第三底面與該第四底面共面。
8. 如請求項 7 所述的半導體結構，其中，該第三元件區為 1.2V 元件區。
9. 如請求項 7 所述的半導體結構，其中，該第三溝槽隔離結構包含在該第三元件區內的一第五底面和在該第四元件區內的一第六底面，其中，該第五底面與該第六底面共面。
10. 如請求項 9 所述的半導體結構，其中，該第四元件區為低壓元件區或 SRAM 元件區。
11. 一種半導體結構的形成方法，包含：
提供一基底，包含一第一元件區、鄰近該第一元件區的一第二元件區、鄰近該第二元件區的一第三元件區，以及鄰近該第三元件區的一第四元件區；
在該第一元件區和該第二元件區之間的該基底中形成一第一溝槽隔離結構，其中，該第一溝槽隔離結構包含在該第一元件區內的一第一底面和在該第二元件區內的一第二底面，其中，該第一底面低於該第二底面，其中，該第一溝槽隔離結構另包含在該第一元件區內的一第一頂面和在該第二元件區內的一第二頂面，其中，該第一頂面與該第二頂面共面；
在該第三元件區和該第二元件區之間的該基底中形成一第二溝槽隔離結構；
在該第三元件區和該第四元件區之間的該基底中形成一第三溝槽隔離結構；
在該第一元件區內的該基底的該頂面上形成一第一閘極氧化層；
在該第二元件區內的該基底的頂面上形成一第二閘極氧化層，其中，該第一閘極氧化層比該第二閘極氧化層厚；
在該第三元件區內的該基底的頂面上形成一第三閘極氧化層；以及
在該第四元件區內的該基底的頂面上形成一第四閘極氧化層；
其中，該第四元件區內之該第四閘極氧化層的一上表面定義為一水平基準面，且該第一溝槽隔離結構的該第一頂面與該第二頂面均高於該水平基準面。
12. 如請求項 11 所述的方法，其中，該第一元件區為中壓元件區，該第二元件區為輸入/輸出(I/O)元件區。
13. 如請求項 11 所述的方法，其中，在該第一元件區內的該基底的頂面低於在該第二元件區內的該基底的頂面。
14. 如請求項 11 所述的方法，其中，該第一溝槽隔離結構的該第一頂面與該第二頂面均高於該水平基準面 20 埃。
15. 如請求項 14 所述的方法，其中，該第一閘極氧化層的厚度介於 200-220 埃，該第二閘極氧化層的厚度介於 30-60 埃。
16. 如請求項 14 所述的方法，其中，該第二閘極氧化層的頂面與該第二元件區內的該第一溝槽隔離結構的該第二頂面共面。
17. 如請求項 13 所述的方法，其中
，該第二溝槽隔離結構包含在該第二元件區內的一第三底面和在該第三元件區內的一第四底面，其中，該第三底面與該第四底面共面。
18. 如請求項 17 所述的方法，其中，該第三元件區是 1.2V 元件區。
19. 如請求項 17 所述的方法，其中，該第三溝槽隔離結構包含在該第三元件區內的一第五底面和在該第四元件區內的一第六底面，其中，該第五底面與該第六底面共面。

20. 如請求項 19 所述的方法，其中，該第四元件區是低壓元件區或 SRAM 元件區。

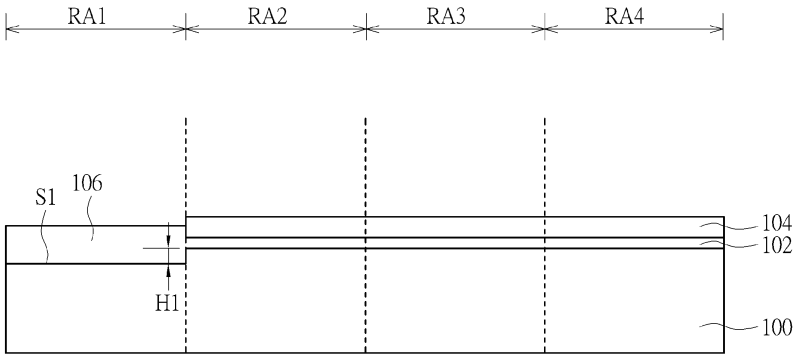
圖式簡單說明

第 1 圖至第 11 圖為依據本發明實施例所繪示的半導體結構的製作方法示意圖。

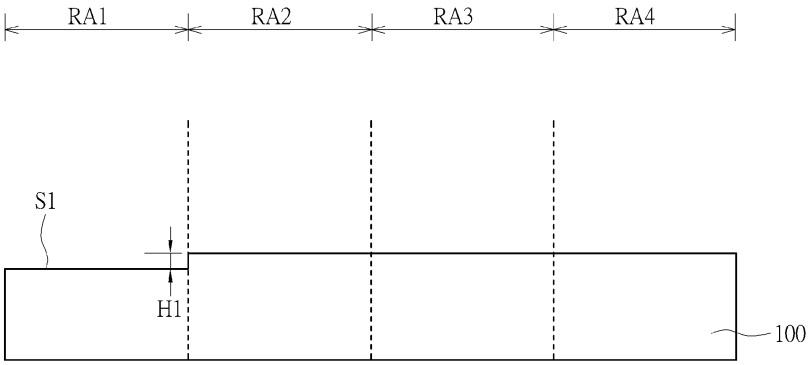
第 12 圖為依據本發明實施例所繪示的半導體結構的剖面示意圖，其中以虛線標示出第四元件區內矽氧層的上表面作為水平基準面，以方便顯示出各區域彼此的落差。



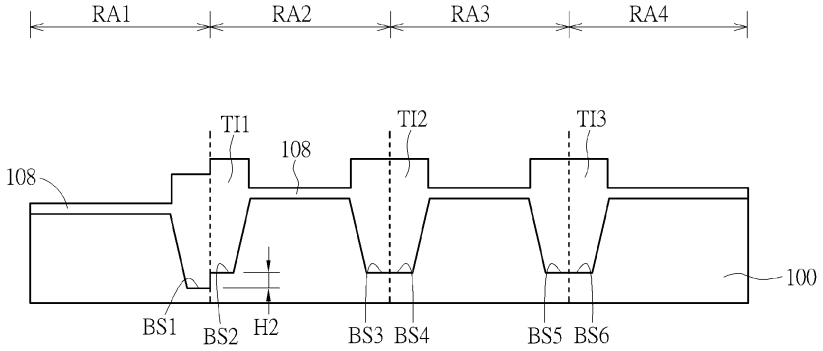
第1圖



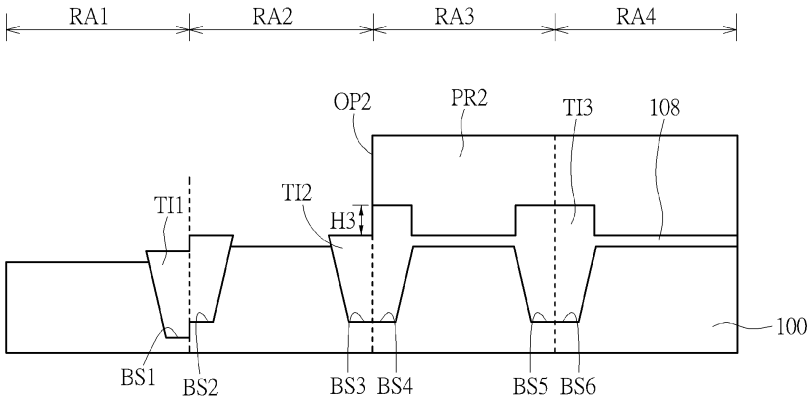
第2圖


RA1
RA2
RA3
RA4
S1
H1
100

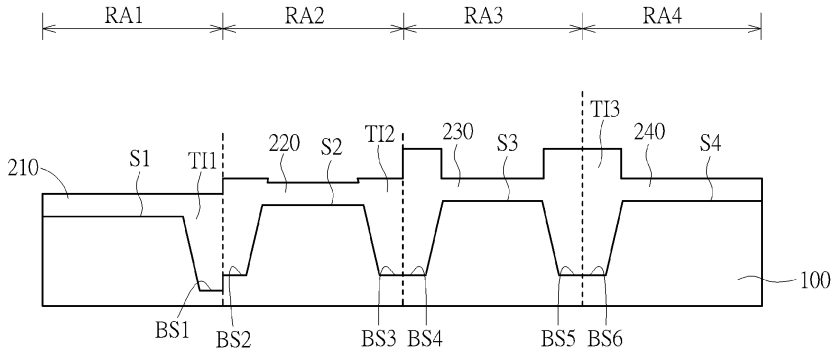
第3圖


RA1
RA2
RA3
RA4
TI1
TI2
TI3
108
108
100
BS1
BS2
H2
BS3
BS4
BS5
BS6

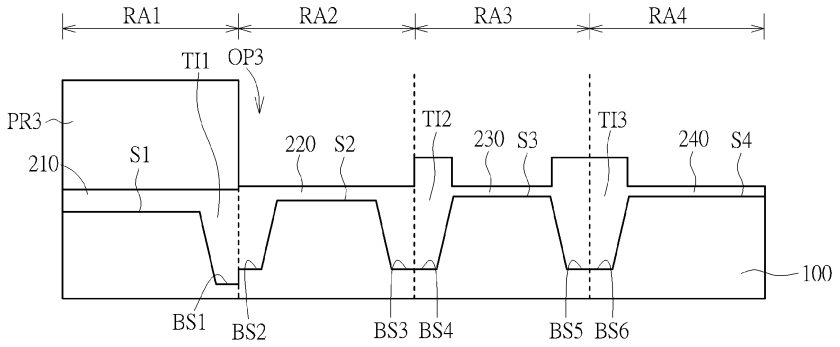
第4圖


RA1
RA2
RA3
RA4
OP2
PR2
TI3
108
TI1
TI2
H3
100
BS1
BS2
BS3
BS4
BS5
BS6

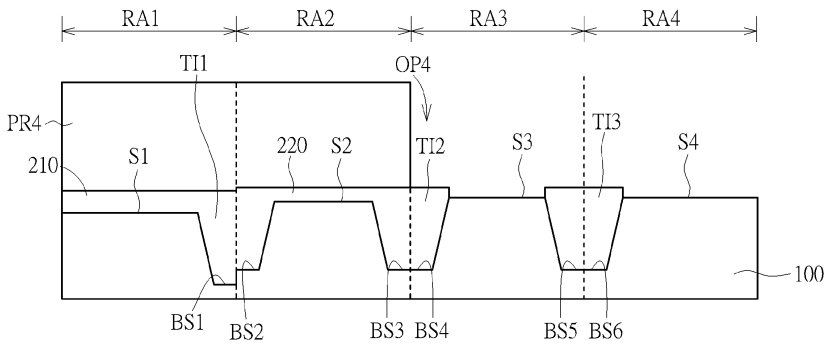
第5圖


RA1
RA2
RA3
RA4
210
S1
TI1
220
S2
TI2
230
S3
TI3
240
S4
100
BS1
BS2
BS3
BS4
BS5
BS6

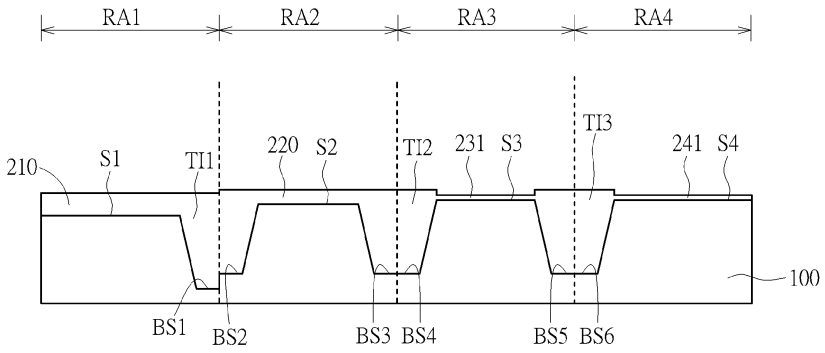
第6圖


RA1
RA2
RA3
RA4
TI1
OP3
PR3
210
S1
220
S2
TI2
230
S3
TI3
240
S4
100
BS1
BS2
BS3
BS4
BS5
BS6

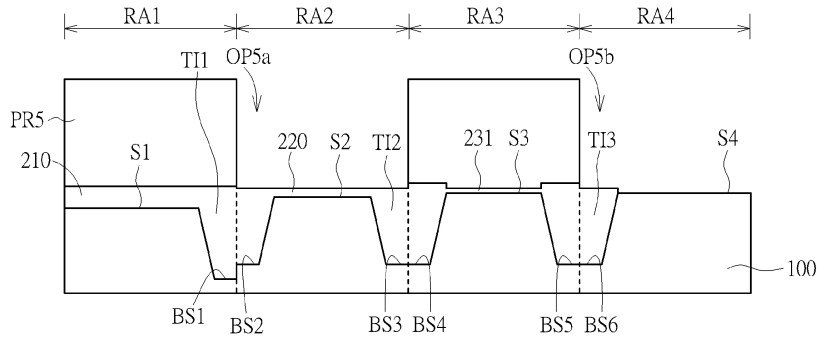
第7圖


RA1
RA2
RA3
RA4
TI1
OP4
PR4
210
S1
220
S2
TI2
S3
TI3
S4
100
BS1
BS2
BS3
BS4
BS5
BS6

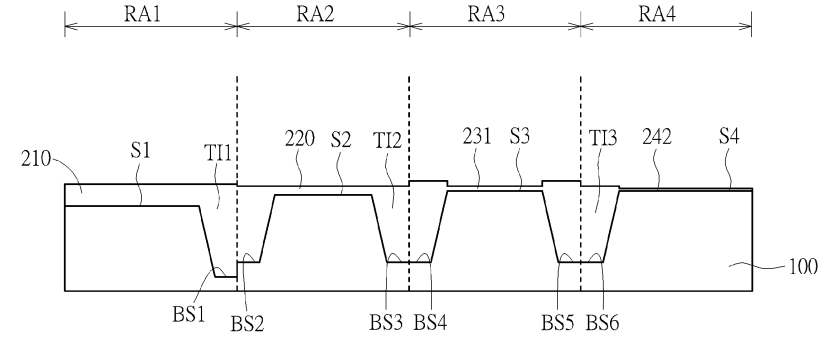
第8圖



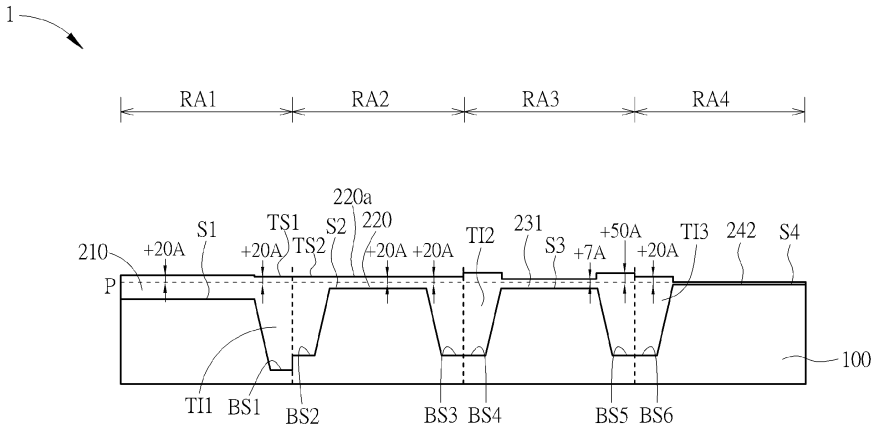
第9圖



第10圖



第11圖


1
RA1
RA2
RA3
RA4
220a
210
+20A
S1
TS1
+20A
TS2
S2
220
+20A
+20A
TI2
231
S3
+7A
+50A
+20A
TI3
242
S4
P
100
TI1
BS1
BS2
BS3
BS4
BS5
BS6

第12圖