【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940787
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10D30/01　(2025.01)*　*H10P14/20　(2026.01)*
H10W10/00　(2026.01)

發明　　全 22 頁

【54】名　稱：半導體結構及其形成方法

【21】申請案號：112110540　【22】申請日： 中華民國 112 (2023) 年 03 月 22 日
【11】公開編號：202420440　【43】公開日期： 中華民國 113 (2024) 年 05 月 16 日
【30】優 先 權：　2022/11/02　美國　63/382,038
2023/01/26　美國　18/159,814

【72】發 明 人：　馮家馨 (TW) FUNG, KA-HING；李威養 (TW) LEE, WEI-YANG；尚　慧玲 (US) SHANG, HUILING
【71】申 請 人：　台灣積體電路製造股份有限公司　TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.
新竹市力行六路八號
【74】代 理 人：　洪澄文

【56】參考文獻：

TW　202143485A　　TW　202147457A
TW　202236434A　　US　20200350215A1
US　20220285510A1
期刊 Donghyun Ryu ey al. Design and Optimization of Triple-k Spacer Structure in Two-Stack Nanosheet FET From OFF-State Leakage Perspective IEEE TRANSACTIONS ON ELECTRON DEVICES 67 (3) IEEE 2020/3 1318

審查人員：何立瑋

【57】申請專利範圍

1. 一種半導體結構的形成方法，包括：
形成一結構於一多層堆疊物(multi-layer stack，ML)之上，其中該結構具有一虛設閘極堆疊物，其中該多層堆疊物設置在一半導體基板上，且該多層堆疊物包括交替(alternating)的多個通道層及多個非通道層(non-channel layer)；
凹蝕在多個源極/汲極區中的該多層堆疊物；
移除該些非通道層以在該些通道層之間形成多個第一開口；
沉積一介電材料於該些第一開口中；
凹蝕該介電材料以形成多個底切(undercuts)；
形成多個內間隔物於該些底切中；
形成多個磊晶源極/汲極部件於該些源極/汲極區中；
移除該虛設閘極堆疊物以形成一閘極溝槽；
移除該閘極溝槽中的該介電材料以在該些通道層之間形成多個第二開口；以及
形成一金屬閘極堆疊物於該閘極溝槽及該些第二開口中。

2. 如請求項 1 所述之半導體結構的形成方法，其中
該些源極/汲極區包括一第一源極/汲極區及一第二源極/汲極區，
該虛設閘極堆疊物插入(interposed)於該第一源極/汲極區與該第二源極/汲極區之間，以及

沉積該介電材料於該些第一開口中的步驟包括沉積從該第一源極/汲極區連續延伸(continuously extending)到該第二源極/汲極區的該介電材料。

3. 如請求項 1 所述之半導體結構的形成方法，其中該多層堆疊物更包括多個互混層(intermix layers)，該些互混層具有該些通道層及該些非通道層的材料的混合物，且其中移除該些非通道層的步驟包括移除該些互混層。
4. 如請求項 1 至 3 中任一項所述之半導體結構的形成方法，其中移除該介電材料的步驟包括施加一蝕刻製程，且該蝕刻製程的蝕刻劑具有大於 10 的該介電材料對該些通道層的蝕刻選擇比。
5. 如請求項 1 所述之半導體結構的形成方法，其中在移除該介電材料之後，該介電材料的一第一剩餘部分在該些內間隔物的一第一內間隔物與該金屬閘極堆疊物的一閘極介電層之間延伸，且該閘極介電層位於兩相鄰通道層之間的其中一個所述第二開口中。
6. 如請求項 5 所述之半導體結構的形成方法，其中該介電材料的該第一剩餘部分的頂表面及該金屬閘極堆疊物的該閘極介電層的頂表面共平面(coplanar)並直接接觸於所述兩相鄰通道層的一頂部通道層的底表面。
7. 如請求項 5 所述之半導體結構的形成方法，其中該介電材料的一第二剩餘部分在該些內間隔物的該第一內間隔物與該金屬閘極堆疊物的該閘極介電層之間延伸，且其中該介電材料的該第一剩餘部分與該第二剩餘部分藉由該第一間隔物及該金屬閘極堆疊物的該閘極介電層隔開。
8. 一種半導體結構的形成方法，包括：
接收一結構，其中該結構具有一虛設閘極堆疊物，該虛設閘極堆疊物位於設置在一半導體基板上的一多層堆疊物之上，該虛設閘極堆疊物包括交替的多個通道層及多個非通道層，且該虛設閘極堆疊物包括相鄰於該些通道層及該些非通道層的多個源極/汲極區；
以一介電材料替換該些非通道層；
凹蝕該介電材料以形成多個底切；
形成一內間隔物於該些底切中；
形成多個磊晶源極/汲極部件於該些源極/汲極區中；以及
以一金屬閘極堆疊物替換該虛設閘極堆疊物及該介電材料的一部分。
9. 一種半導體結構，包括：
一半導體層堆疊物，設置在一基板上方；
一閘極結構，包繞該半導體層堆疊物中的每一層；
一內間隔物，插入於該閘極結構與一源極/汲極部件之間，並在該半導體層堆疊物的兩相鄰半導體層之間延伸，其中該內間隔物直接接觸該閘極結構；以及
一第一介電層，設置在該閘極結構的一側壁上並直接接觸該閘極結構，該第一介電層接觸於該內間隔物並延伸至所述兩相鄰半導體層中的一第一半導體層，其中該內間隔物的成分不同於該第一介電層的成分。
10. 如請求項 9 所述之半導體結構，更包括一第二介電層，設置在該閘極結構的該側壁上，該第二介電層接觸於該內間隔物並延伸至所述兩相鄰半導體層中的一第二半導體層，其中該第一介電層的成分相同於該第二介電層的成分。

圖式簡單說明

以下將配合所附圖式詳述本發明實施例。應注意的是，依據在業界的標準做法，各種特徵並未按照比例繪製且僅用以說明例示。事實上，可任意地放大或縮小元件的尺寸，以清楚地表現出本發明實施例的特徵。

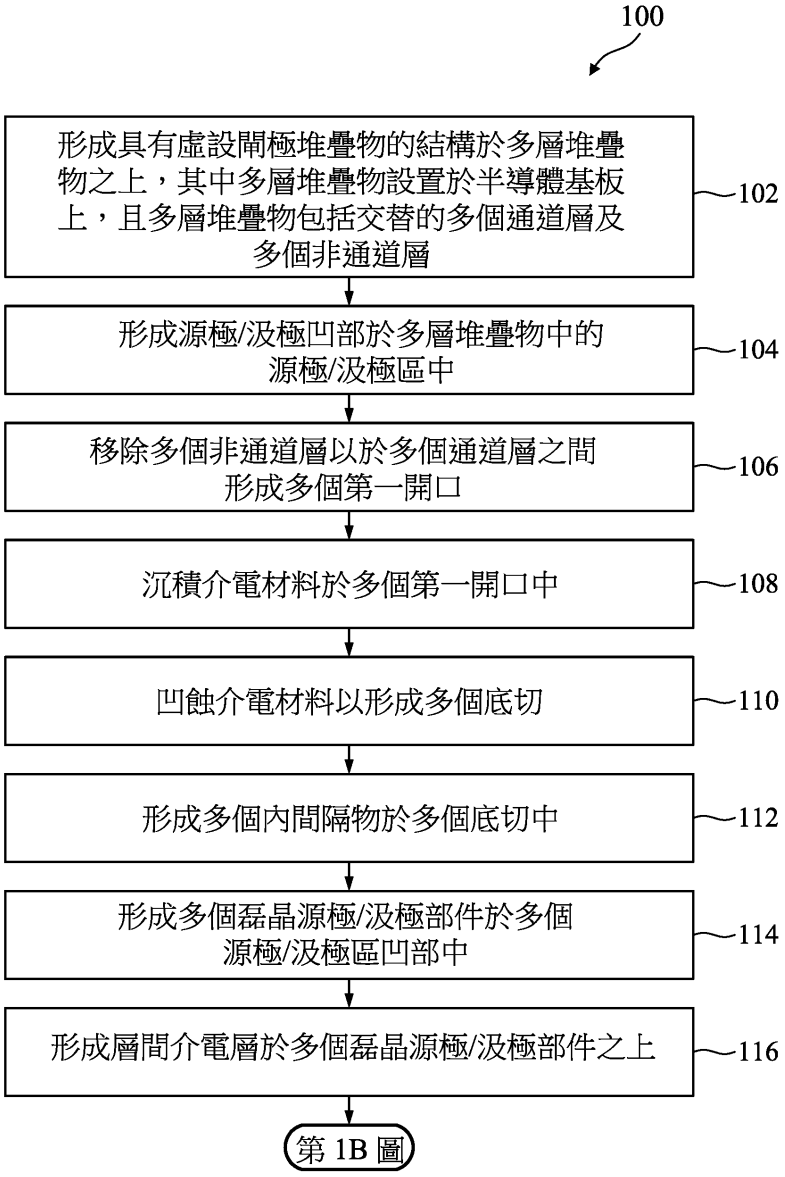
第 1A 圖及第 1B 圖為根據本揭露的各種態樣，顯示半導體結構的製造方法的流程圖。

第 2 圖為根據本揭露一些實施例，顯示半導體結構的俯視圖。

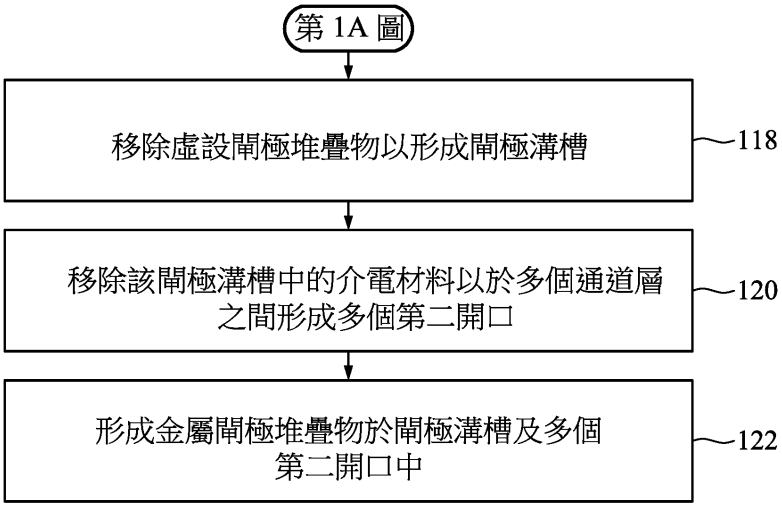
第 3 圖、第 4A 圖至第 9A 圖、第 10 圖、及第 11A 圖至第 12A 圖為根據本揭露的一些實施例，顯示沿著第 2 圖中的線段 A-A’的半導體結構在各個製造階段的剖面圖。

第 4B 圖至第 9B 圖、及第 11B 圖至第 12B 圖為根據本揭露的一些實施例，分別顯示第 4A 圖至第 9A 圖、及第 11A 圖至第 12A 圖中的半導體結構的一部分的放大圖。

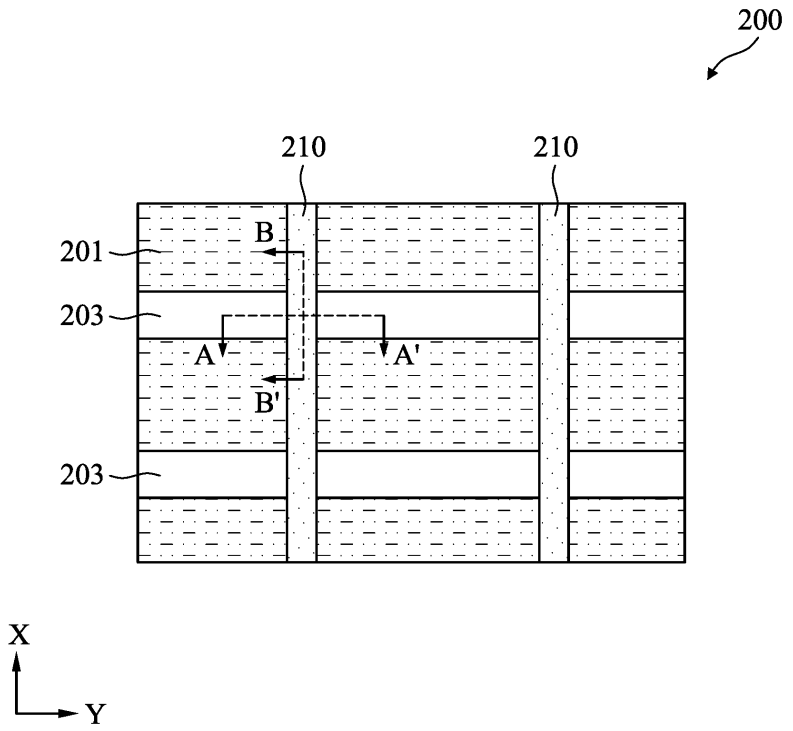
第 11C 圖為根據本揭露的一些實施例，顯示第 11A 圖與沿著第 2 圖中的線段 B-B’的半導體結構的剖面圖。



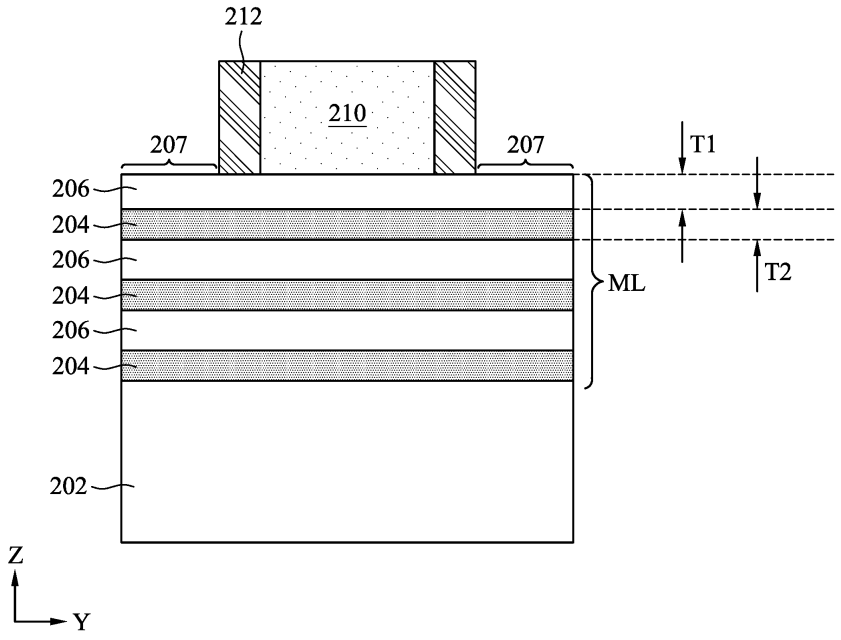
第 1A 圖


第 1A 圖
移除虛設閘極堆疊物以形成閘極溝槽
118
移除該閘極溝槽中的介電材料以於多個通道層之間形成多個第二開口
120
形成金屬閘極堆疊物於閘極溝槽及多個第二開口中
122

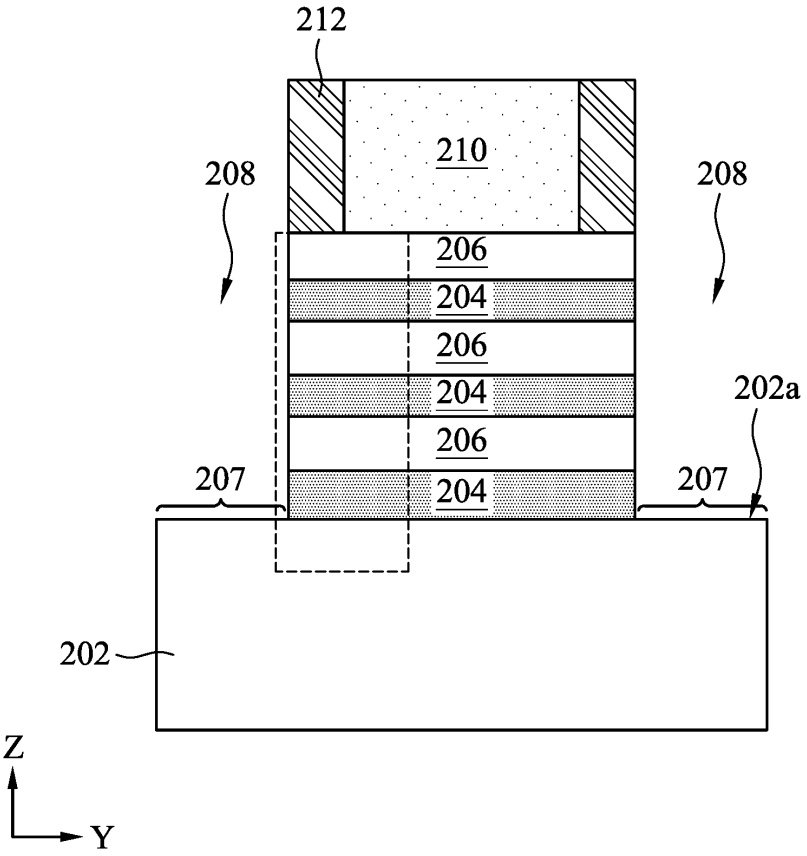
第 1B 圖


200
210
210
201
203
203
B
A
A'
B'
X
Y

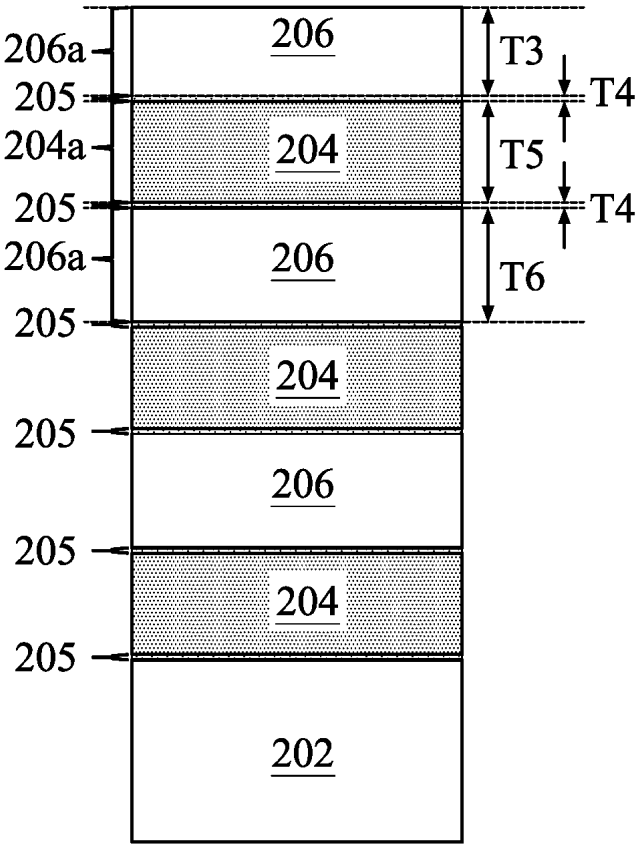
第 2 圖


212
210
207
207
T1
T2
ML
206
204
206
204
206
204
202
Z
Y

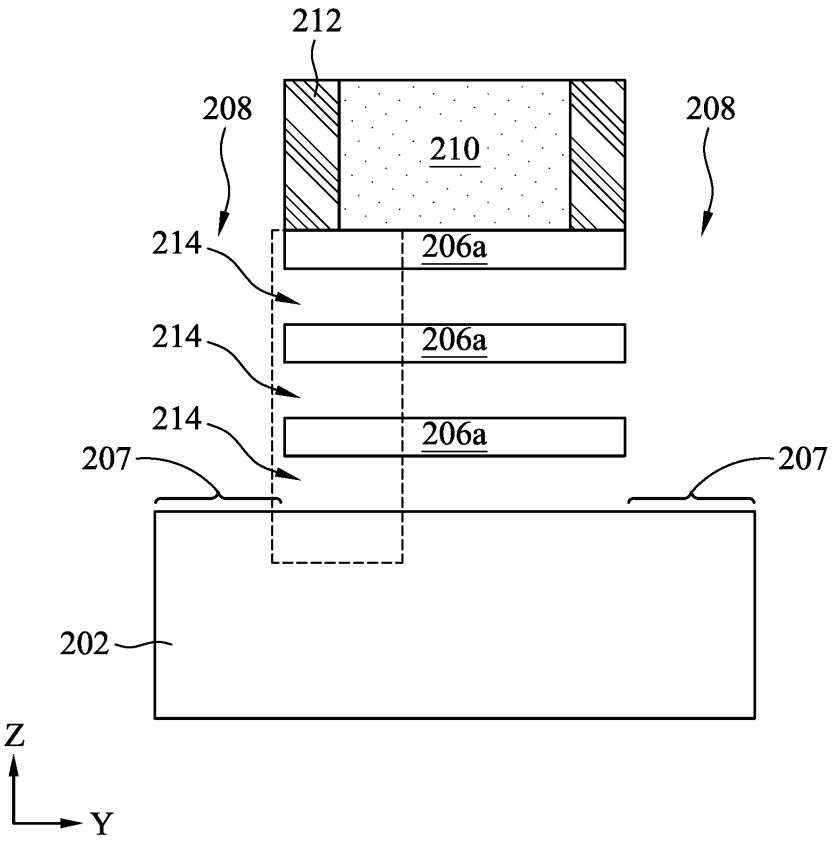
第 3 圖



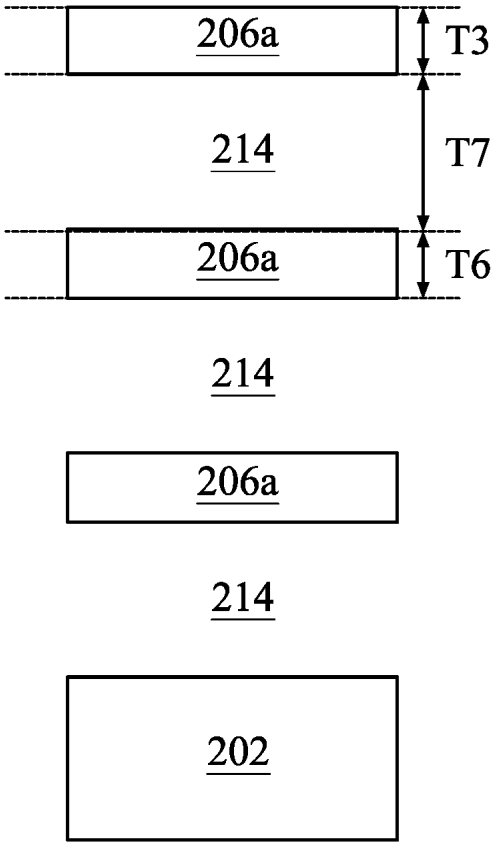
第 4A 圖


206
206a
205
204
204a
205
206
206a
205
204
205
206
205
204
205
202
T3
T4
T5
T4
T6

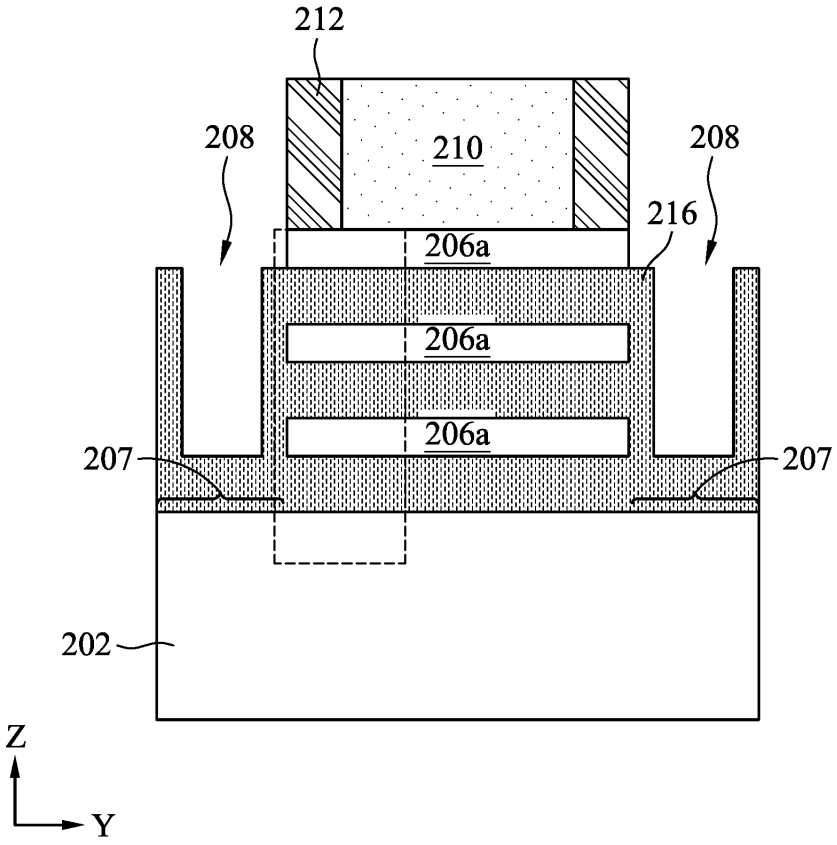
第 4B 圖



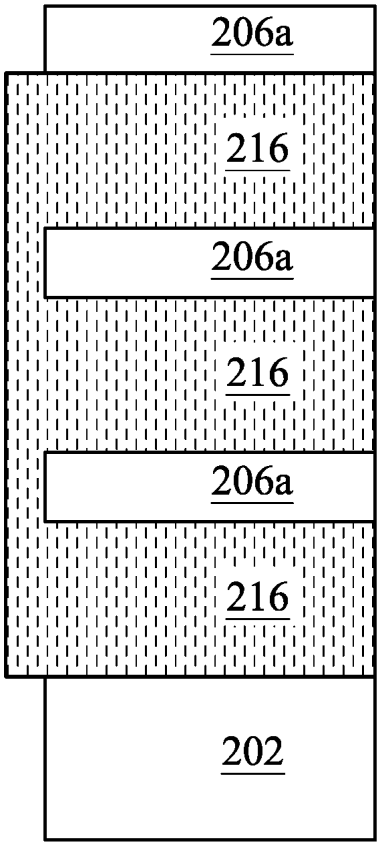
第 5A 圖



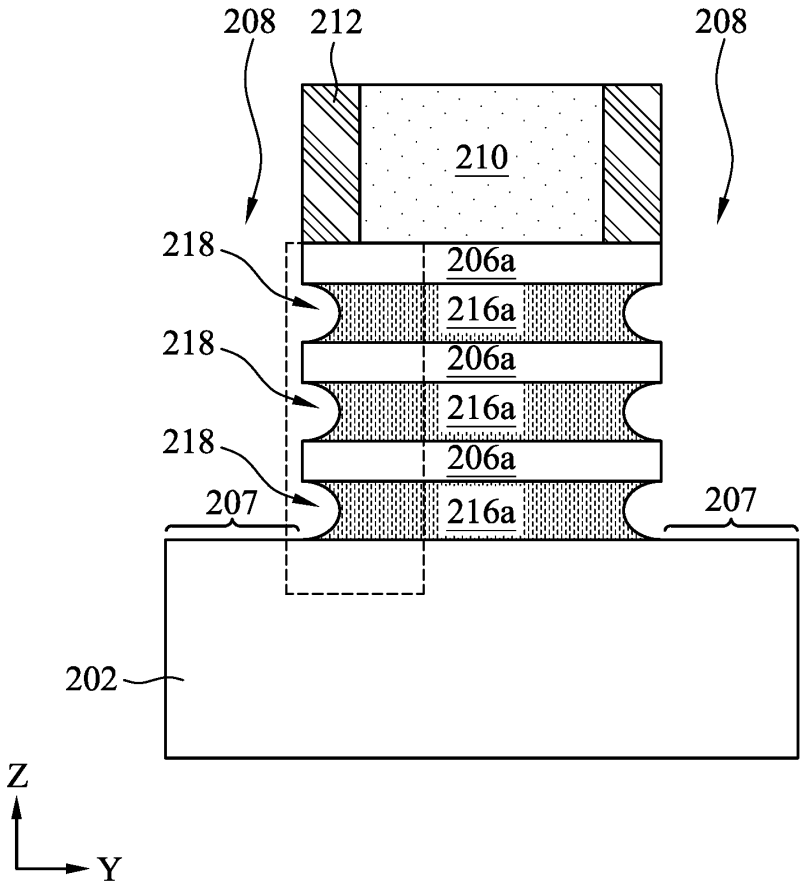
第 5B 圖



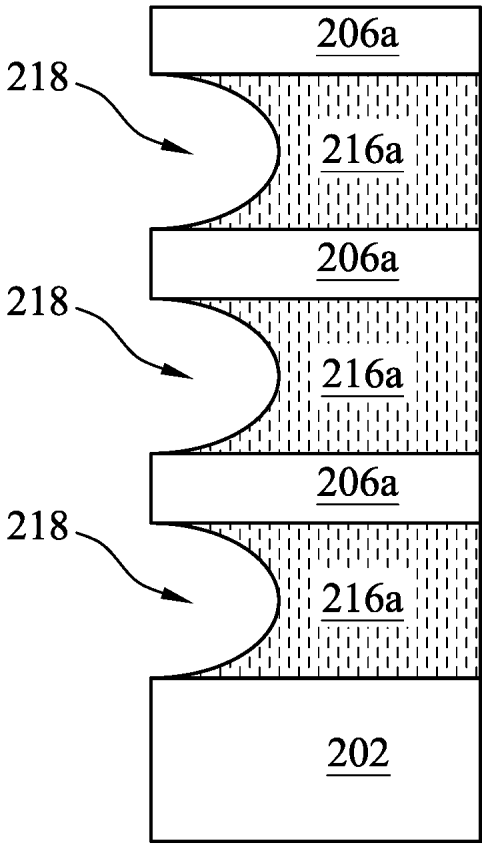
第 6A 圖



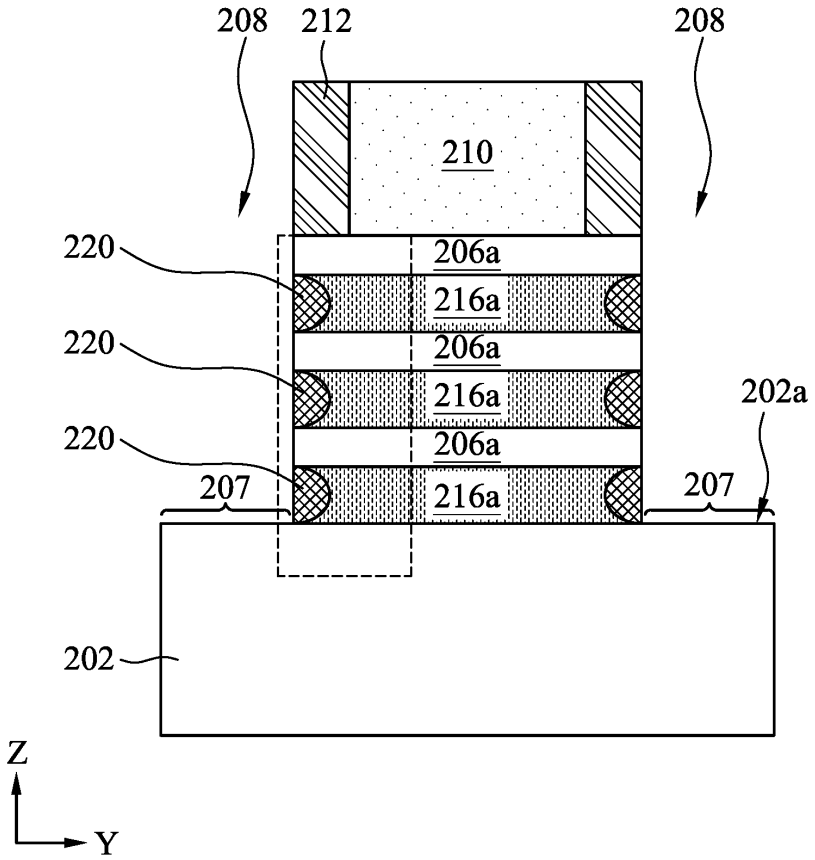
第 6B 圖


208
212
208
210
218
206a
216a
218
206a
216a
218
206a
207
216a
207
202
Z
Y

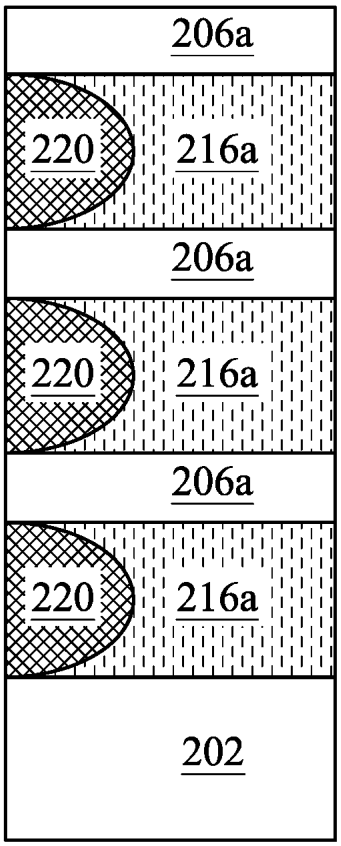
第 7A 圖



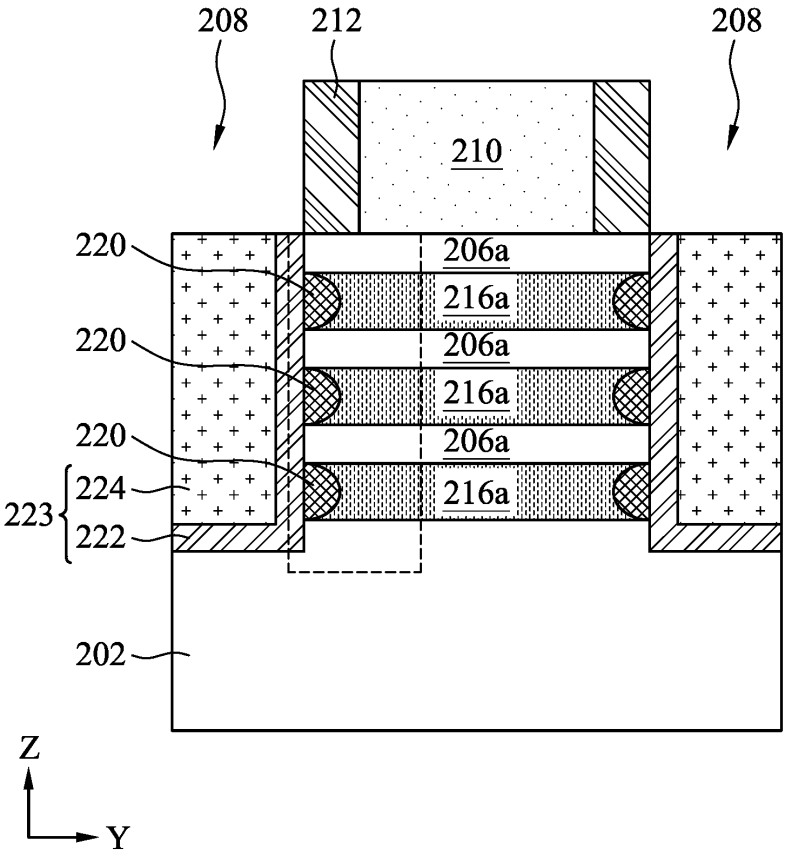
第 7B 圖


208
212
208
210
220
206a
216a
220
206a
216a
202a
220
206a
207
216a
207
202
Z
Y

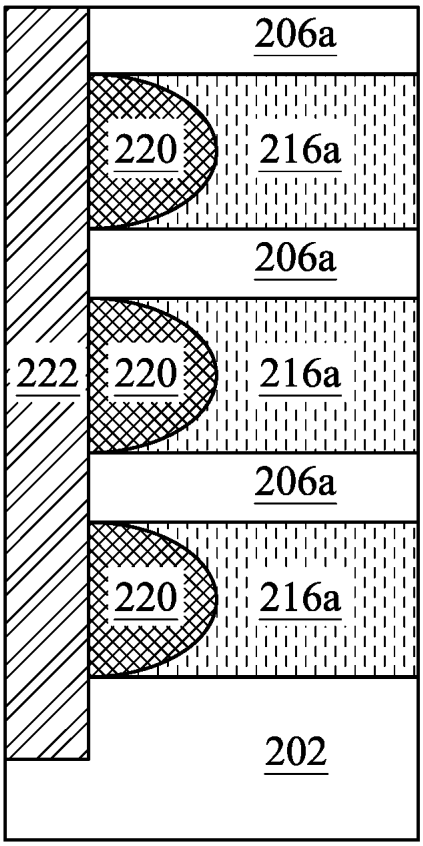
第 8A 圖



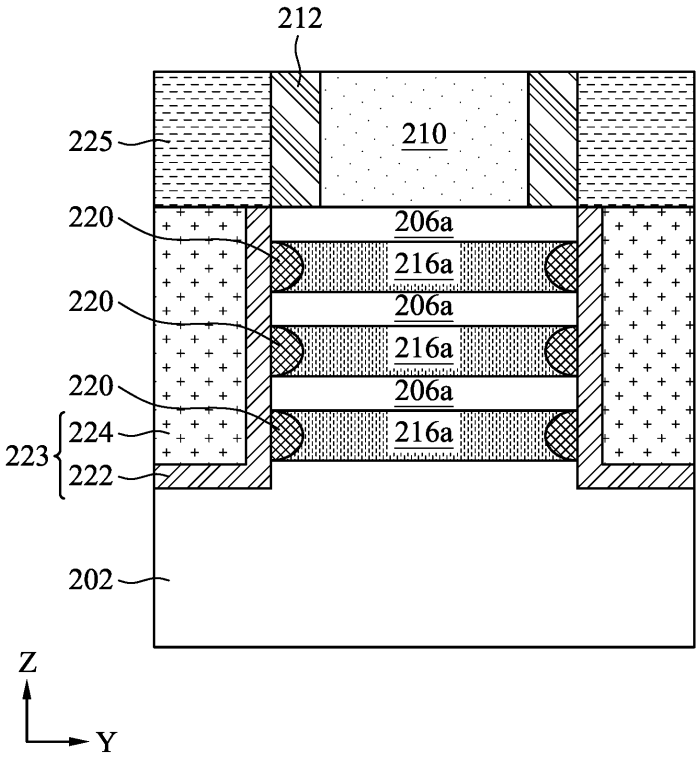
第 8B 圖


208
212
208
210
220
206a
216a
220
206a
216a
220
206a
216a
223
224
222
202
Z
Y

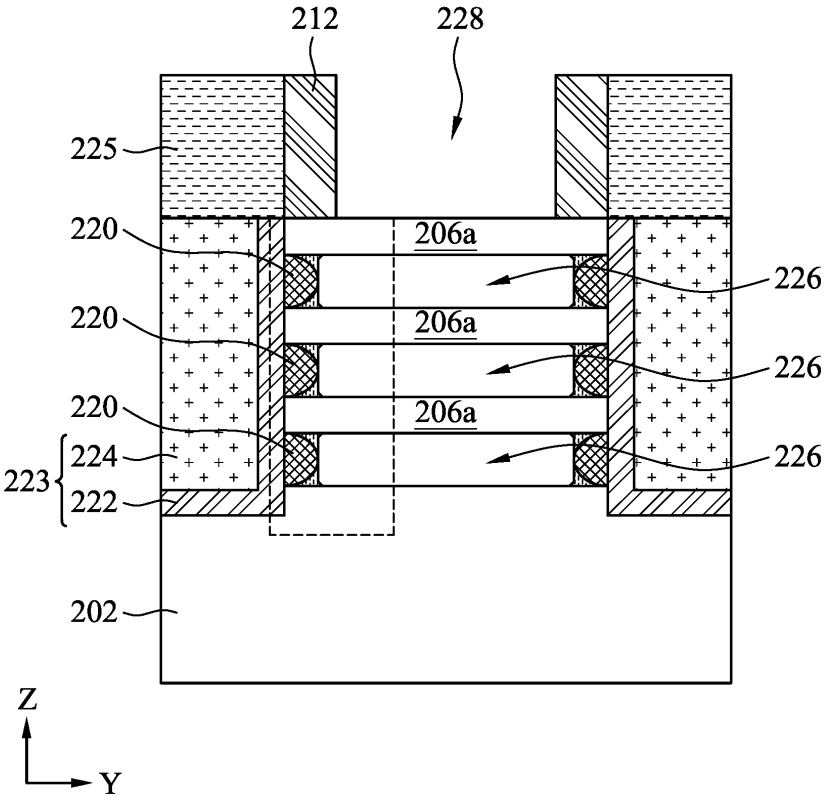
第 9A 圖



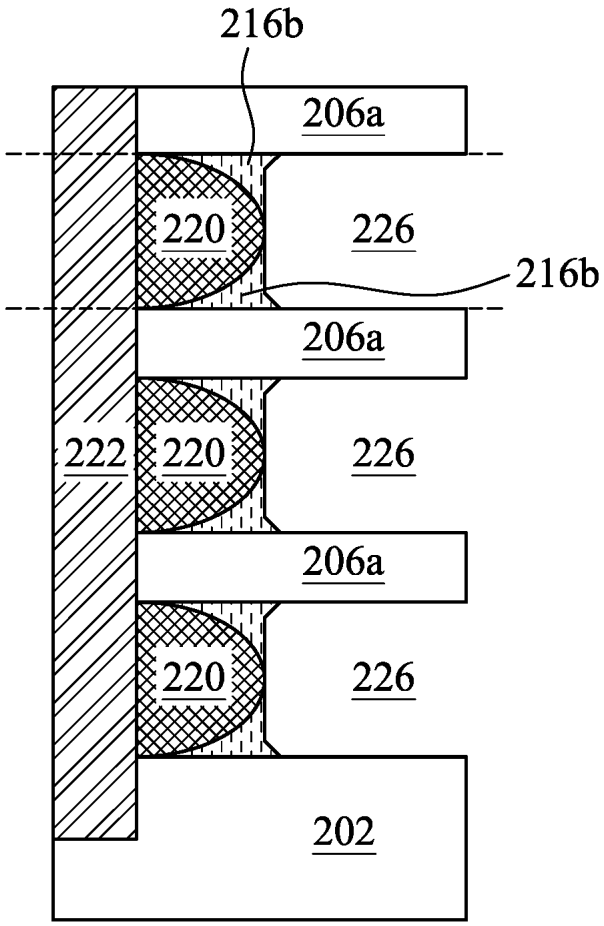
第 9B 圖


212
210
225
220
206a
216a
220
206a
216a
220
206a
216a
224
223
222
202
Z
Y

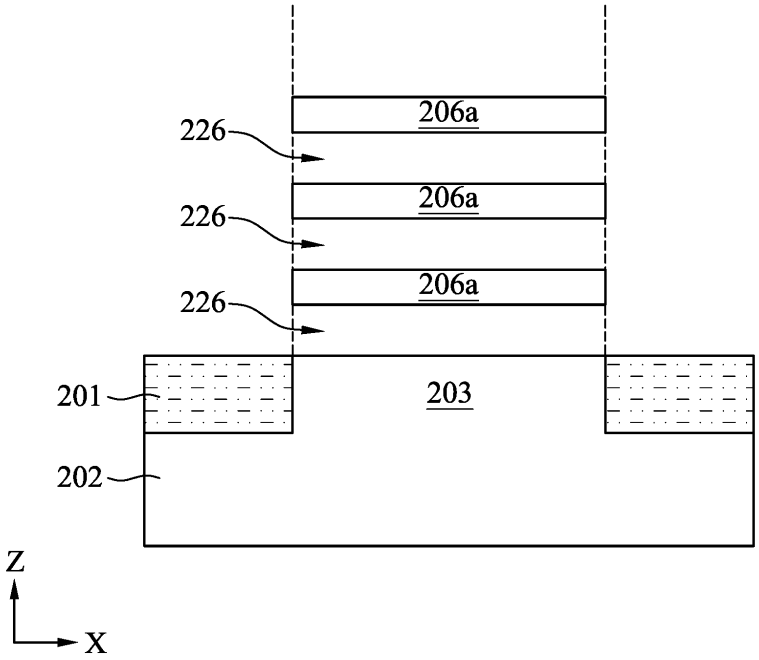
第 10 圖


212
228
225
220
206a
226
220
206a
226
220
206a
226
223
224
222
202
Z
Y

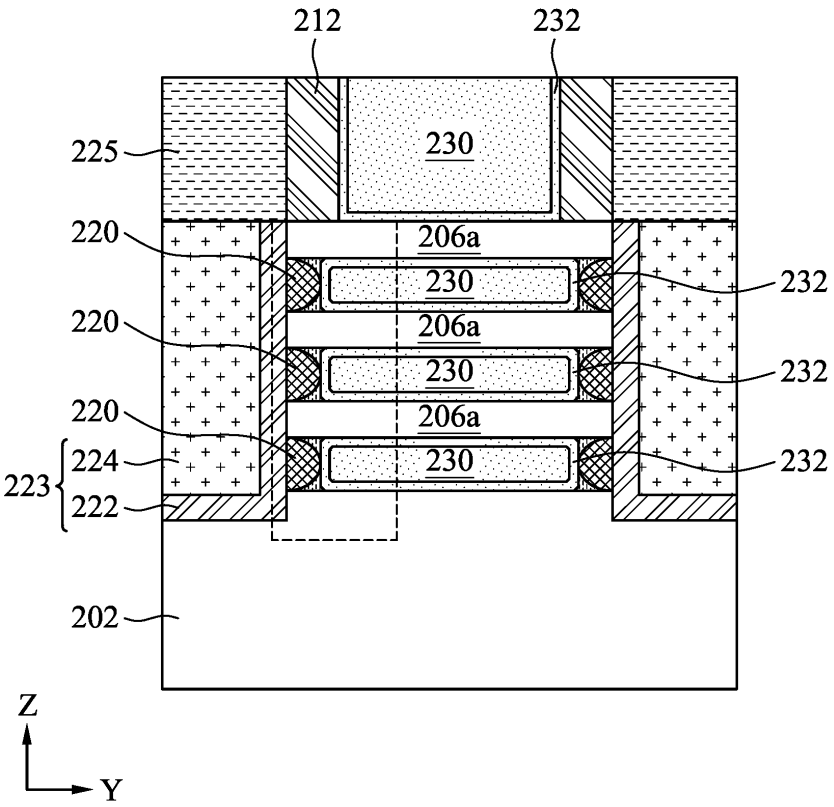
第 11A 圖



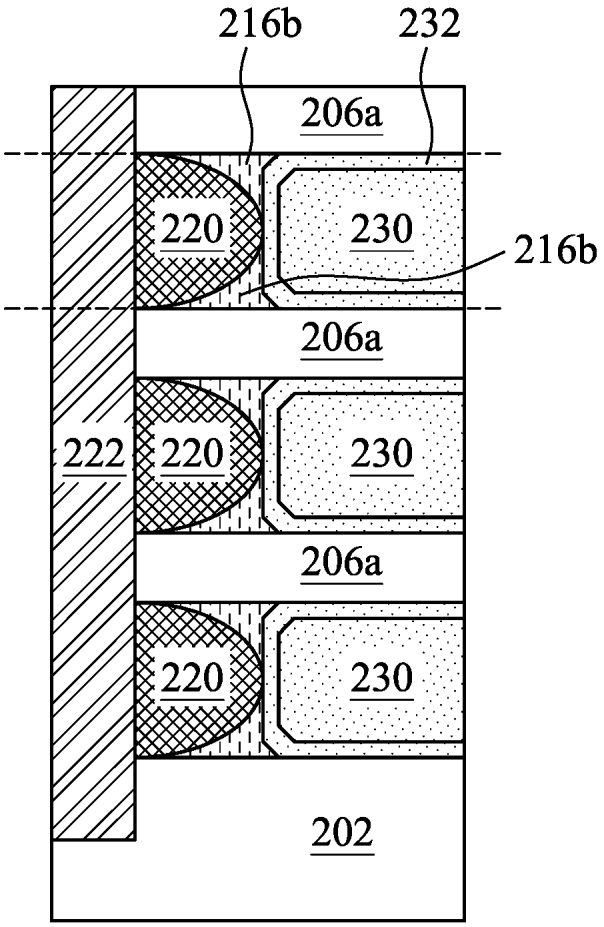
第 11B 圖


206a
226
206a
226
206a
226
201
203
202
Z
X

第 11C 圖


212
232
225
230
220
206a
230
232
220
206a
230
232
220
206a
223
224
230
232
222
202
Z
Y

第 12A 圖



第 12B 圖