【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940858
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10B43/35　(2023.01)*

發明　　全 17 頁

【54】名　稱：半導體記憶裝置

【21】申請案號：113105864　　【22】申請日： 中華民國 113 (2024) 年 02 月 19 日
【11】公開編號：202442082　　【43】公開日期： 中華民國 113 (2024) 年 10 月 16 日
【30】優 先 權： 2023/03/20　日本　2023-043821

【72】發 明 人： 沖嶋拓也 (JP) OKISHIMA, TAKUYA
【71】申 請 人： 日商鎧俠股份有限公司　KIOXIA CORPORATION
日本
【74】代 理 人： 陳長文

【56】參考文獻：
TW　I653693B　　TW　202011549A
US　2009/0236739A1

審查人員：何立瑋

【57】申請專利範圍

1. 一種半導體記憶裝置，其具備：
電路基板，其具有第 1 面、及位於與上述第 1 面相反側之第 2 面；
電子零件，其安裝於上述電路基板之上述第 1 面；
複數個導電構件，其等排列於上述電路基板之上述第 2 面，且與上述電路基板電性連接，由導電材料形成；及
資訊顯示區域，其設置於上述電路基板之上述第 2 面上；且
上述資訊顯示區域具有：
由塗布材料、或與上述導電材料相同之導電材料形成之資訊顯示圖案；且
具有：第 1 區域，其設置於與上述複數個導電構件不同之位置；及第 2 區域，其設置於與上述複數個導電構件重疊之位置；
上述資訊顯示圖案包含：
存在上述導電材料之複數個第 1 部位；及不存在上述導電材料之複數個第 2 部位；且
具有：複數個資訊顯示行，其等由上述複數個第 1 部位與上述複數個第 2 部位之組合表示；且
於第 1 方向、及與上述第 1 方向交叉之第 2 方向上排列有上述複數個資訊顯示行；
上述複數個導電構件之一部分係上述第 2 區域中之上述複數個第 1 部位之一部分。
2. 如請求項 1 之半導體記憶裝置，其中
上述第 2 面平行於與上述電路基板之厚度方向交叉之第 1 方向、及與上述厚度方向及上述第 1 方向之各者交叉之第 2 方向；
上述電路基板具有複數個角部；
上述第 2 面具有：中央區域，其位於上述第 1 方向及上述第 2 方向之中央；及角區域，其位於較上述中央區域更靠上述複數個角部中之 1 個角部附近；
上述資訊顯示區域位於上述角區域。
3. 如請求項 1 之半導體記憶裝置，其中

上述第 2 面平行於與上述電路基板之厚度方向交叉之第 1 方向、及與上述厚度方向及上述第 1 方向之各者交叉之第 2 方向；
上述第 2 面具有位於上述第 1 方向及上述第 2 方向之中央之中央區域；
上述資訊顯示區域位於上述中央區域。

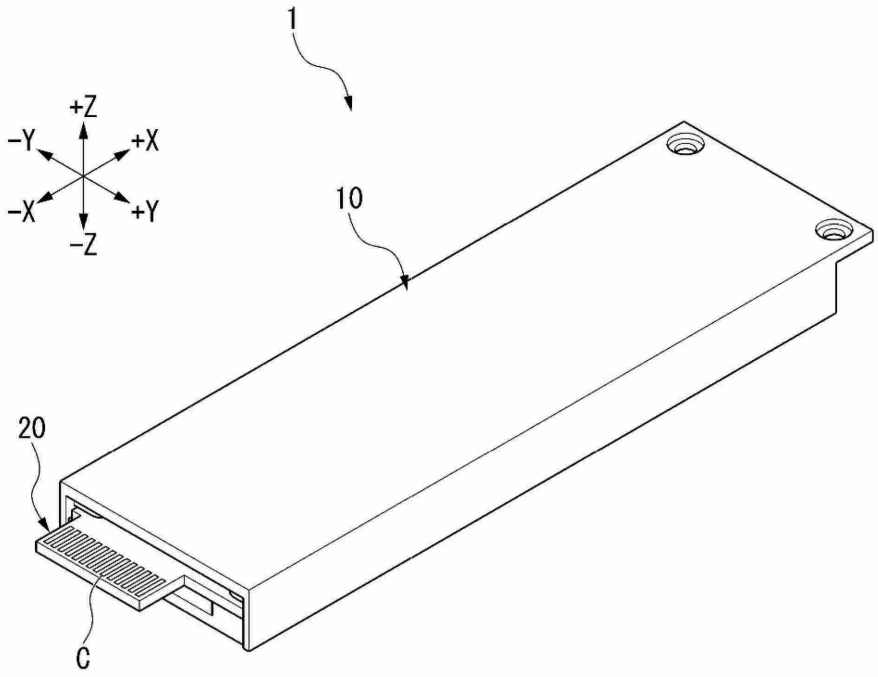
4. 如請求項 1 之半導體記憶裝置，其中
上述第 2 面平行於與上述電路基板之厚度方向交叉之第 1 方向、及與上述厚度方向及上述第 1 方向之各者交叉之第 2 方向；
上述電路基板具有複數個角部、及位於上述複數個角部中彼此相鄰之 2 個角部之間之側部；
上述第 2 面具有：中央區域，其位於上述第 1 方向及上述第 2 方向之中央；及側部區域，其位於較上述中央區域更靠上述側部附近；
上述資訊顯示區域位於上述側部區域。

5. 如請求項 1 之半導體記憶裝置，其中
形成上述複數個第 1 部位之一部分之導電構件為散熱部。

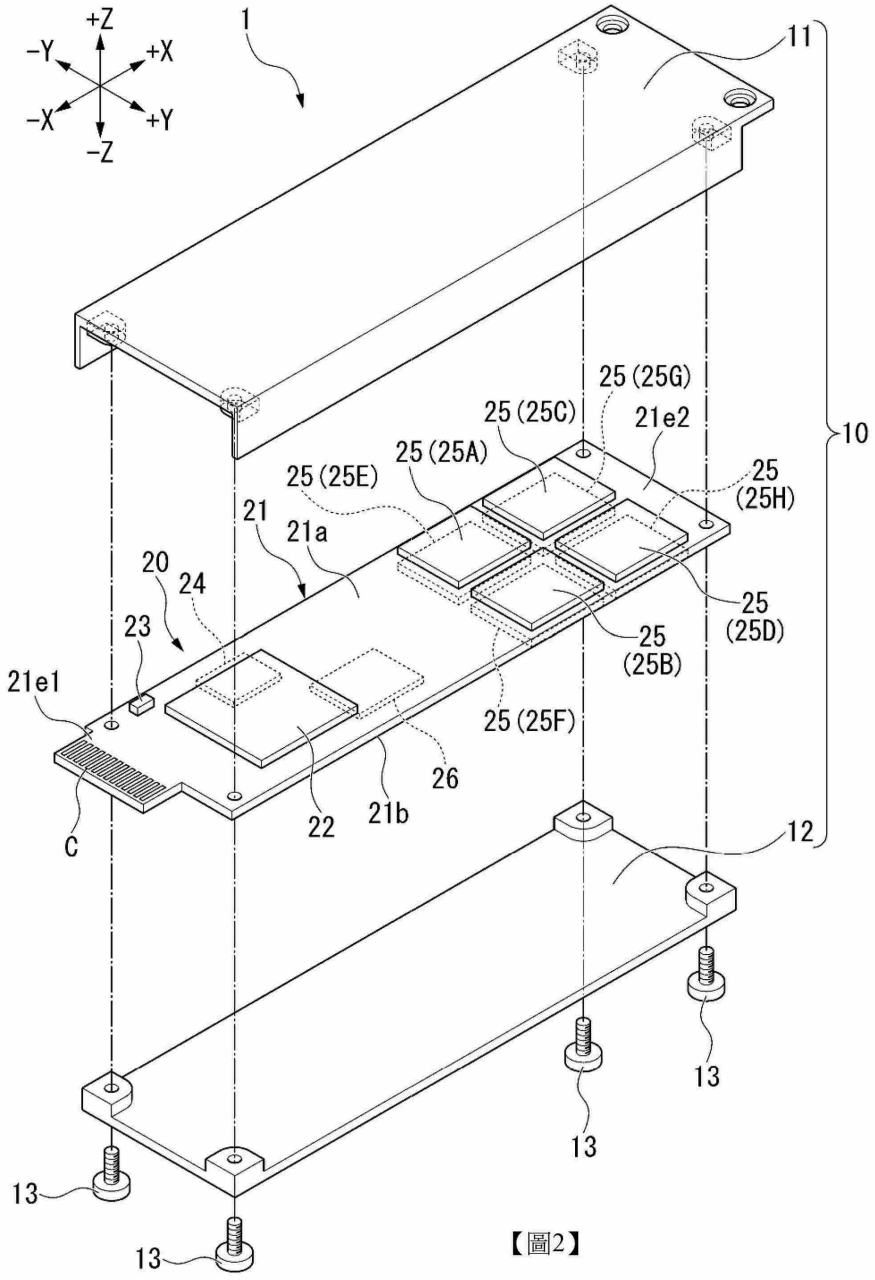
6. 如請求項 1 之半導體記憶裝置，其中
上述複數個導電構件係自上述電路基板之上述第 2 面露出之電連接端子。

圖式簡單說明

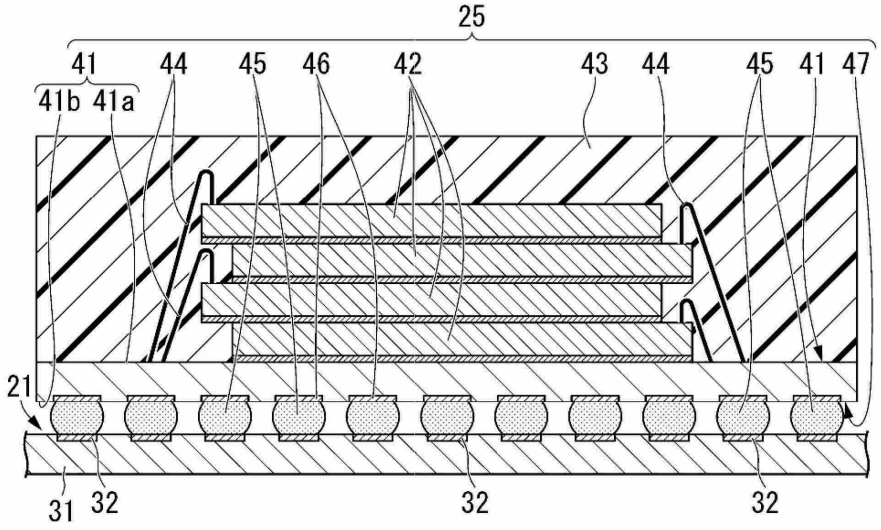
圖 1 係顯示第 1 實施形態之記憶裝置之立體圖。
圖 2 係將第 1 實施形態之記憶裝置局部分解而顯示之立體圖。
圖 3 係顯示第 1 實施形態之 NAND 記憶體之構成之剖視圖。
圖 4 係顯示第 1 實施形態之 NAND 記憶體之配置之仰視圖。
圖 5 係顯示第 1 實施形態之資訊顯示圖案之俯視圖。
圖 6A 係說明第 1 實施形態之 NAND 記憶體之製造方法之圖，係顯示大型電路基板之俯視圖。
圖 6B 係說明第 1 實施形態之 NAND 記憶體之製造方法之圖，係顯示大型電路基板之變化例之俯視圖。
圖 7 係說明第 1 實施形態之 NAND 記憶體之製造方法之圖，係顯示大型電路基板之一部分之剖視圖。
圖 8 係說明第 1 實施形態之 NAND 記憶體之製造方法之圖，係顯示大型電路基板之一部分之剖視圖。
圖 9 係說明第 1 實施形態之 NAND 記憶體之製造方法之圖，係顯示大型電路基板之一部分之剖視圖。
圖 10 係說明第 1 實施形態之 NAND 記憶體之製造方法之圖，係顯示大型電路基板之一部分之剖視圖。
圖 11 係說明第 1 實施形態之 NAND 記憶體之製造方法之圖，係顯示大型電路基板之一部分之剖視圖。
圖 12A 係說明第 1 實施形態之 NAND 記憶體之製造方法之圖，係顯示將焊料球配置於焊盤時所使用之裝置之模式剖視圖。
圖 12B 係說明第 1 實施形態之 NAND 記憶體之製造方法之圖，係顯示將焊料球配置於焊盤時所使用之裝置之模式剖視圖。
圖 13 係顯示第 2 實施形態之資訊顯示圖案之俯視圖。
圖 14 係顯示第 2 實施形態之 NAND 記憶體之變化例之構成之仰視圖。
圖 15 係顯示第 2 實施形態之 NAND 記憶體之變化例之構成之仰視圖。
圖 16 係顯示第 2 實施形態之 NAND 記憶體之變化例之構成之仰視圖。
圖 17 係顯示第 2 實施形態之 NAND 記憶體之變化例之構成之仰視圖。

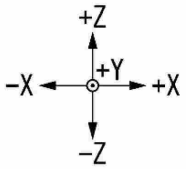


【圖1】

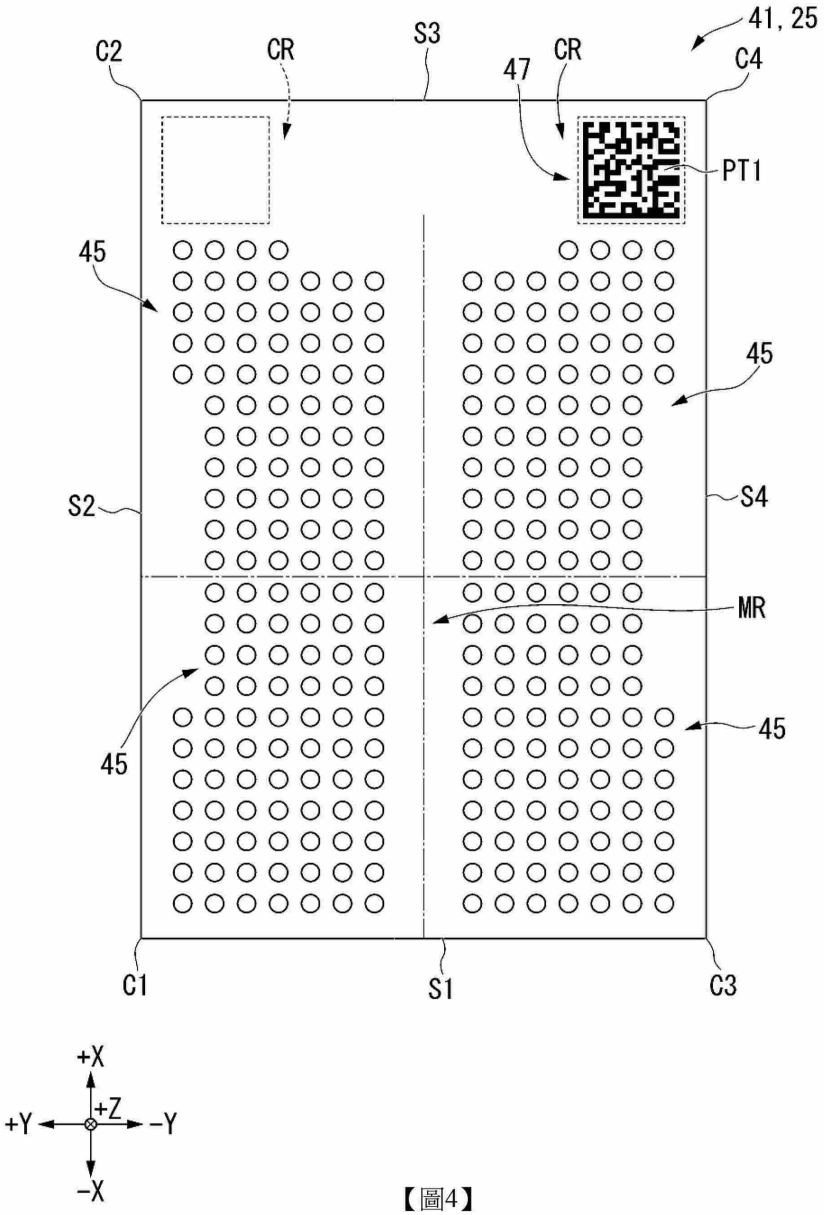

+Z
-Y
+X
-X
+Y
-Z
1
11
10
25 (25G)
25 (25C)
21e2
25 (25A)
25 (25E)
25
(25H)
21
21a
20
24
23
25
(25D)
25
(25B)
21e1
25 (25F)
26
22
21b
C
12
13
13
13
13

【圖2】

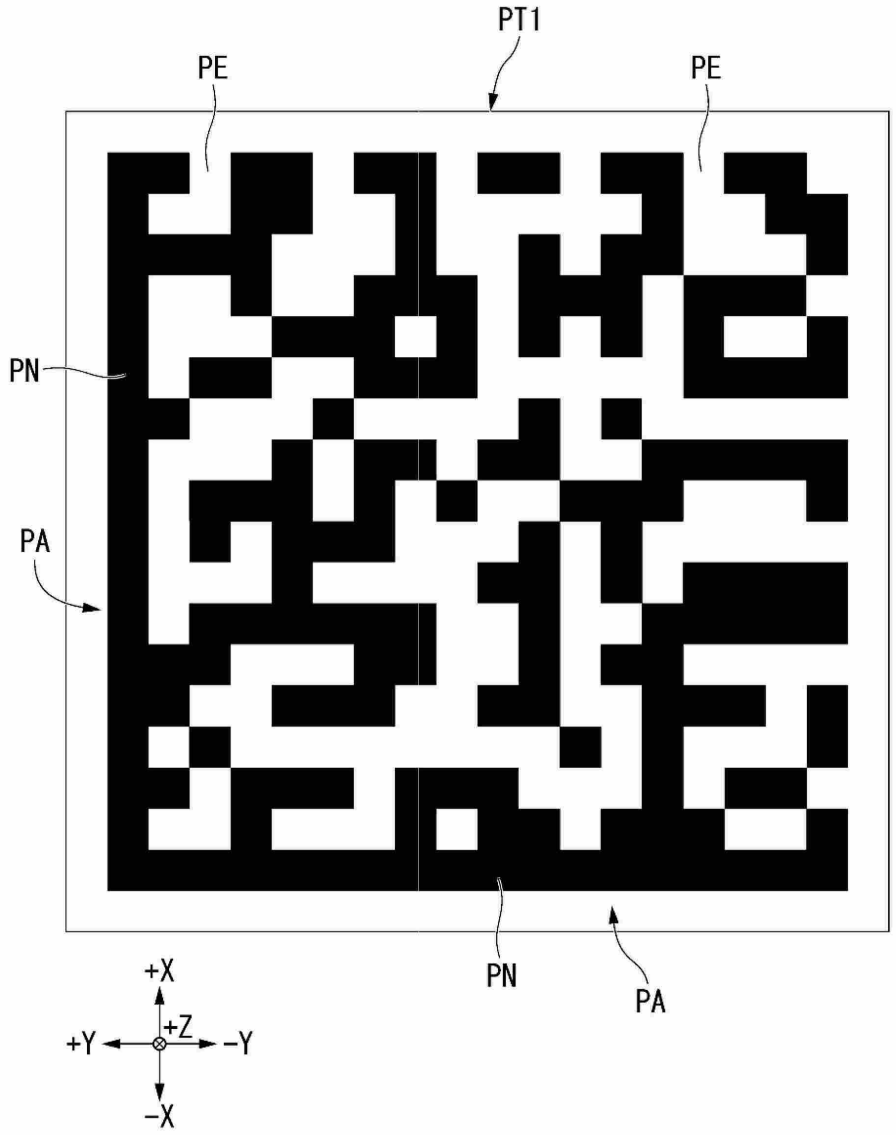




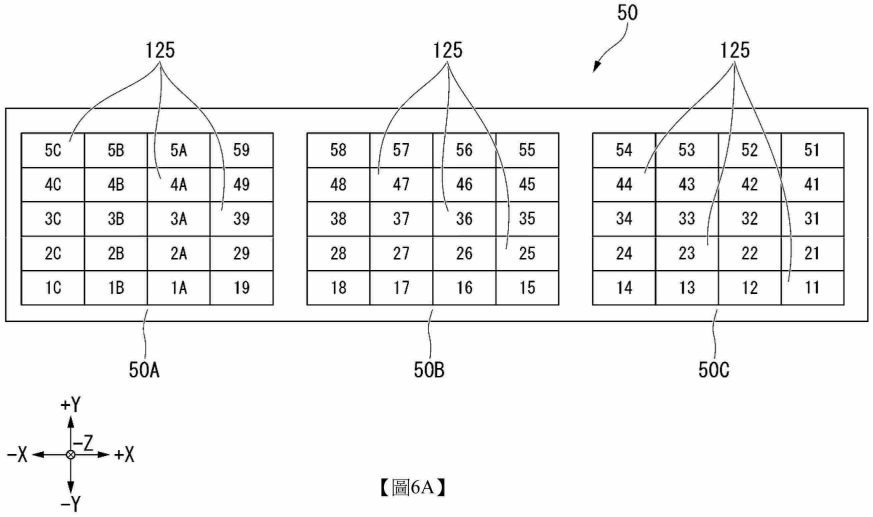
【圖3】



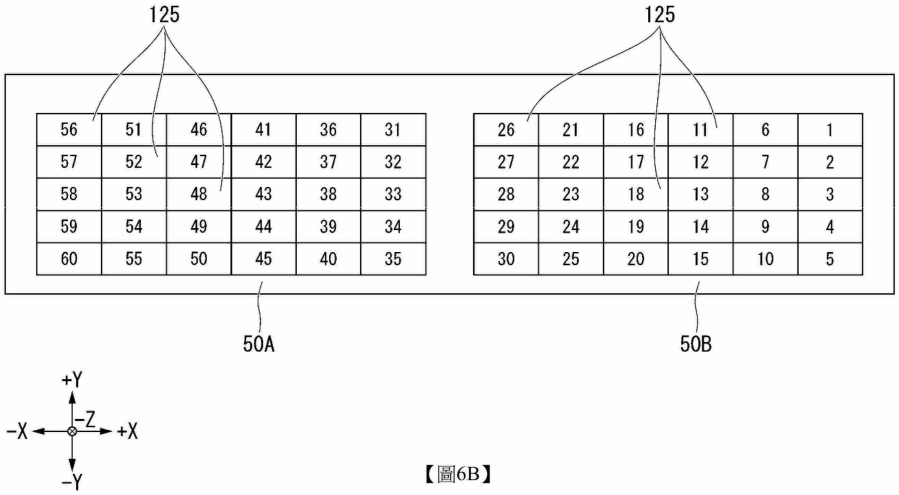
【圖4】



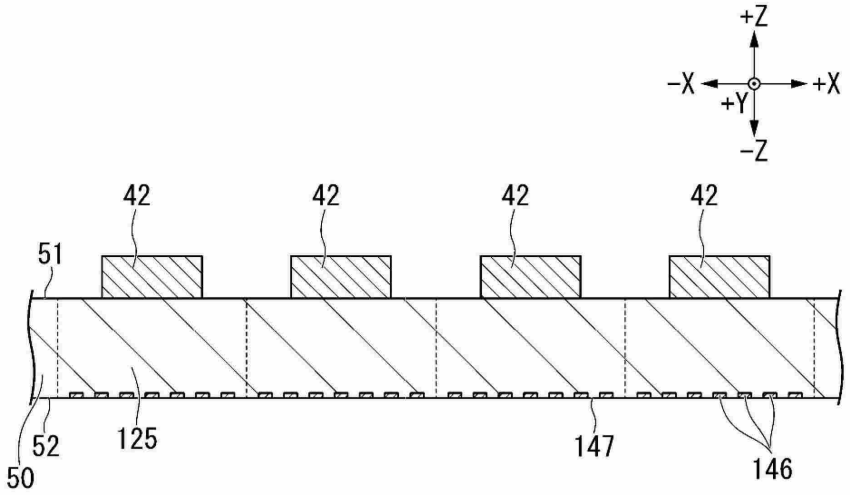
【圖5】


50
125
125
125
5C 5B 5A 59
4C 4B 4A 49
3C 3B 3A 39
2C 2B 2A 29
1C 1B 1A 19
58 57 56 55
48 47 46 45
38 37 36 35
28 27 26 25
18 17 16 15
54 53 52 51
44 43 42 41
34 33 32 31
24 23 22 21
14 13 12 11
50A
50B
50C
+Y
-Z
-X
+X
-Y

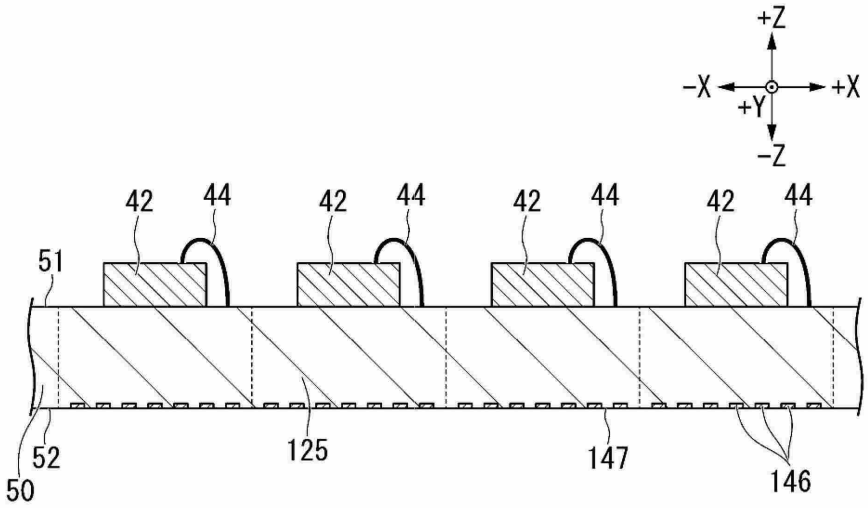
【圖6A】


125
125
56 51 46 41 36 31
57 52 47 42 37 32
58 53 48 43 38 33
59 54 49 44 39 34
60 55 50 45 40 35
26 21 16 11 6 1
27 22 17 12 7 2
28 23 18 13 8 3
29 24 19 14 9 4
30 25 20 15 10 5
50A
50B
+Y
-Z
-X
+X
-Y

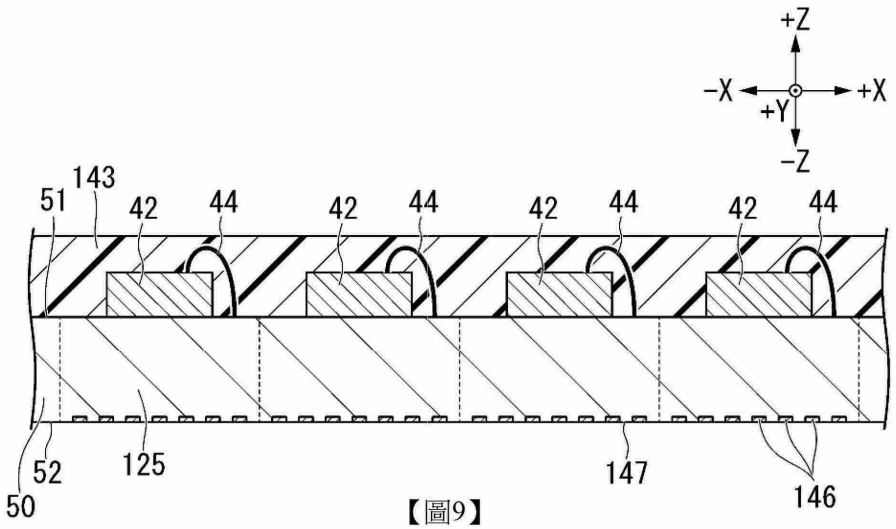
【圖6B】


+Z
-X
+X
+Y
-Z
42
42
42
42
51
50
52
125
147
146

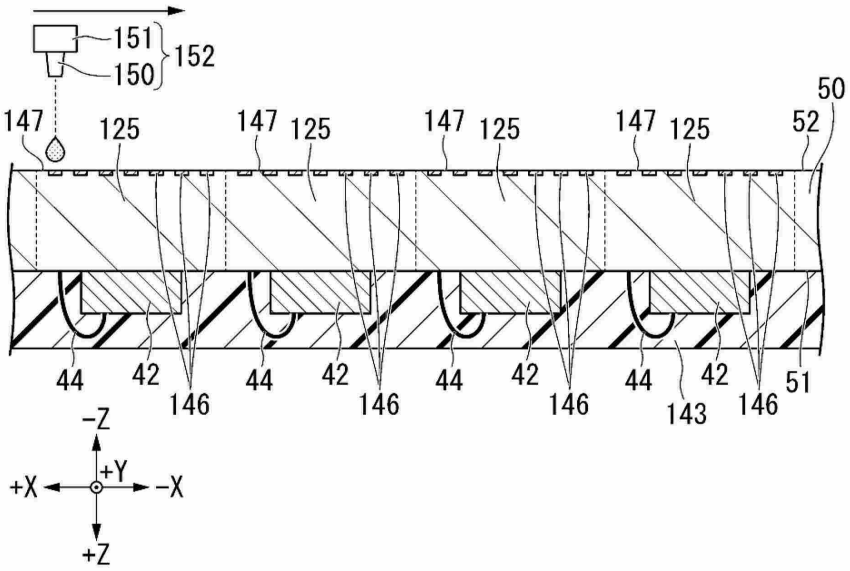
【圖7】


+Z
-X
+X
+Y
-Z
42
44
42
44
42
44
42
44
51
50
52
125
147
146

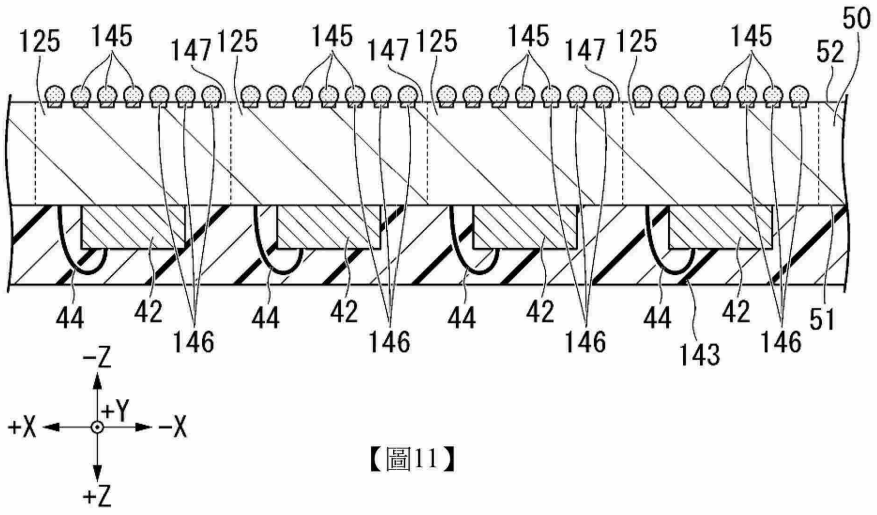
【圖8】


+Z
−X
+X
+Y
−Z
143
51
42
44
42
44
42
44
42
44
52
125
147
146
50

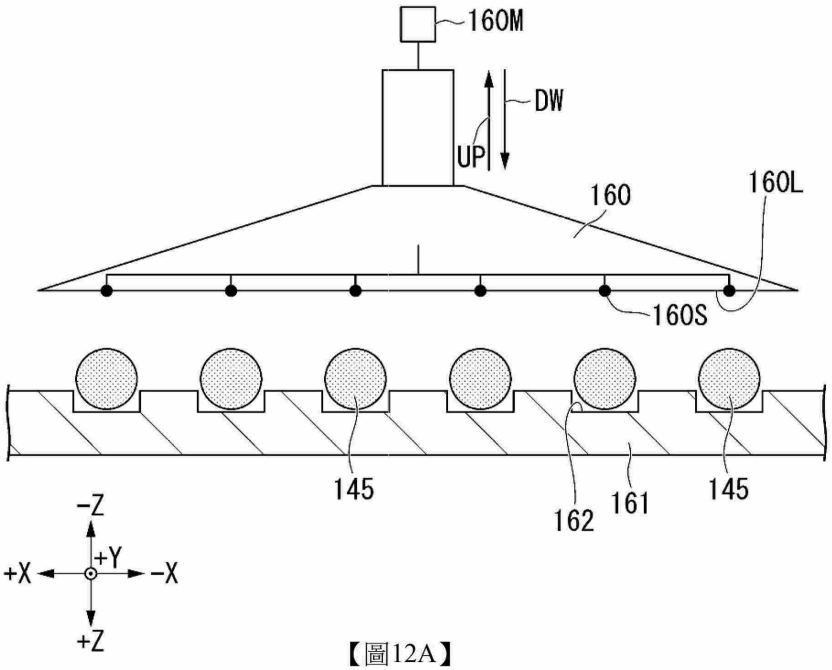
【圖9】


151
150
152
147
125
147
125
147
125
147
125
50
52
44
42
146
44
42
146
44
42
146
44
42
143
146
51
−Z
+Y
+X
−X
+Z

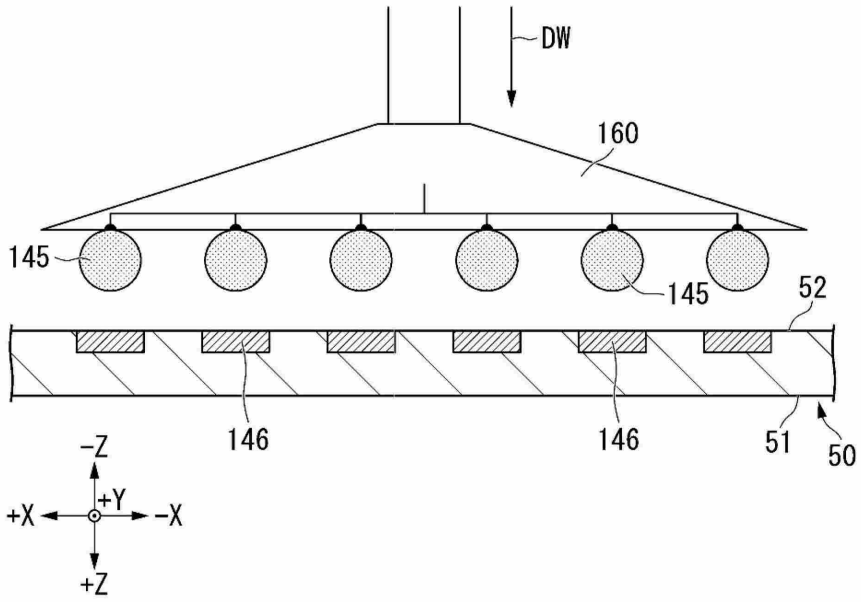
【圖10】


125
145
147
125
145
147
125
145
147
125
145
50
52
44
42
146
44
42
146
44
42
146
44
143
42
146
51
-Z
+Y
+X
-X
+Z

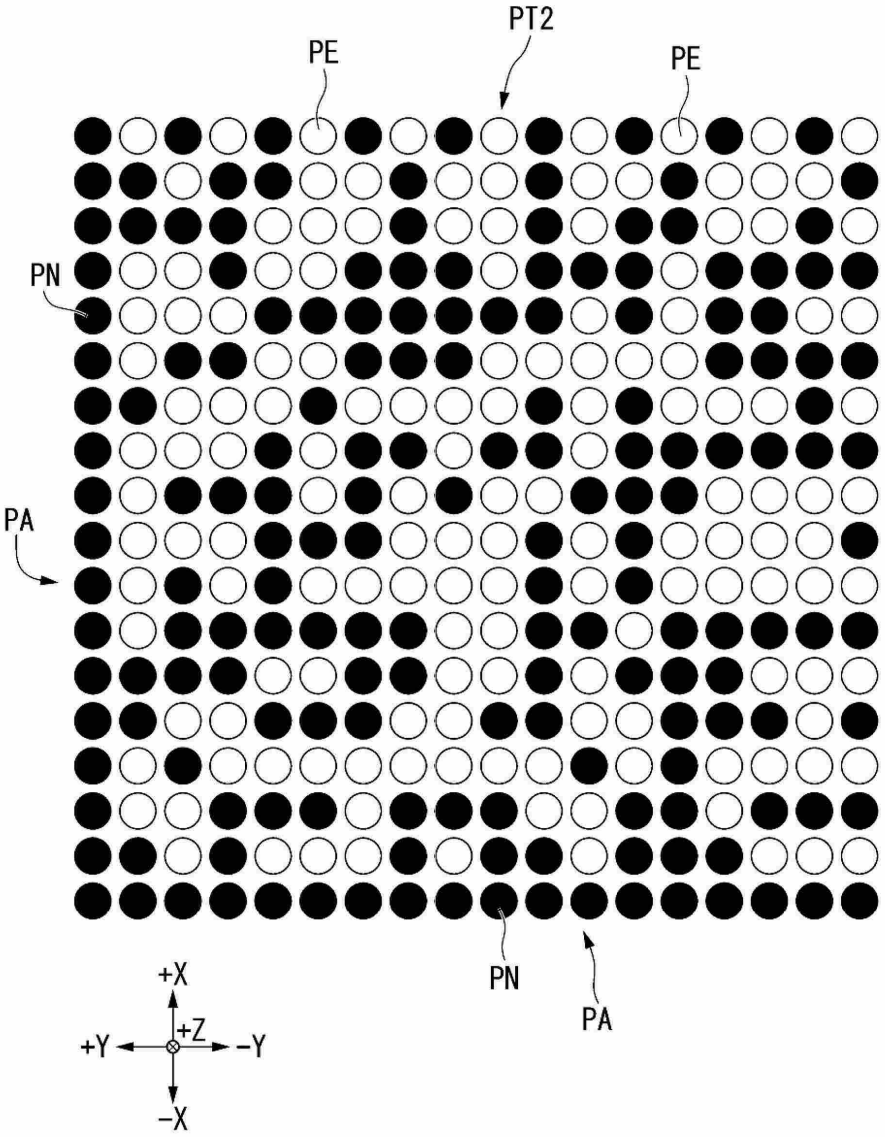
【圖11】


160M
DW
UP
160
160L
160S
145
162
161
145
-Z
+Y
+X
-X
+Z

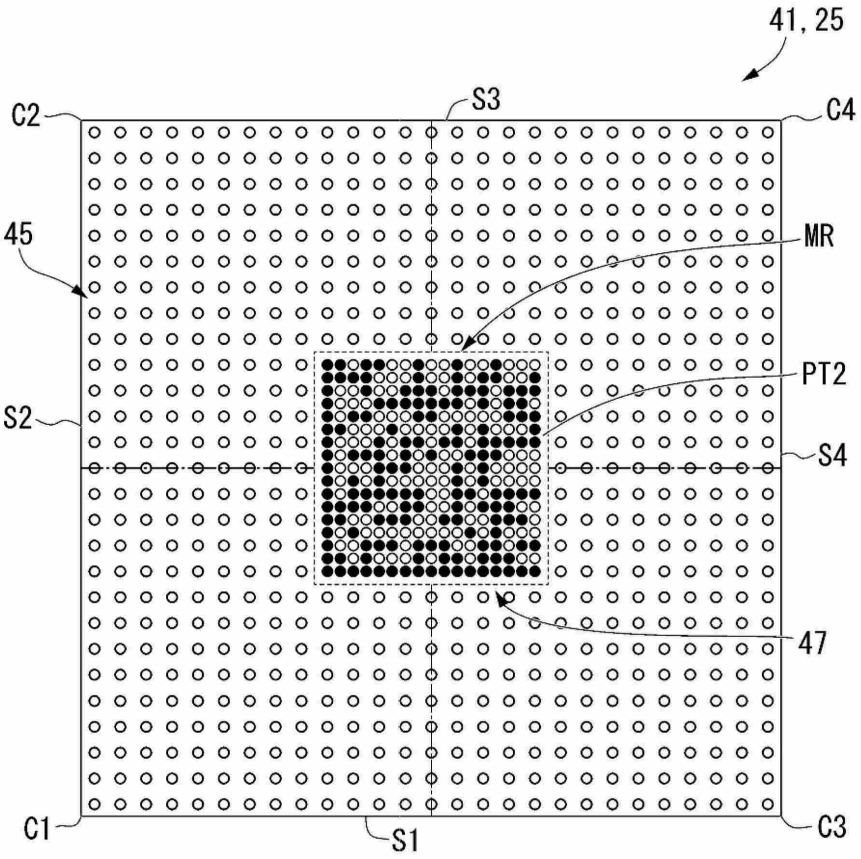
【圖12A】



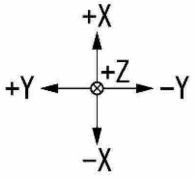
【圖12B】

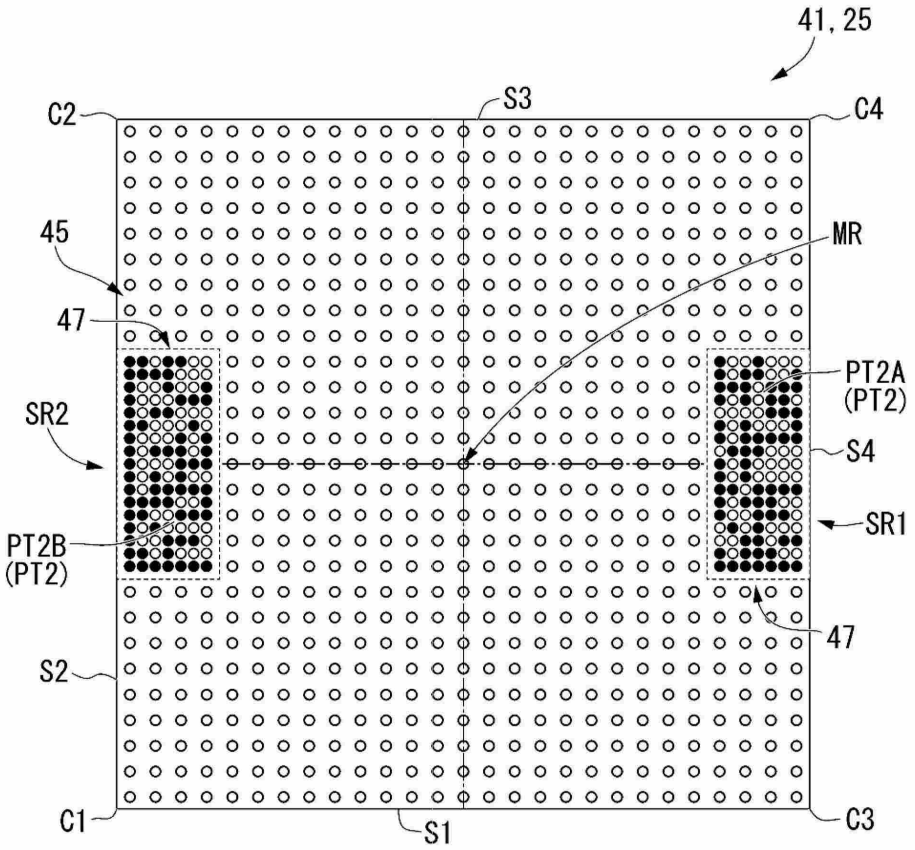


【圖13】

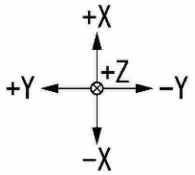


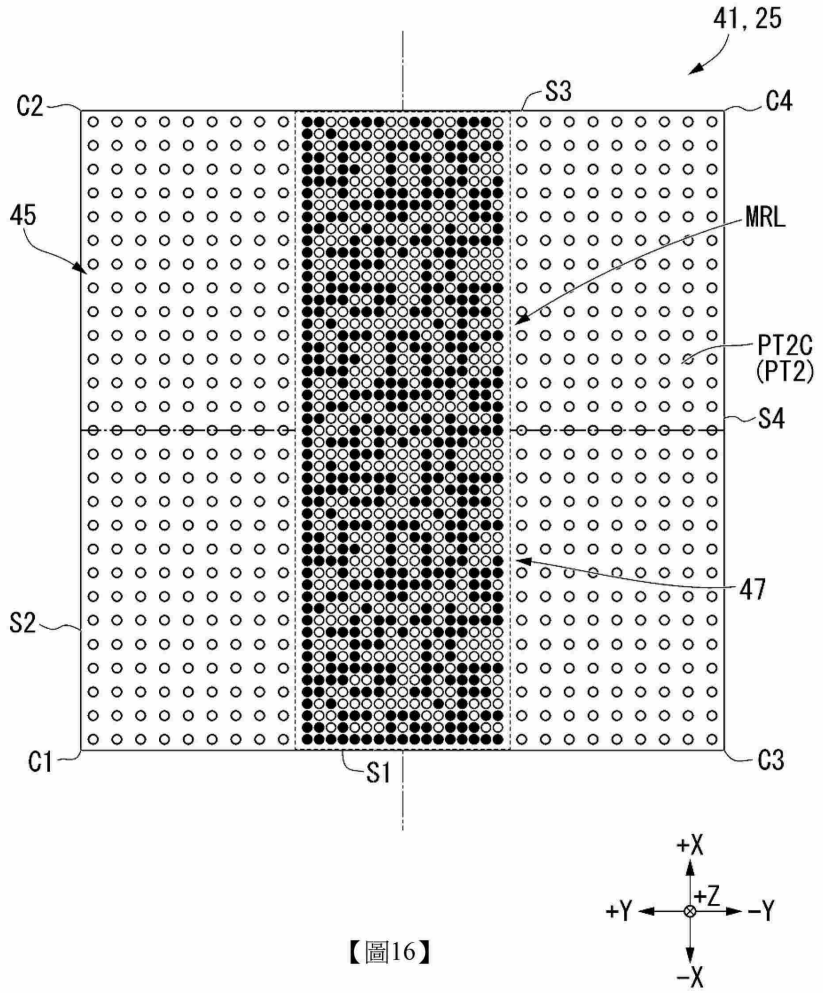
【圖14】



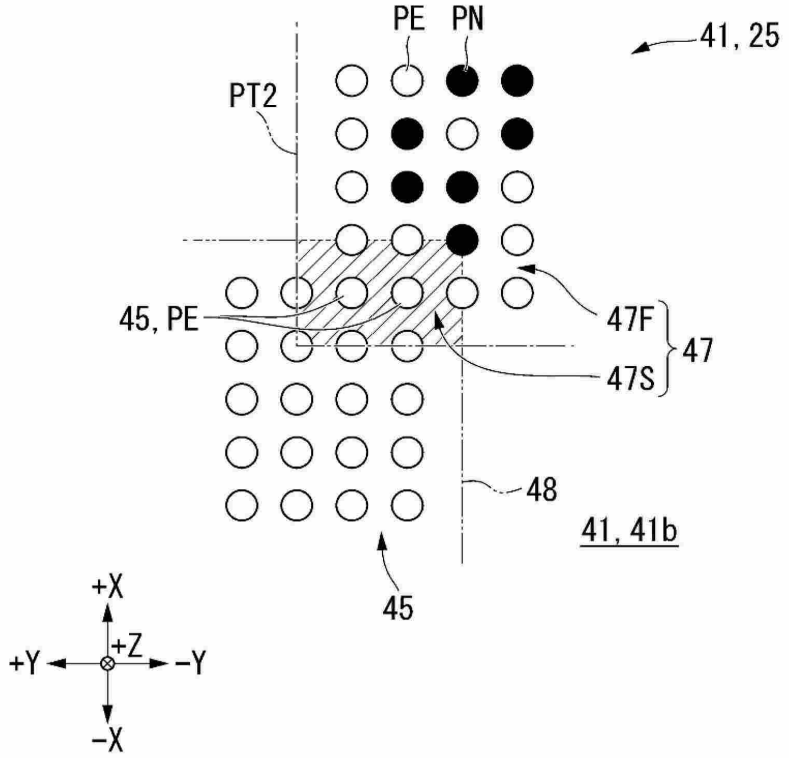

41, 25
C2
S3
C4
45
MR
47
PT2A
(PT2)
SR2
S4
PT2B
(PT2)
SR1
47
S2
C1
S1
C3

【圖15】


+X
+Z
+Y
-Y
-X



【圖16】



【圖17】