【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940863
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*G06F30/392 (2020.01)*　*G11C17/16 (2006.01)*
發明　全 8 頁

【54】名　稱：記憶體陣列、電路及記憶體裝置的製造方法
【21】申請案號：113108406　【22】申請日： 中華民國 113 (2024) 年 03 月 07 日
【11】公開編號：202507557　【43】公開日期： 中華民國 114 (2025) 年 02 月 16 日
【30】優 先 權： 2023/08/04　美國　63/517,784
2023/11/27　美國　18/519,452
【72】發 明 人： 陳宇翔 (TW) CHEN, YUHSIANG；楊耀仁 (TW) YANG, YAO-JEN；李紀寬 (TW) LEE, JI-KUAN
【71】申 請 人： 台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.
新竹市東區新竹科學工業園區力行六路八號
【74】代 理 人： 李世章；秦建譜
【56】參考文獻：

TW	200535855A	CN	102376718B1
US	10,984,878B1	US	11,329,836B1

審查人員：陳延慶

【57】申請專利範圍

1. 一種記憶體陣列，包括：
一連續主動區，沿著一個方向延伸；
一第一位元單元，包括界定於該連續主動區上的一第一編寫裝置及多個第一讀取裝置的一對；
一第一編寫字元線，耦接至該第一編寫裝置的一閘極；
一第一讀取字元線，耦接至多個第一讀取裝置的該對的多個閘極；及
一位元線，其中多個第一讀取裝置的該對中的一第一者耦接於該第一編寫裝置的一第一源極/汲極節點與該位元線之間，其中多個第一讀取裝置的該對中的該第一者的一第一源極/汲極節點與多個第一讀取裝置的該對中的一第二者的一第一源極/汲極節點共同耦接至單一的該位元線。
2. 如請求項 1 所述之記憶體陣列，其中該第一編寫裝置經界定於多個第一讀取裝置的該對之間。
3. 如請求項 1 所述之記憶體陣列，進一步包括包圍該連續主動區的一隔離結構。
4. 如請求項 1 所述之記憶體陣列，進一步包括界定於該連續主動區上且沿著該方向配置的一第二位元單元，其中該第二位元單元包括沿著該方向的一第二編寫裝置及多個第二讀取裝置的一對。
5. 如請求項 1 所述之記憶體陣列，其中多個第一讀取裝置的該對中的該第二者耦接於該第一編寫裝置的一第二源極/汲極節點與該位元線之間。
6. 如請求項 1 所述之記憶體陣列，進一步包括：
多個電壓緩和裝置的一第一對，其中該第一編寫裝置位於多個電壓緩和裝置的該第一對之間，且該些電壓緩和裝置位於多個第一讀取裝置的該對之間。

7. 一種電路，包括：
一第一編寫電晶體，界定於一連續主動區上；及
多個讀取電晶體的一對，沿著一個方向界定於該連續主動區上，該第一編寫電晶體定位於多個讀取電晶體的該對之間且耦接至多個讀取電晶體的該對，
其中多個讀取電晶體的該對中的一第一者的一第一源極/汲極節點與多個讀取電晶體的該對中的一第二者的一第二源極/汲極節點共同耦接至單一的一位元線。

8. 如請求項 7 所述之電路，其中多個讀取電晶體的該對中的該第一者的一第二源極/汲極節點與多個讀取電晶體的該對中的該第二者的一第二源極/汲極節點耦接至該第一編寫電晶體的多個對應源極/汲極節點。

9. 一種用於製造一記憶體裝置的方法，包括以下步驟：
形成沿著一第一方向延伸的一連續主動區；
在該連續主動區上形成一編寫電晶體的一第一閘極結構；
在該連續主動區上形成多個讀取電晶體的一對的一第二閘極結構及一第三閘極結構，該第一閘極結構形成於該第二閘極結構與該第三閘極結構之間；及
形成共同耦接至多個讀取電晶體的該對中的一第一者的一第一源極/汲極結構及多個讀取電晶體的該對中的一第二者的一第二源極/汲極結構的單一的一位元線。

10. 如請求項 9 所述之方法，其中形成該位元線之步驟包括以下步驟：
在該連續主動區中形成一導電通孔；及
形成用於耦接至該導電通孔的該位元線的一金屬層。

圖式簡單說明

在結合隨附圖式閱讀以下詳細描述時可最佳地理解本揭露的各個態樣。應注意，根據業界中的標準慣例，各種特徵未按比例繪製。實際上，為了論述清楚，各種特徵的尺寸可任意地增大或減小。

第 1A 圖說明根據一些實施例的記憶體陣列的位元單元的實例佈局的方塊圖。

第 1B 圖說明根據一些實施例的記憶體陣列的與第 1A 圖的佈局對應的一部分的實例電路圖。

第 2A 圖說明示出了根據一些實施例的與第 1A 圖及第 1B 圖中所示的位元單元類似的、具有前側金屬層的實例位元單元的橫截面佈局圖。

第 2B 圖說明示出了根據一些實施例的與第 1A 圖及第 1B 圖中所示的位元單元類似的、具有前側及背側金屬層的實例位元單元的橫截面佈局圖。

第 3A 圖說明根據一些實施例的包含電壓緩和裝置的記憶體陣列的位元單元的實例佈局的方塊圖。

第 3B 圖說明根據一些實施例的記憶體陣列的與第 3A 圖的佈局對應的一部分的實例電路圖。

第 4A 圖說明根據一些實施例的包含多個編寫裝置的記憶體陣列的位元單元的實例佈局的方塊圖。

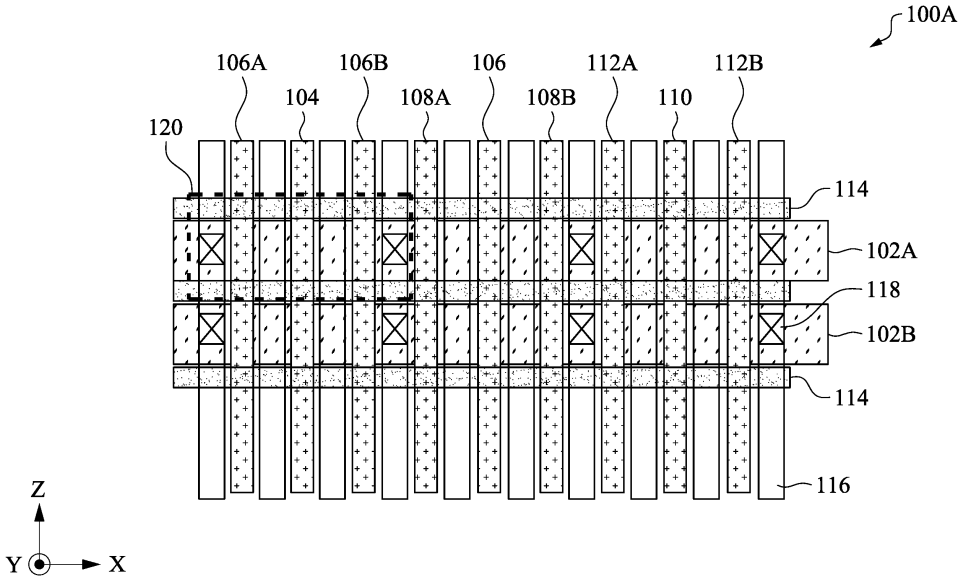
第 4B 圖說明根據一些實施例的記憶體陣列的與第 4A 圖的佈局對應的一部分的實例電路圖。

第 5A 圖說明根據一些實施例的包含電壓緩和裝置的多個對的記憶體陣列的位元單元的實例佈局的方塊圖。

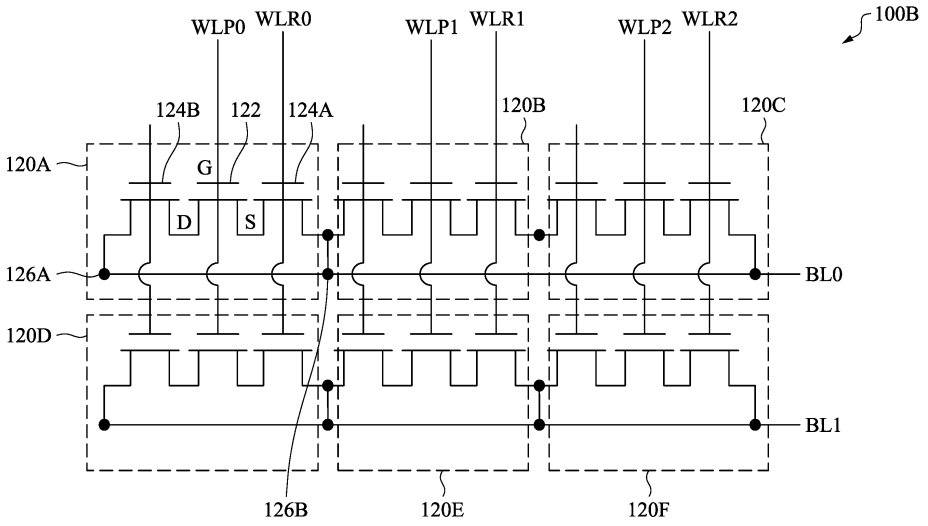
第 5B 圖說明根據一些實施例的記憶體陣列的與第 5A 圖的佈局對應的一部分的實例電路圖。

第 6 圖說明根據一些實施例的包含位於連續主動區的邊緣處的虛設閘極金屬層的記憶體陣列的位元單元的實例佈局的方塊圖。

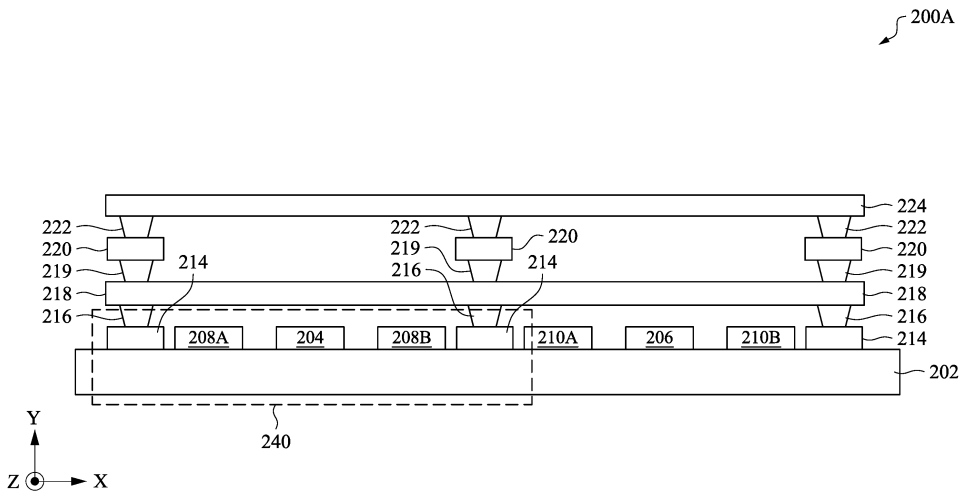
第 7 圖說明根據一些實施例的用於製造第 1A 圖至第 6 圖的位元單元的實例方法的流程圖。


100A
106A
106B
106
112A
112B
104
108A
108B
110
120
114
102A
118
102B
114
116
Z
Y
X

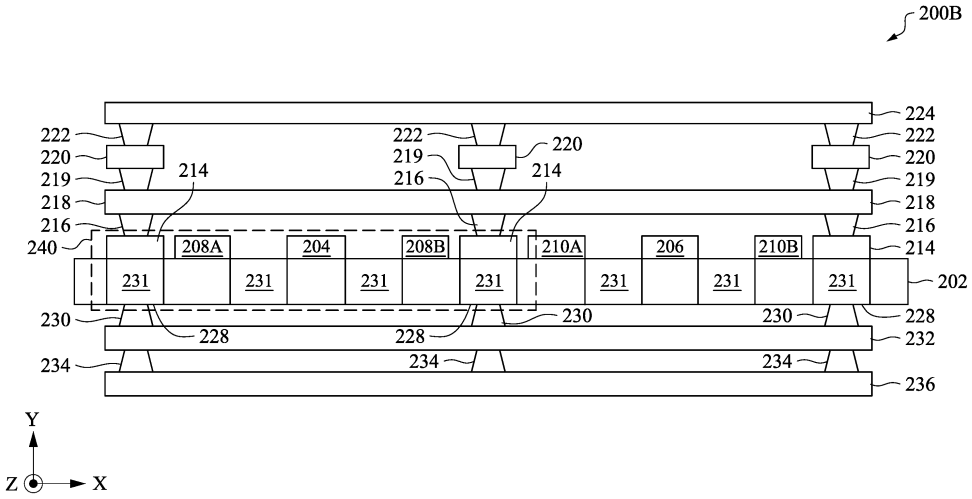
第 1A 圖


100B
WLP0
WLR0
WLP1
WLR1
WLP2
WLR2
124B
122
124A
120B
120C
120A
G
D
S
126A
BL0
120D
BL1
126B
120E
120F

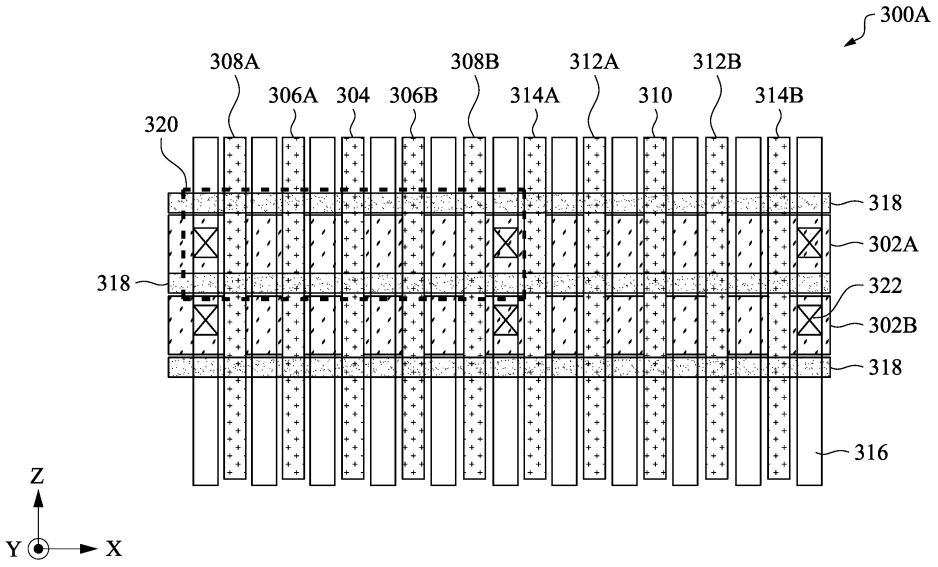
第 1B 圖



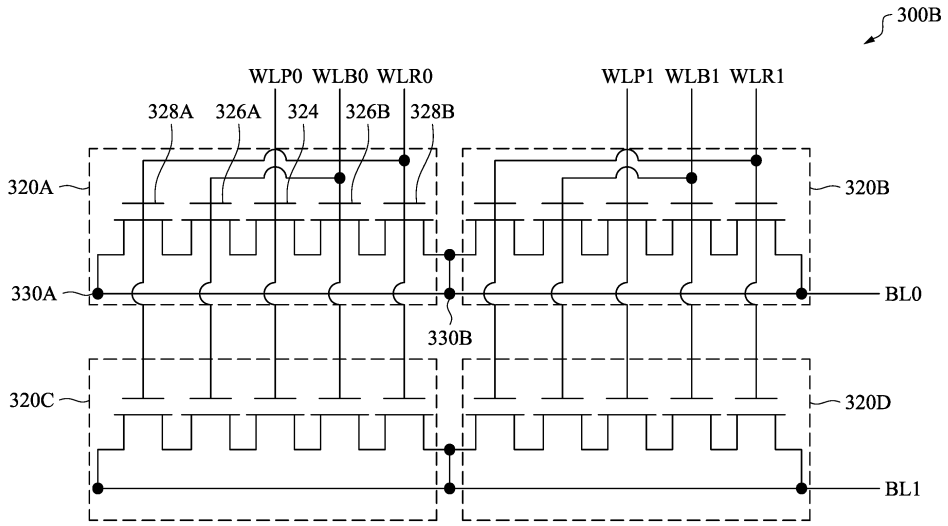
第 2A 圖



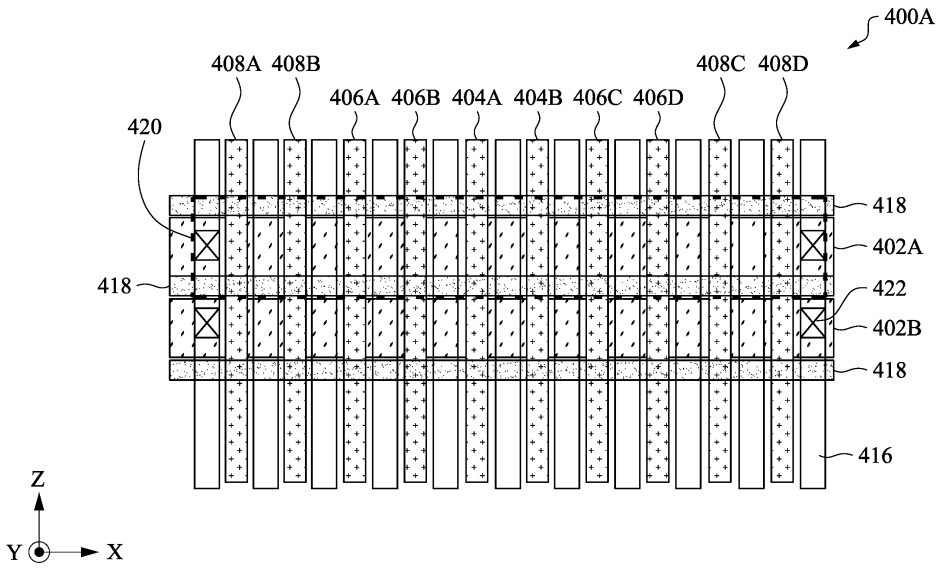
第 2B 圖



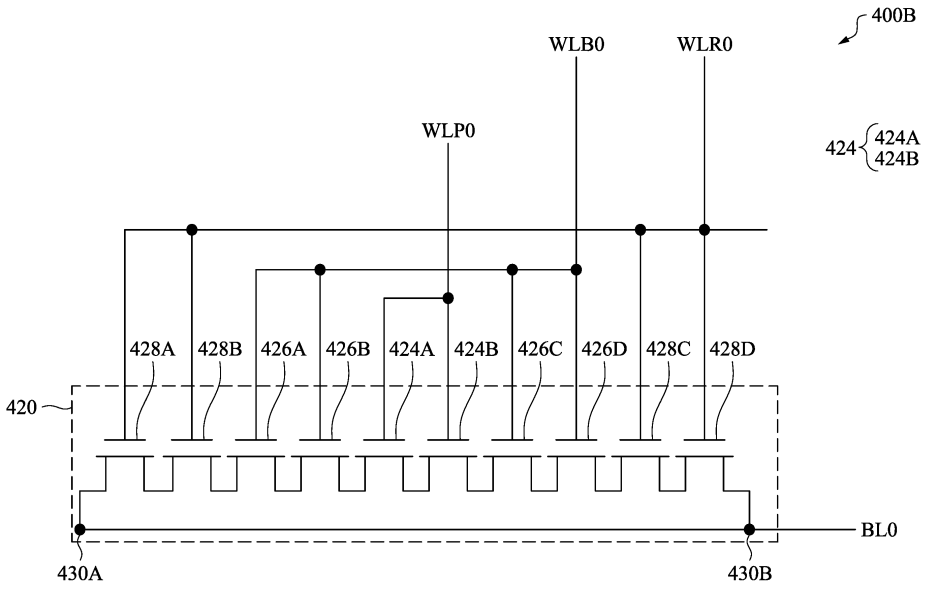
第 3A 圖


300B
WLP0 WLB0 WLR0
WLP1 WLB1 WLR1
328A 326A 324 326B 328B
320A
320B
330A
BL0
330B
320C
320D
BL1

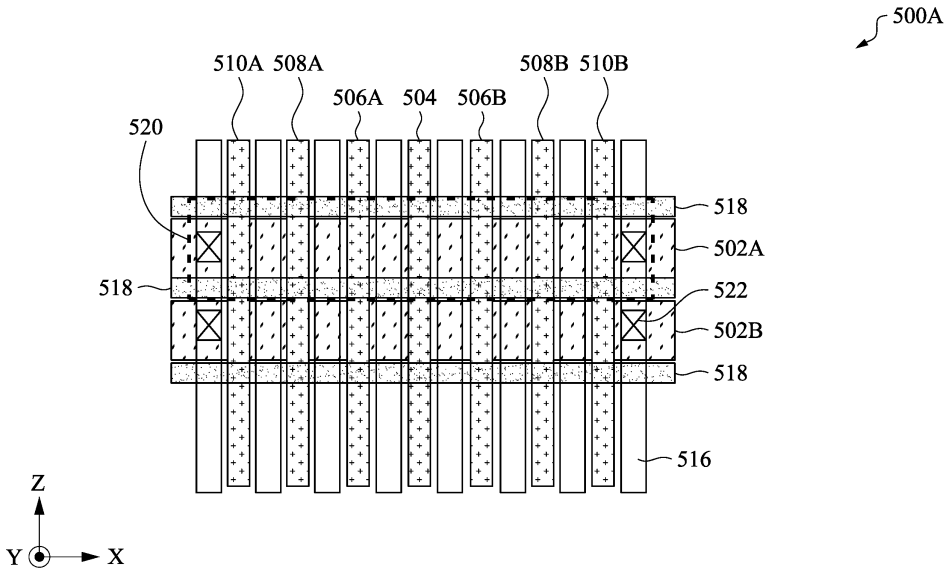
第 3B 圖


400A
408A 408B
408C 408D
406A 406B 404A 404B 406C 406D
420
418
418
402A
422
402B
418
416
Z
Y
X

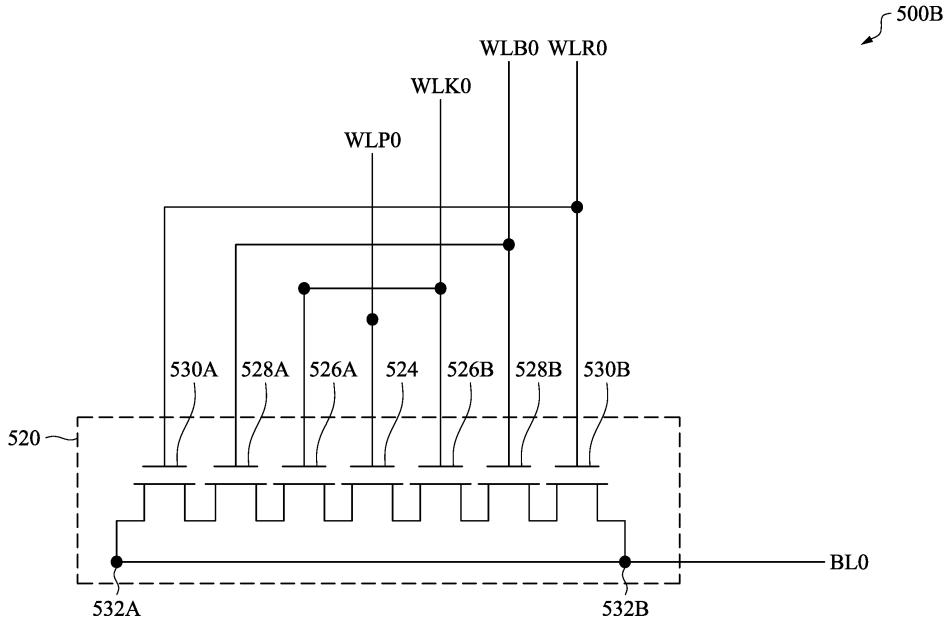
第 4A 圖


400B
WLB0
WLR0
WLP0
424
424A
424B
428A
428B
426A
426B
424A
424B
426C
426D
428C
428D
420
BL0
430A
430B

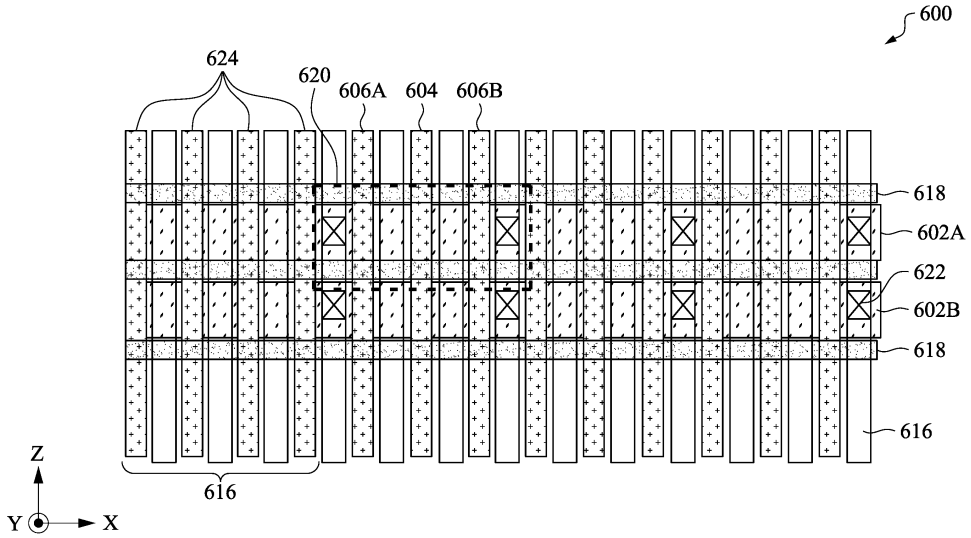
第 4B 圖


500A
510A
508A
506A
504
506B
508B
510B
520
518
502A
518
522
502B
518
516
Z
Y
X

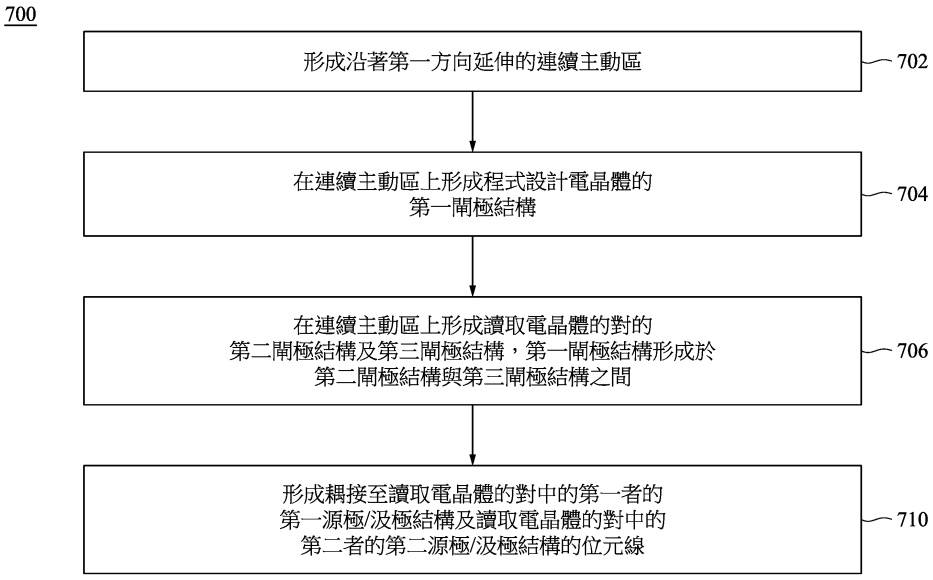
第 5A 圖


500B
WLB0
WLR0
WLK0
WLP0
530A
528A
526A
524
526B
528B
530B
520
BL0
532A
532B

第 5B 圖


600
624
620
606A
604
606B
618
602A
622
602B
618
616
616
Z
Y
X

第 6 圖


700
形成沿著第一方向延伸的連續主動區
702
在連續主動區上形成程式設計電晶體的
第一閘極結構
704
在連續主動區上形成讀取電晶體的對的
第二閘極結構及第三閘極結構，第一閘極結構形成於
第二閘極結構與第三閘極結構之間
706
形成耦接至讀取電晶體的對中的第一者的
第一源極/汲極結構及讀取電晶體的對中的
第二者的第二源極/汲極結構的位元線
710

第 7 圖