【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940905
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10D84/85 (2025.01)*　*H10D64/27 (2025.01)*
H10D64/66 (2025.01)

發明　　全 10 頁

【54】名　稱：半導體裝置
【21】申請案號：113124771　【22】申請日： 中華民國 113 (2024) 年 07 月 02 日
【11】公開編號：202510301　【43】公開日期： 中華民國 114 (2025) 年 03 月 01 日
【30】優 先 權： 2023/07/03　美國　18/346,772
【72】發 明 人： 朱天宇 (TW) CHU, TIEN YU；黃以理 (TW) HUANG, YI-LII；龔暉軒 (TW) KUNG, HUI-HSUAN；陳致孝 (TW) CHEN, CHIH-HSIAO
【71】申 請 人： 台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.
新竹市新竹科學工業園區力行六路八號
【74】代 理 人： 李世章；秦建譜
【56】參考文獻：

TW	201916377A	TW	202207476A
TW	202322280A	US	2018/0286764A1

審查人員：莊榮昌

【57】申請專利範圍

1. 一種半導體裝置，包括：
一基板；
一第一電路區及一第二電路區，形成在該基板上方並沿著一第一方向延伸；
一第一電晶體，位於該第一電路區中，其中該第一電晶體包括一第一通道區及與該第一通道區接觸且沿著一第二方向延伸的一第一閘極電極，且該第二方向基本上垂直於該第一方向；
一第二電晶體，位於該第二電路區中，其中該第二電晶體包括一第二通道區及與該第二通道區接觸且一第二閘極電極，且該第二閘極電極在該第二方向上延伸，且該第二閘極電極在該第二方向上與該第一閘極電極對齊；
一淺溝槽隔離結構，位於該第一通道區與該第二通道區之間；
一低電阻部分，在該第二方向上延伸並使該第一閘極電極及該第二閘極電極互連，其中該低電阻部分在該第二方向上基本上與該第一閘極電極及該第二閘極電極對齊；以及
一層間介電層，包括：
一第一層間介電結構，圍繞該第一閘極電極及該第二閘極電極；以及
一第二層間介電結構，圍繞該低電阻部分，
其中該第二層間介電結構的一材料與該第一層間介電結構的一材料不同，
其中該低電阻部分的一底表面與各該淺溝槽隔離結構的一頂表面接觸，及
其中，該第一閘極電極及該第二閘極電極沿著該第一方向具有一第一寬度(W_0)，該低電阻部分具有沿著該第一方向的一第二寬度(W)，且 W 與 W_0 的比值(W/W_0)至少為 1.1。
2. 如請求項 1 所述之半導體裝置，其中該低電阻部分具有沿著該第二方向的一長度(L)，且 L 與 W_0 的比值(L/W_0)至少為 10。

3. 如請求項 1 所述之半導體裝置，其中該低電阻部分在從該第一電晶體到該第二電晶體的方向上自一第一端延伸至一第二端，該第一電晶體包括兩源極/汲極區，且該兩源極/汲極區位於該第一閘極電極的相對二側，該低電阻部分在該第二方向上具有從該第一端至該兩源極/汲極區的一距離(D_1)，且 D_1 與 W_0 的比值(D_1/W_0)至少為 3。

4. 如請求項 1 所述之半導體裝置，其中該第一閘極電極及該第二閘極電極包括一第一材料，且該第一材料具有一第一電阻率，該低電阻部分包括一第二材料，且該第二材料具有一第二電阻率，且該第二電阻率小於該第一電阻率。

5. 如請求項 1 所述之半導體裝置，其中該第一電路區位於一第一主動區中，該第二電路區位於一第二主動區中，且該低電阻部分延伸跨過該第一主動區及該第二主動區之間的一邊界。

6. 一種半導體裝置，包括：
一基板；
一第一電路區及一第二電路區，形成在該基板上方並沿著一第一方向延伸；
一閘極結構，沿著一第二方向延伸，且該第二方向基本垂直於該第一方向，其中該閘極結構包括：
兩通道區，分別位於該第一電路區及該第二電路區中；
一淺溝槽隔離結構，位於該兩通道區之間；
兩閘極電極部分，分別位於該第一電路區及該第二電路區中，其中該兩閘極電極部分配置以分別做為該第一電路區及該第二電路區的兩電晶體的閘極電極，且該兩電晶體分別位於該第一電路區及該第二電路區中，及其中該兩閘極電極部分分別與該兩通道區接觸；以及
一低電阻部分，位於該兩閘極電極部分之間並使該兩閘極電極部分互連，其中該低電阻部分的一底表面與該淺溝槽隔離結構的一頂表面接觸，
一層間介電層，包括：
一第一層間介電結構，圍繞該兩閘極電極部分；以及
一第二層間介電結構，圍繞該低電阻部分，
其中該第二層間介電結構的一材料與該第一層間介電結構的一材料不同，
其中，該兩閘極電極部分包括一第一材料，且該第一材料具有一第一電阻率，該低電阻部分包括一第二材料，且該第二材料具有一第二電阻率，且該第二電阻率小於該第一電阻率。

7. 一種半導體裝置，包括：
一基板；
一第一電路區及一第二電路區，形成在該基板上方並沿著一第一方向延伸；
複數個閘極結構，沿著一第二方向延伸，且該第二方向基本上垂直於該第一方向，其中該些閘極結構包括彼此相鄰的一第一閘極結構及一第二閘極結構，
其中，該第一閘極結構包括：
一第一通道區及一第二通道區，分別位於該第一電路區及該第二電路區中；
一第一淺溝槽隔離結構，位於該第一通道區與該第二通道區之間；
一第一閘極電極部分及一第二閘極電極部分，分別位於該第一電路區及該第二電路區中，且該第一閘極電極部分配置以做為該第一電路區中的一第一電晶體的閘極電極，而該第二閘極電極部分配置以做為該第二電路區中的一第二電晶體的閘極電極，其中該第一閘極電極部分與該第一通道區接觸，且該第二閘極電極部分與該第二通道區接觸；以及

一第一低電阻部分，位於該第一閘極電極部分及該第二閘極電極部分之間並使該第一閘極電極部分及該第二閘極電極部分互連，其中該第一低電阻部分的一底表面與該第一淺溝槽隔離結構的一頂表面接觸；

一第一層間介電層，包括：

一第一層間介電結構，圍繞該第一閘極電極部分及該第二閘極電極部分；以及

一第二層間介電結構，圍繞該第一低電阻部分，其中該第二層間介電結構的一材料與該第一層間介電結構的一材料不同，

其中，該第二閘極結構包括：

一第三通道區及一第四通道區，分別位於該第一電路區及該第二電路區中；

一第二淺溝槽隔離結構，位於該第三通道區與該第四通道區之間；

一第三閘極電極部分及一第四閘極電極部分，分別位於該第一電路區及該第二電路區中，且該第三閘極電極部分配置以做為該第一電路區中的一第三電晶體的閘極電極，而該第四閘極電極部分配置以做為該第二電路區中的一第四電晶體的閘極電極，其中該第三閘極電極部分與該第三通道區接觸，且該第四閘極電極部分與該第四通道區接觸；以及

一第二低電阻部分，位於該第三閘極電極部分及該第四閘極電極部分之間並使該第三閘極電極部分及該第四閘極電極部分互連，其中該第二低電阻部分的一底表面與該第二淺溝槽隔離結構的一頂表面接觸，

一第二層間介電層，包括：

一第三層間介電結構，圍繞該第三閘極電極部分及該第四閘極電極部分；以及

一第四層間介電結構，圍繞該第一低電阻部分，其中該第三層間介電結構的一材料與該第四層間介電結構的一材料不同，

其中，該第一閘極結構的該第一閘極電極部分和該第二閘極電極部分及該第二閘極結構的該第三閘極電極部分和該第四閘極電極部分分別具有沿著該第一方向的一第一寬度(W_0)，該第一低電阻部分及該第二低電阻部分分別具有沿著該第一方向的一第二寬度(W)，且 W 與 W_0 的比值(W/W_0)至少為 1.1。

8. 如請求項 7 所述之半導體裝置，其中該第一低電阻部分及該第二低電阻部分基本上在該第一方向上對齊。

9. 如請求項 7 所述之半導體裝置，其中該第一閘極結構及該第二閘極結構以一第一距離(S_0)及一第二距離(S)彼此分離，且該第一距離(S_0)是在第一方向上的相應的該第一閘極電極部分、該第二閘極電極部分、該第三閘極電極部分及該第四閘極電極部分之間的距離，而該第二距離(S)是在該第一方向上的該第一低電阻部分及該第二低電阻部分之間的距離，其中 S 與 S_0 的比值(S/S_0)不大於 0.9。

10. 如請求項 7 所述之半導體裝置，其中該些閘極結構包括：

一第三閘極結構，與該第一閘極結構相鄰並沿著該第二方向延伸，其中該第三閘極結構沿著該第二方向具有該第一寬度(W_0)，且包括：

一第五閘極電極部分及一第六閘極電極部分，分別位於該第一電路區及該第二電路區中，且該第五閘極電極部分配置以做為該第一電路區中的一第五電晶體的閘極電極，而該第六閘極電極部分配置以做為該第二電路區中的一第六電晶體的閘極電極；以及

一第三低電阻部分，位於該第五閘極電極部分及該第六閘極電極部分之間並使該第五閘極電極部分及該第六閘極電極部分互連，其中該第三低電阻部分在該第一方向上與該第一低電阻部分及該第二低電阻部分基本上對齊，

其中該第三閘極結構的該第五閘極電極部分及該第六閘極電極部分包括一第一材料，且該第三低電阻部分包括一第二材料。

圖式簡單說明

當結合隨附圖式閱讀時，根據以下詳細描述最佳地理解本揭露的態樣。應注意，根據行業中的標準實踐，未按比例繪製各種特徵。實務上，為論述清楚起見，各種特徵的尺寸可以任意增加或減小。

第 1A 圖是根據一些實施例的半導體裝置的佈局的俯視示意圖；

第 1B 圖繪示了根據一些實施例的第 1A 圖的半導體裝置的截面圖的示意圖；

第 1C 圖繪示了根據一些實施例的第 1A 圖的半導體裝置的另一截面圖的示意圖；

第 1D 圖繪示了根據一些實施例的另一半導體裝置的佈局的俯視示意圖；

第 1E 圖繪示了根據一些實施例的第 1D 圖的半導體裝置的截面圖的示意圖；

第 1F 圖繪示了根據一些實施例的再一半導體裝置的佈局的俯視示意圖；

第 1G 圖繪示了根據一些實施例的第 1F 圖的半導體裝置的截面圖的示意圖；

第 2A 圖繪示了根據一些實施例的另一半導體裝置的佈局的俯視示意圖；

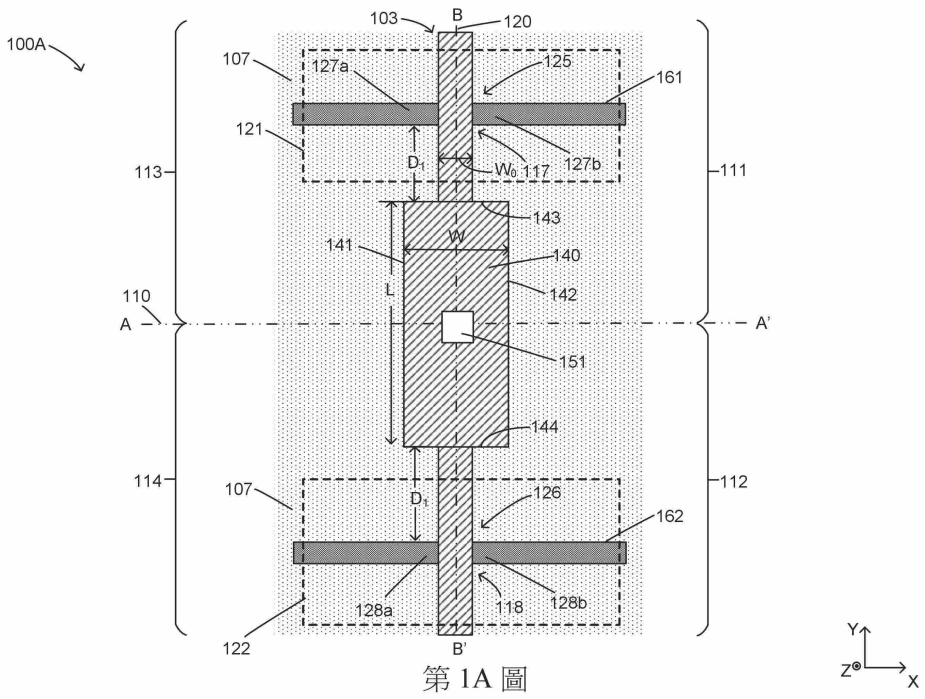
第 2B 圖繪示了根據一些實施例的又一半導體裝置的佈局的俯視示意圖；

第 2C 圖繪示了根據一些實施例的再一半導體裝置的佈局的俯視示意圖；

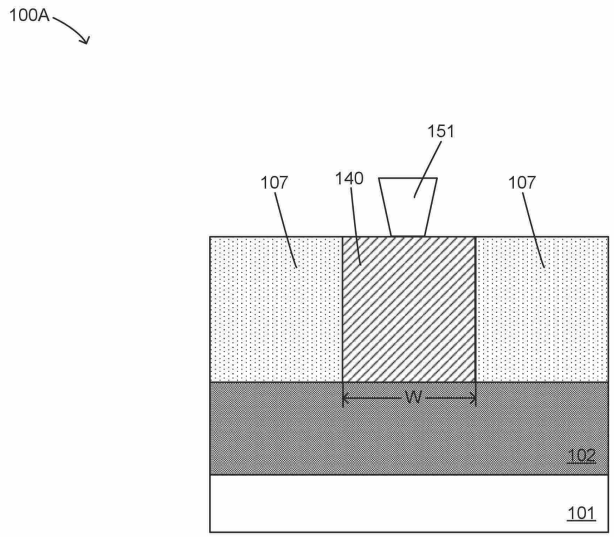
第 2D 圖繪示了根據一些實施例的更一半導體裝置的佈局的俯視示意圖；

第 3 圖繪示了根據一些實施例的另一半導體裝置的佈局的俯視示意圖；以及

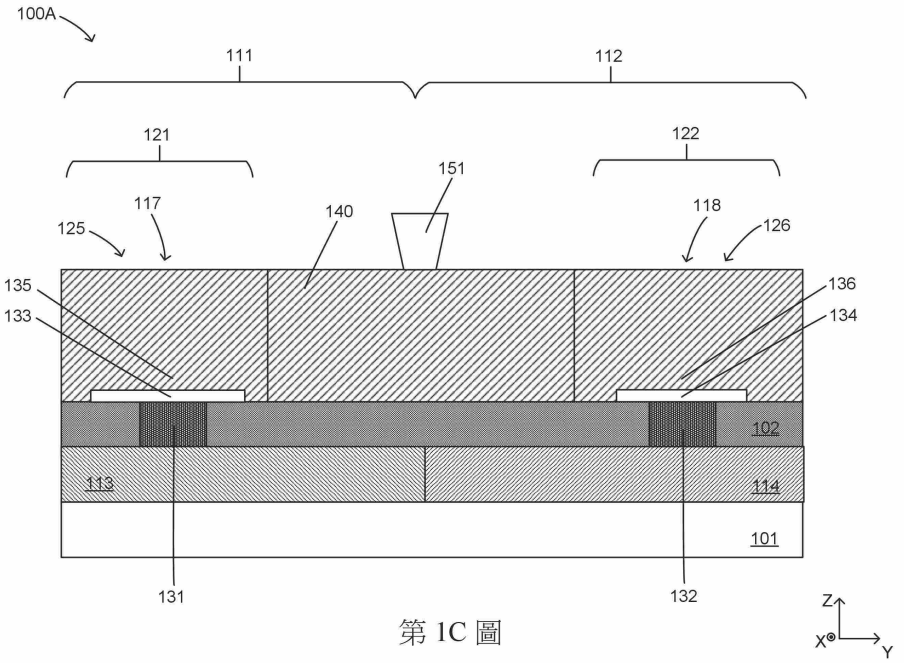
第 4 圖繪示了根據一些實施例的再一半導體裝置的佈局的俯視示意圖。



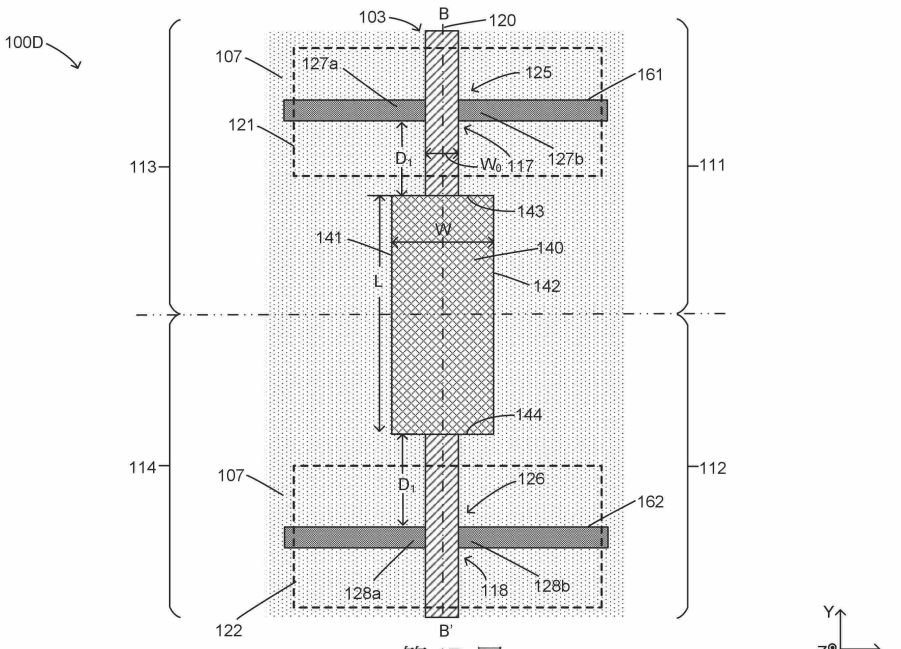
第 1A 圖


100A
151
107
140
107
W
102
101
Z
Y
X

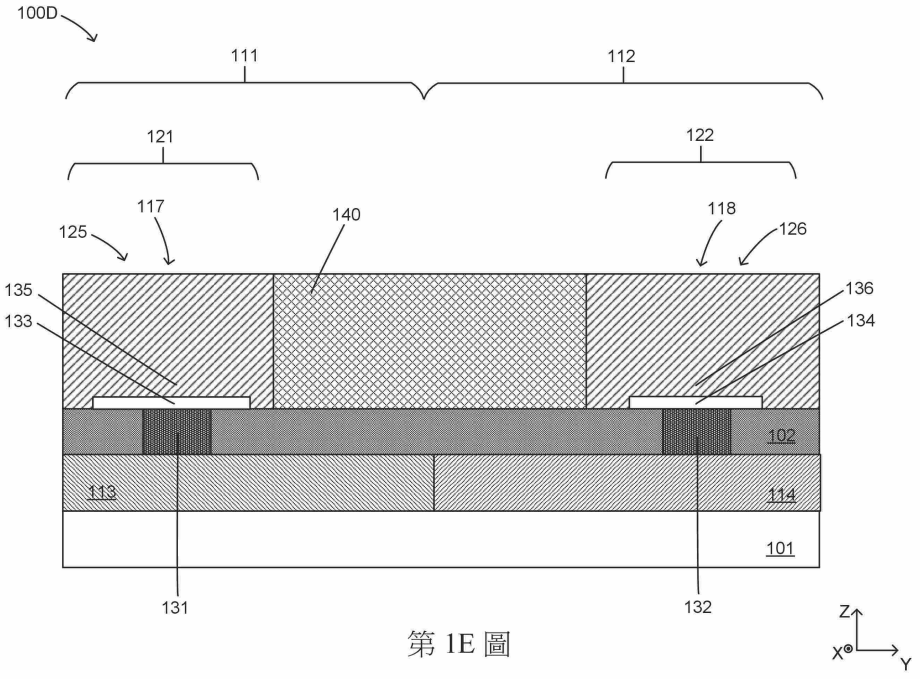
第 1B 圖


100A
111
112
121
122
151
117
140
118
125
126
135
136
133
134
102
113
114
101
131
132
Z
X
Y

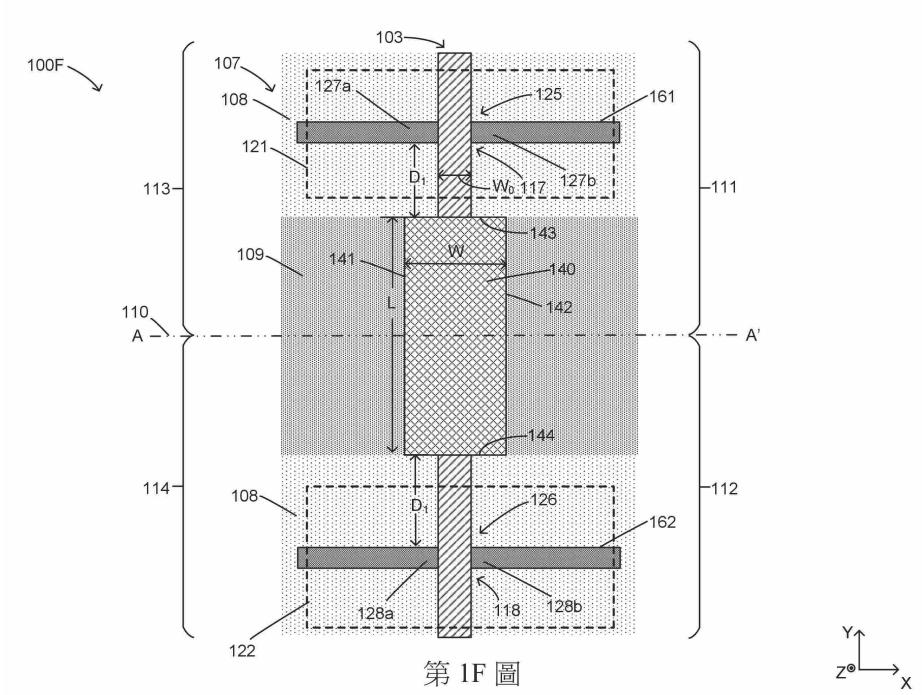
第 1C 圖


100D
103
B
120
107
127a
125
161
121
113
111
D_1
W_0
117
127b
143
W
141
140
L
142
144
114
112
107
D_1
126
162
128a
118
128b
122
B'
Y
Z
X

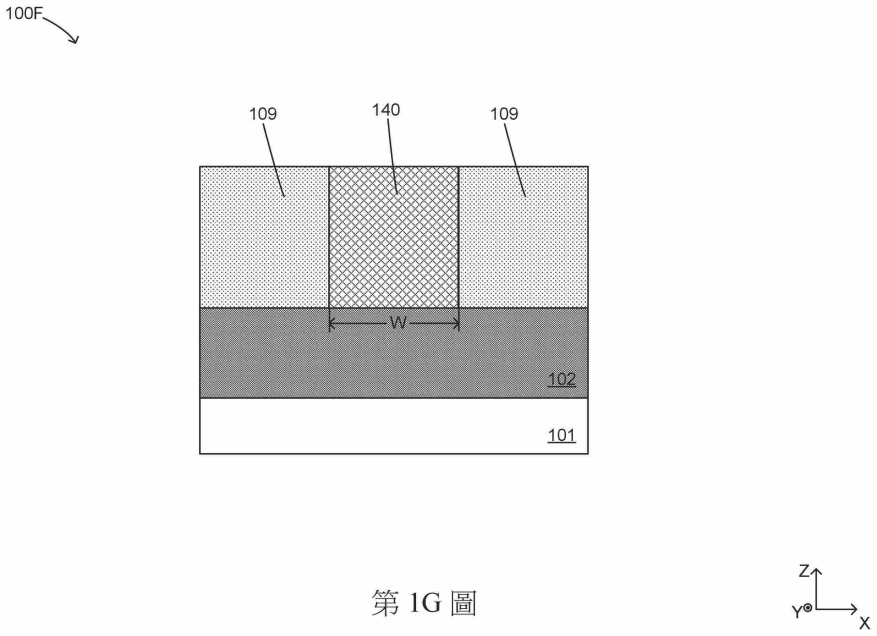
第 1D 圖


100D
111
112
121
122
117
140
118
125
126
135
136
133
134
102
113
114
101
131
132
Z
X
Y

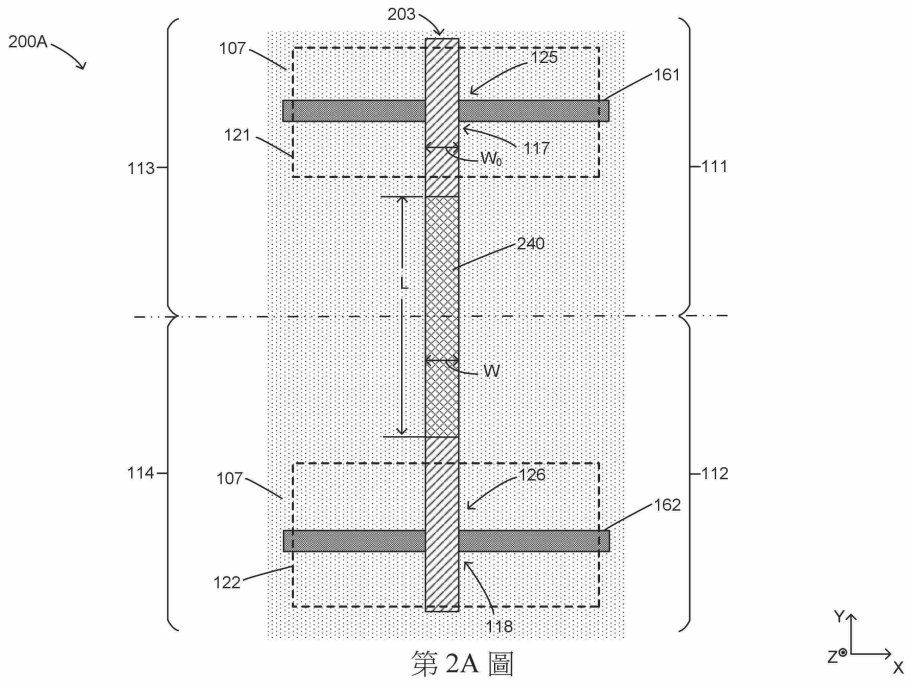
第 1E 圖


100F
103
107
108
127a
125
161
121
113
111
D_1
W_0
117
127b
143
109
141
W
140
L
142
110
A
A'
144
114
112
108
D_1
126
162
128a
118
128b
122
Y
Z
X

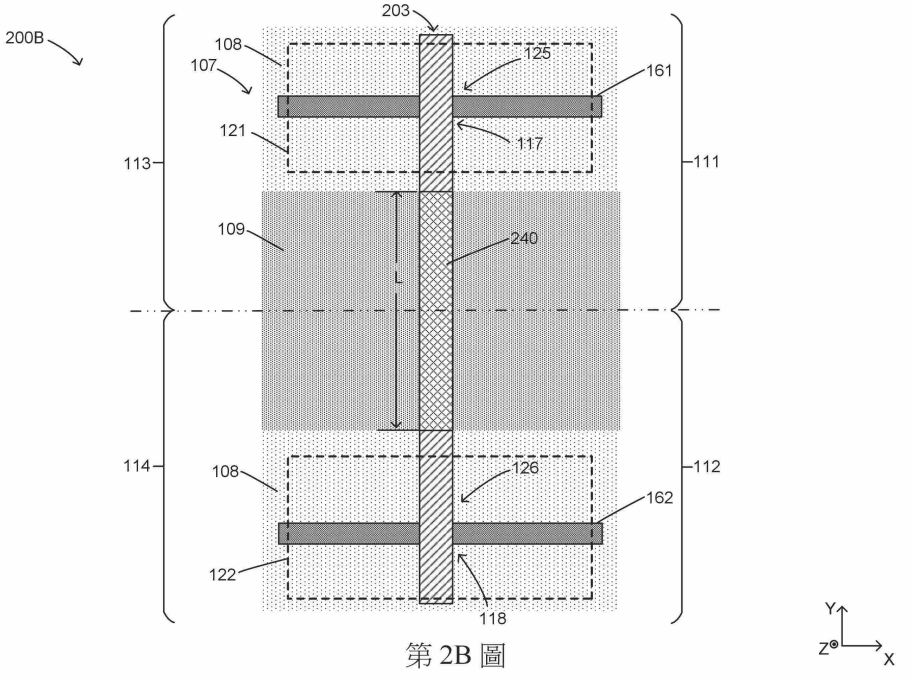
第 1F 圖


100F
109
140
109
W
102
101
Z
Y
X

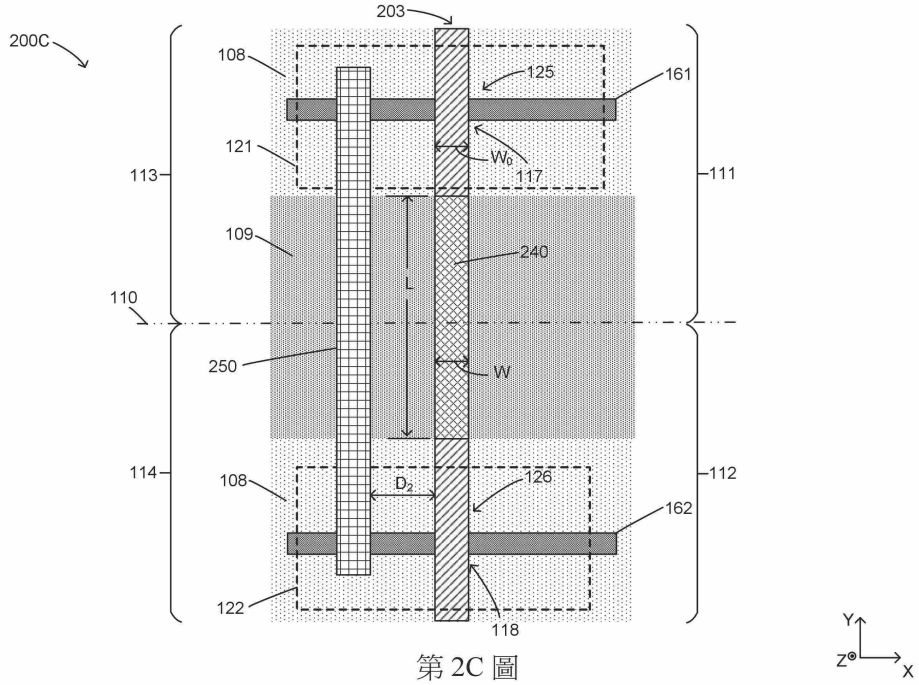
第 1G 圖


200A
203
107
125
161
121
117
W_0
113
111
240
L
W
114
107
126
112
162
122
118
Y
Z
X

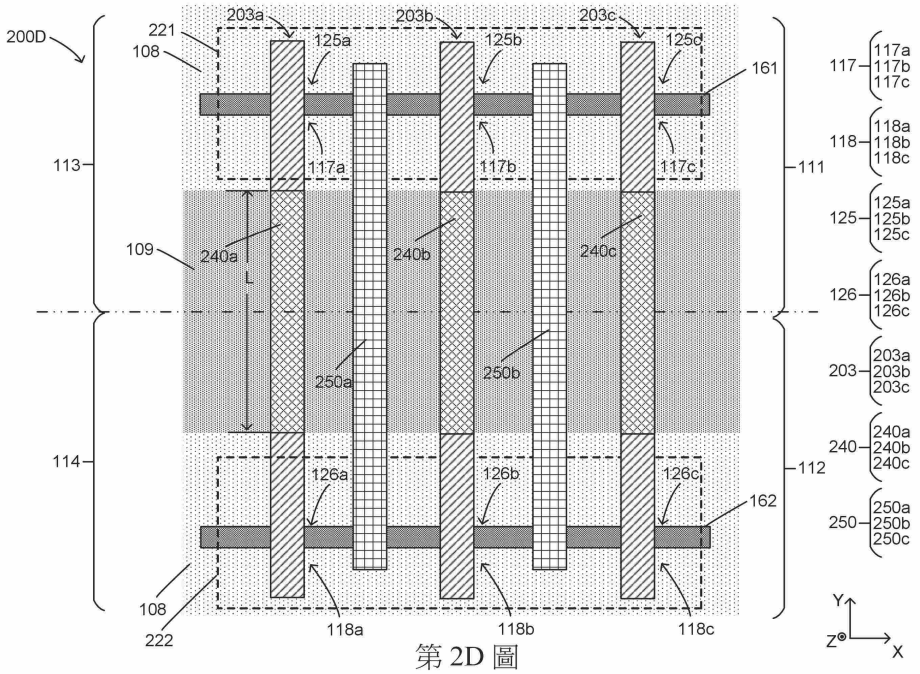
第 2A 圖


200B
203
108
107
125
161
121
117
113
111
109
240
L
114
108
126
112
162
122
118
Y
Z
X

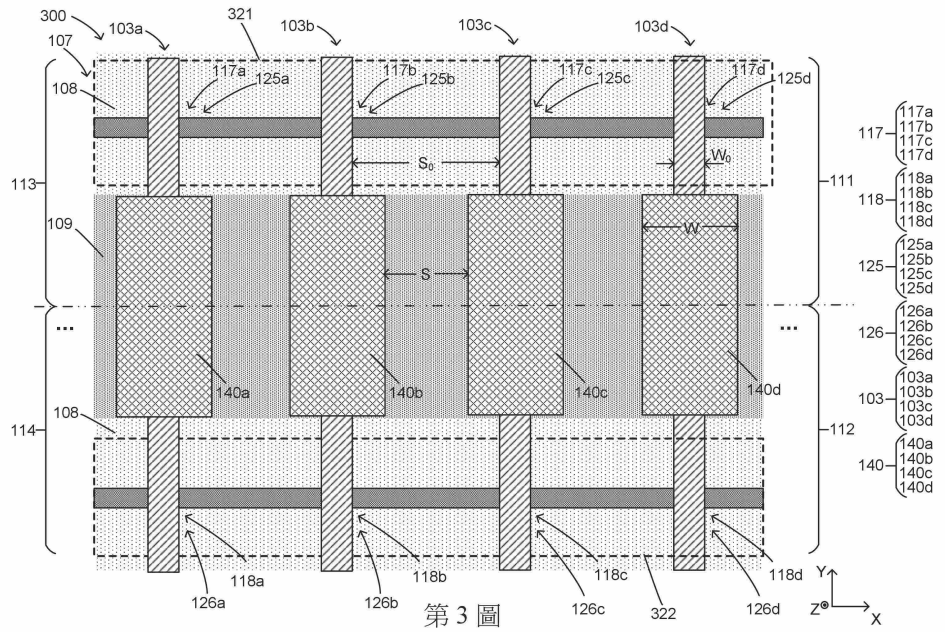
第 2B 圖


200C
203
108
125
161
121
113
111
W_0
117
109
240
L
110
250
W
114
108
D_2
126
112
162
122
118
Y
Z
X

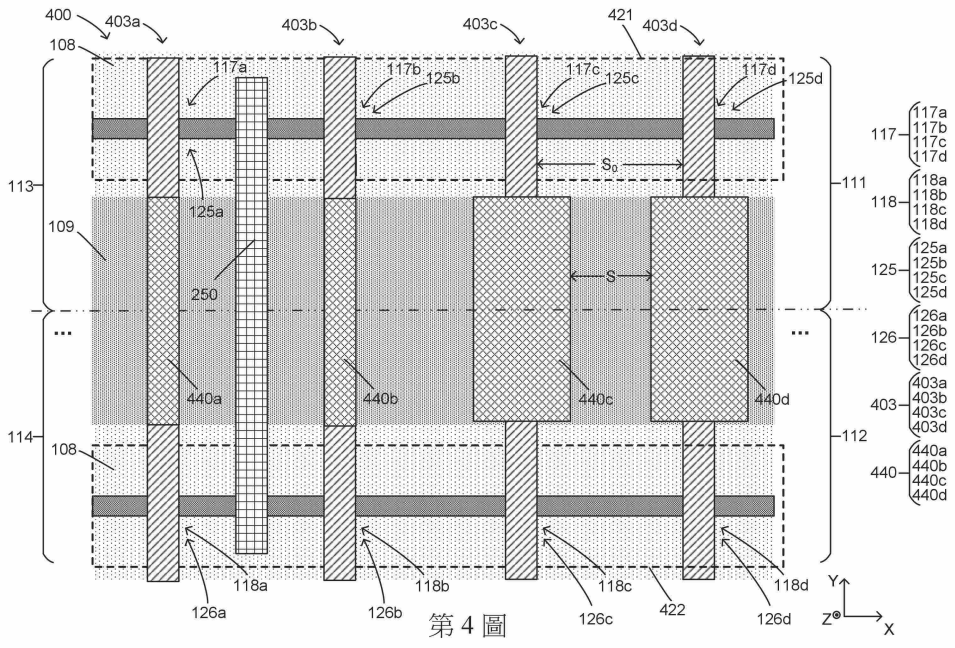
第 2C 圖


200D
203a
203b
203c
221
125a
125b
125c
108
161
117
117a
117b
117c
113
111
118
118a
118b
118c
125
125a
125b
125c
109
240a
240b
240c
L
126
126a
126b
126c
203
203a
203b
203c
250a
250b
240
240a
240b
240c
114
112
126a
126b
126c
162
250
250a
250b
250c
108
222
118a
118b
118c
Y
Z
X

第 2D 圖


300
107
103a
321
103b
103c
103d
108
117a
125a
117b
125b
117c
125c
117d
125d
S_0
W_0
W
S
109
113
111
117
118
125
126
103
112
140
114
140a
140b
140c
140d
118a
118b
118c
118d
126a
126b
126c
126d
322
Y
Z
X

第 3 圖


400
403a
403b
403c
421
403d
108
117a
125a
117b
125b
117c
125c
117d
125d
S_0
S
109
250
113
111
117
118
125
126
403
112
440
114
440a
440b
440c
440d
118a
118b
118c
118d
126a
126b
126c
126d
422
Y
Z
X

第 4 圖