【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940939
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10W74/01 (2026.01)*　*H10W72/50 (2026.01)*
H10W74/00 (2026.01)　*H10W72/20 (2026.01)*
發明　全 8 頁

【54】名　稱：半導體封裝結構及其製備方法、存儲系統
【21】申請案號：113134350　【22】申請日： 中華民國 112 (2023) 年 06 月 27 日
【11】公開編號：202503919　【43】公開日期： 中華民國 114 (2025) 年 01 月 16 日
【30】優 先 權： 2023/03/10　中國大陸　2023102469893
【72】發 明 人： 李輝 (CN) LI, HUI
【71】申 請 人： 大陸商長江存儲科技有限責任公司　YANGTZE MEMORY TECHNOLOGIES CO., LTD.
中國大陸
【74】代 理 人： 楊長峯
【56】參考文獻：
TW　201114008A　　TW　201810552A
TW　202306080A
審查人員：邱迺軒

【57】申請專利範圍

1. 一種半導體封裝結構，包括：
封裝基板，包括沿第一方向相對設置的第一側和第二側；
晶片堆疊體，位於所述封裝基板的所述第一側，並包括多個沿所述第一方向堆疊的晶片，所述晶片包括沿所述第一方向相對設置的第一表面和第二表面；
連接墊，所述連接墊位於所述晶片的所述第一表面，所述第一表面相對第二表面靠近所述封裝基板；
第一連接線，所述第一連接線的第一端連接所述連接墊；以及
第二連接線，所述第二連接線的兩端分別連接所述第一連接線的第二端和所述封裝基板；
其中所述第一連接線和所述第二連接線為獨立形成的不同連接線。
2. 如請求項 1 所述的半導體封裝結構，其中，
所述晶片堆疊體包括第一黏結層，所述第一黏接層位於所述第二表面，並位於相鄰的兩個所述晶片之間。
3. 如請求項 1 所述的半導體封裝結構，還包括：
封裝層，位於所述封裝基板的所述第一側；其中，
所述晶片堆疊體包括沿所述第一方向相對設置的第三側和第四側，所述第三側相對第四側靠近所述封裝基板；
沿所述第一方向，所述第一側與所述第三側之間包括部分所述封裝層。
4. 如請求項 3 所述的半導體封裝結構，其中，
所述封裝層包覆所述晶片堆疊體。
5. 如請求項 3 所述的半導體封裝結構，還包括：
第二黏結層，位於所述第一側和所述第三側之間，並與所述封裝基板和所述封裝層接觸。
6. 如請求項 3 所述的半導體封裝結構，其中，

所述封裝層包括第一封裝層和第二封裝層；
所述第一連接線位於所述第二封裝層內，所述第二連接線位於所述第一封裝層內。

7. 如請求項 6 所述的半導體封裝結構，其中，
所述第二封裝層包覆所述晶片堆疊體，並位於所述第一封裝層與所述封裝基板圍設的空間內。

8. 如請求項 3 所述的半導體封裝結構，還包括：
第三黏結層，位於所述第四側，並與所述晶片堆疊體和所述封裝層接觸。

9. 如請求項 1 所述的半導體封裝結構，其中，
沿所述第一方向，所述第一連接線距離所述封裝基板的最短距離小於所述第一端與所述封裝基板之間的距離。

10. 如請求項 1 所述的半導體封裝結構，其中，
沿所述第一方向，所述第二連接線與所述封裝基板的最大距離處位於所述晶片堆疊體遠離所述封裝基板的一側。

11. 如請求項 1 所述的半導體封裝結構，其中，
所述第二端位於所述第一端遠離所述封裝基板的一側。

12. 如請求項 1 所述的半導體封裝結構，還包括：
封裝連接件，位於所述封裝基板的所述第二側，並與所述封裝基板接觸。

13. 如請求項 1 所述的半導體封裝結構，還包括：
互連線，所述互連線的兩端分別連接位於相鄰設置的兩個所述晶片上的所述連接墊。

14. 一種半導體封裝結構的製備方法，包括：
提供初始半導體封裝結構，其中，所述初始半導體封裝結構包括晶片堆疊體，初始基板和第一連接線，所述晶片堆疊體位於所述初始基板的一側，且所述第一連接線的第一端連接所述晶片堆疊體；
去除所述初始基板，並暴露所述第一連接線的第二端；
提供封裝基板，將所述晶片堆疊體形成在所述封裝基板的第一側，所述第二端位於所述第一端遠離所述封裝基板的一側；以及
提供第二連接線，將所述第二連接線的兩端分別連接所述第一連接線的第二端和所述封裝基板；
其中所述第一連接線和所述第二連接線為獨立形成的不同連接線。

15. 如請求項 14 所述的半導體封裝結構的製備方法，其中，
所述提供封裝基板，將所述晶片堆疊體形成在所述封裝基板的第一側，所述第二端位於所述第一端遠離所述封裝基板的一側的步驟包括：
倒置所述晶片堆疊體，使得所述第二端位於所述第一端遠離所述封裝基板的一側；以及將晶片堆疊體形成在所述封裝基板的第一側。

16. 如請求項 15 所述的半導體封裝結構的製備方法，其中，所述晶片堆疊體包括多個晶片，以及位於相鄰晶片之間的第一黏結層；
將晶片堆疊體形成在所述封裝基板的第一側的步驟包括：
在所述封裝基板的第一側上形成第二黏結層；以及
在所述第二黏結層上形成所述晶片堆疊體。

17. 如請求項 14 所述的半導體封裝結構的製備方法，還包括：
在所述封裝基板的第一側形成第一封裝層，其中，所述第二連接線位於所述第一封裝層中。

18. 如請求項 17 所述的半導體封裝結構的製備方法，其中，所述初始半導體封裝結構還包括初始封裝層；

去除所述初始基板，並暴露所述第一連接線的第二端的步驟包括：

去除所述初始基板和部分所述初始封裝層以形成第二封裝層，所述第一連接線位於所述第二封裝層。

19. 如請求項 18 所述的半導體封裝結構的製備方法，其中，

在所述封裝基板的第一側形成第一封裝層，所述第二連接線位於所述第一封裝層中的步驟包括：

在所述第二封裝層的四周以及上表面形成所述第一封裝層，使得所述第二連接線位於所述第一封裝層。

20. 如請求項 14 所述的半導體封裝結構的製備方法，其中，

去除所述初始基板，並暴露所述第一連接線的第二端的步驟，還包括：去除部分所述第一連接線。

圖式簡單說明

為了更清楚地說明本揭示一些實施例中的技術方案，下面將對實施例描述中所需要使用的附圖作簡單地介紹，顯而易見地，下面描述中的附圖僅僅是本揭示的一些實施例，對於本領域技術人員來講，在不付出創造性勞動的前提下，還可以根據這些附圖獲得其它的附圖。

圖 1 為本揭示實施例提供的一種半導體封裝結構的製備方法的流程圖。

圖 2A 及圖 2B 為本揭示一些實施例提供的兩種初始半導體封裝結構的剖視圖。

圖 3 為去除圖 2A 所示的初始半導體封裝結構的初始基板後的剖視圖。

圖 4 為去除圖 3 所示的初始半導體封裝結構的晶片結構或去除圖 2B 所示的初始基板，得到晶粒封裝裝置後的剖視圖。

圖 5 為將圖 4 所示的晶粒封裝裝置翻轉 180°後的剖視圖。

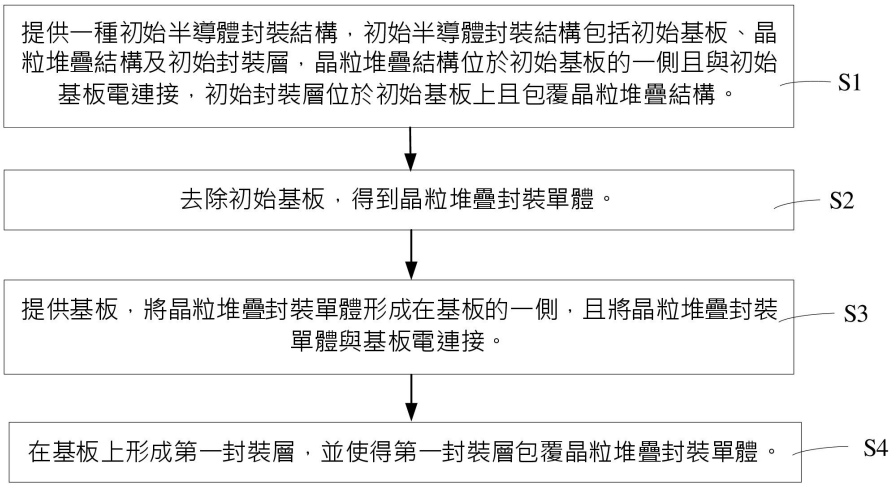
圖 6A 為將圖 5 所示的翻轉後的晶粒封裝裝置形成在封裝基板一側後的剖視圖。

圖 6B 為將圖 4 所示的晶粒封裝裝置形成在封裝基板一側後的剖視圖。

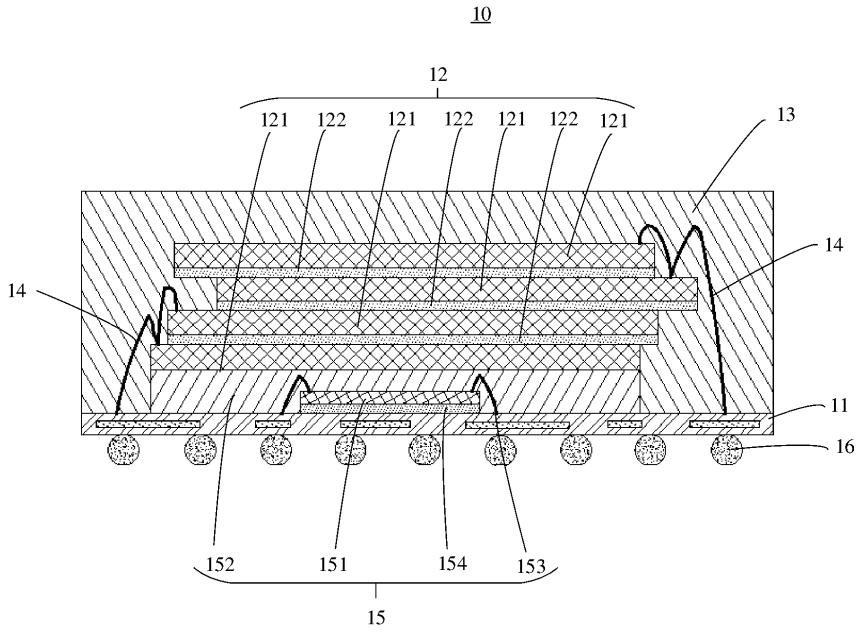
圖 7A 為在圖 6A 所示的基板上形成包覆晶粒封裝裝置的第一封裝層，得到的半導體封裝結構的剖視圖。

圖 7B 為在圖 6B 所示的基板上形成包覆晶粒封裝裝置的第一封裝層，得到的半導體封裝結構的剖視圖。

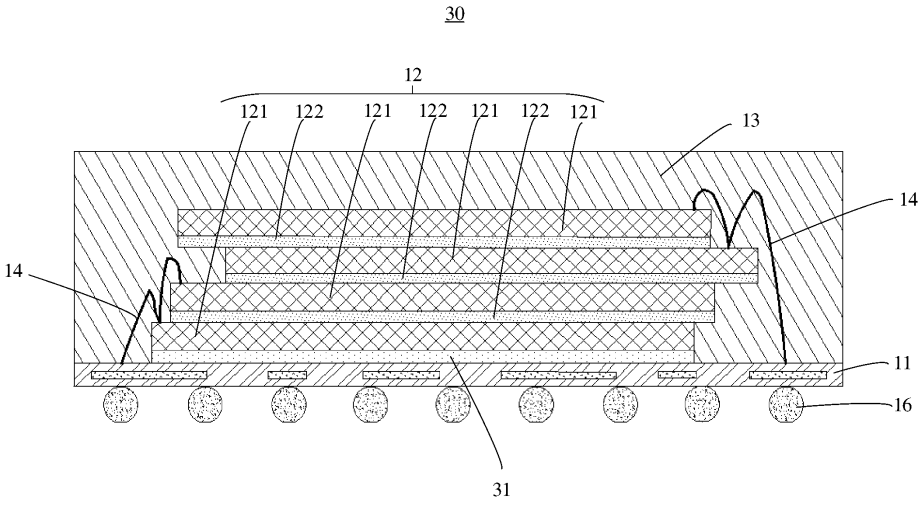
圖 8 是本揭示提供的一種存儲系統的模組示意圖。



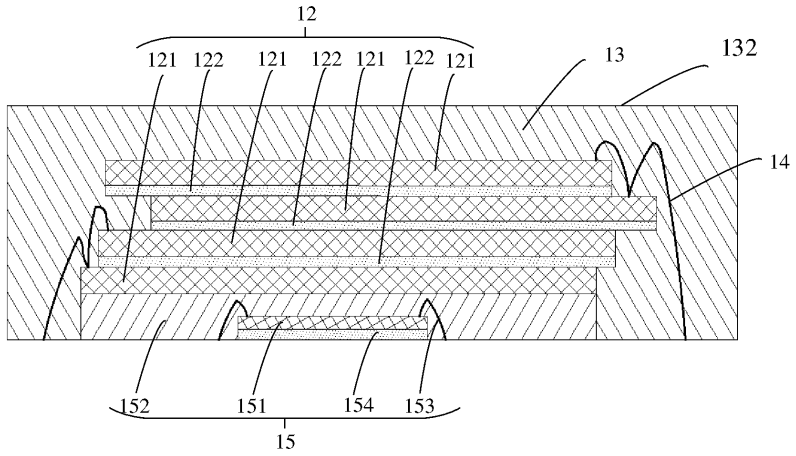
【圖1】


10
12
121
122
121
122
121
122
121
13
14
14
11
16
152
151
154
153
15

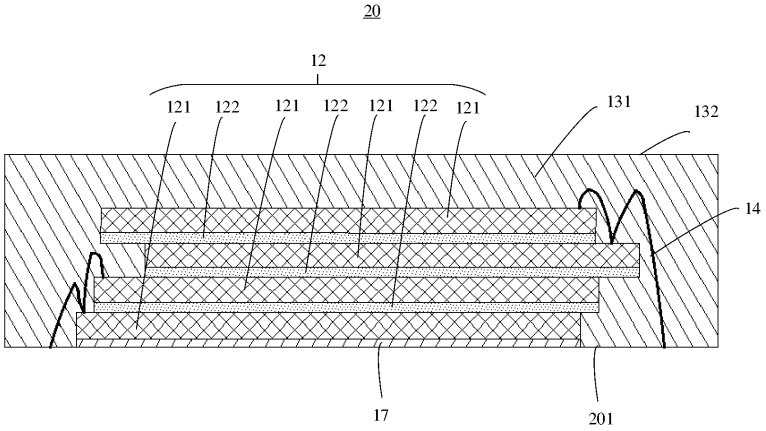
【圖2A】


30
12
121
122
121
122
121
122
121
13
14
14
11
16
31

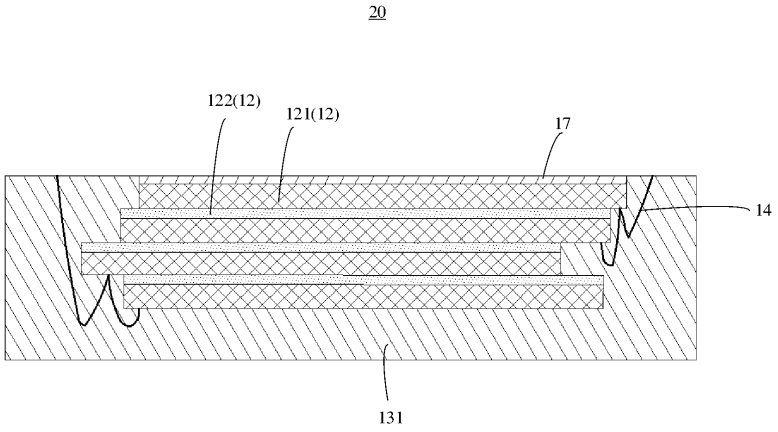
【圖2B】


12
121
122
121
122
121
122
121
13
132
14
152
151
154
153
15

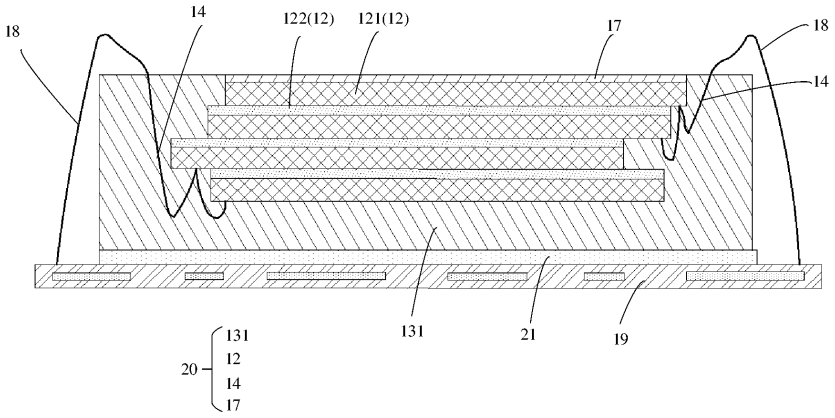
【圖3】


20
12
121
122
121
122
121
122
121
131
132
14
17
201

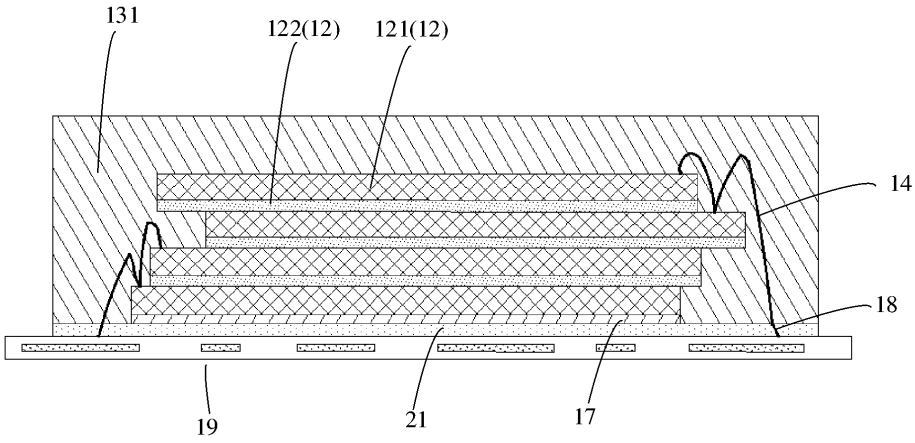
【圖4】


20
122(12)
121(12)
17
14
131

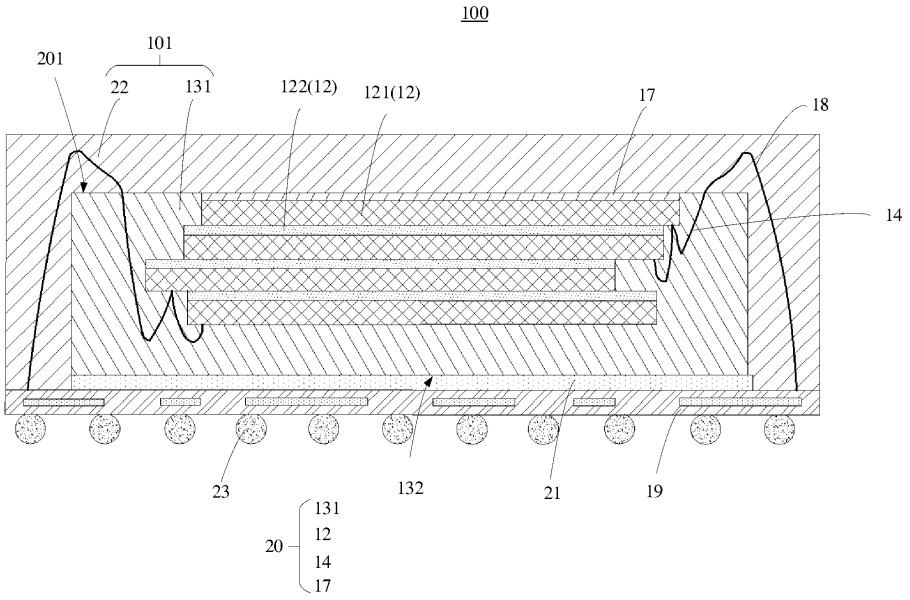
【圖5】


18
14
122(12)
121(12)
17
18
14
131
21
19
20
131
12
14
17

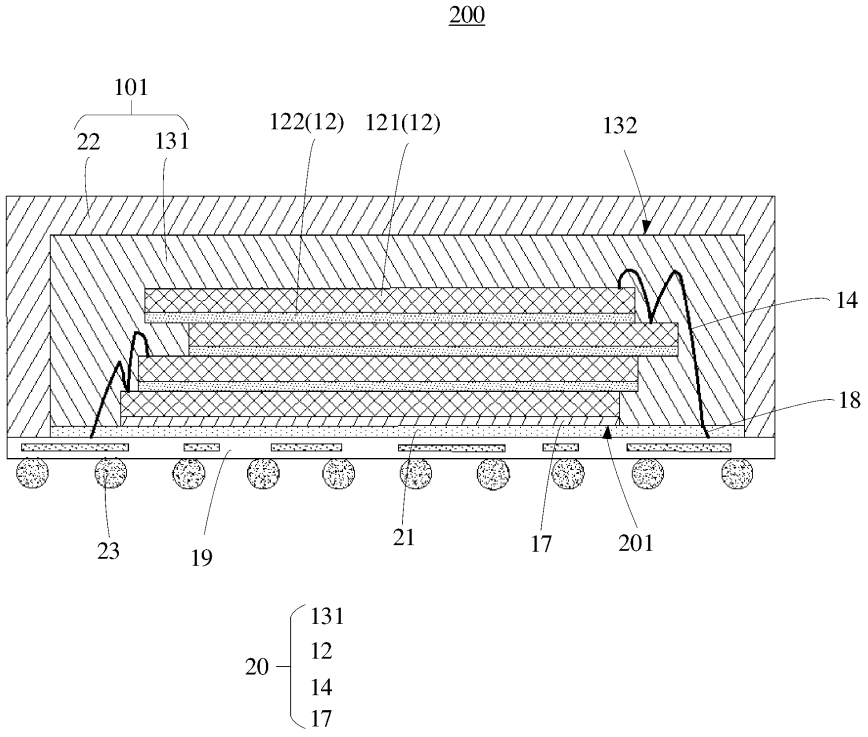
【圖6A】


131
122(12)
121(12)
14
18
19
21
17

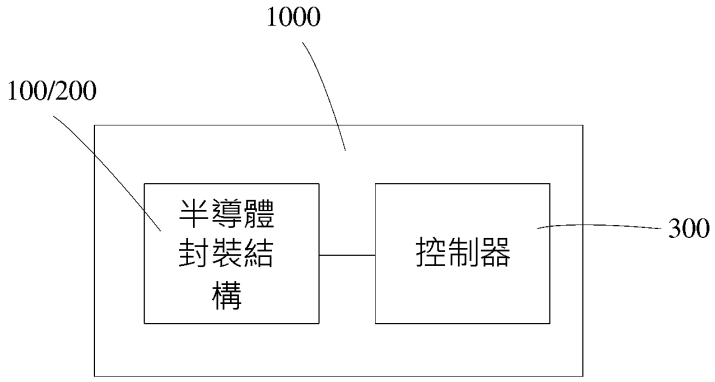
【圖6B】


100
101
201
22
131
122(12)
121(12)
17
18
14
23
132
21
19
20
131
12
14
17

【圖7A】


200
101
22
131
122(12)
121(12)
132
14
18
23
19
21
17
201
20
131
12
14
17

【圖7B】



【圖8】