【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940944
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10D84/80 (2025.01)*　*H10D30/60 (2025.01)*
H10D84/03 (2025.01)　*H10P50/00 (2026.01)*
H10D30/01 (2025.01)

發明　　全 23 頁

【54】名　稱：半導體裝置及其製造方法
【21】申請案號：113135185　【22】申請日： 中華民國 113 (2024) 年 09 月 18 日
【11】公開編號：202515377　【43】公開日期： 中華民國 114 (2025) 年 04 月 01 日
【30】優 先 權： 2023/09/29　日本　2023-170388
【72】發 明 人： 花田明紘 (JP) HANADA, AKIHIRO；渡壁創 (JP) WATAKABE, HAJIME
【71】申 請 人： 日商日本顯示器股份有限公司　JAPAN DISPLAY INC.
日本
日商出光興產股份有限公司　IDEMITSU KOSAN CO., LTD.
日本國東京都千代田區大手町一丁目 2-1
【74】代 理 人： 陳長文
【56】參考文獻：
TW　200534388A　　TW　200947089A
US　2021/0296367A1
審查人員：何立瑋

【57】申請專利範圍

1. 一種半導體裝置，其包含：
第 1 閘極電極；
氧化物半導體層，其位於上述第 1 閘極電極之上且包含具有多晶結構之第 1 氧化物半導體；
源極電極及汲極電極，其等與上述氧化物半導體層電性連接；及
第 2 閘極電極，其位於上述源極電極及上述汲極電極之上且與上述第 1 閘極電極及上述氧化物半導體層重疊；
上述第 2 閘極電極包含具有多晶結構之第 2 氧化物半導體，
上述第 2 閘極電極與上述第 1 閘極電極電性連接，
於俯視下，上述第 2 閘極電極與上述源極電極及上述汲極電極中之至少一者重疊。
2. 如請求項 1 之半導體裝置，其中上述第 2 閘極電極之薄片電阻為 1000 Ω/sq.以下。
3. 如請求項 1 之半導體裝置，其中於俯視下，上述第 2 閘極電極與上述源極電極及上述汲極電極各者隔開間隙而配置。
4. 如請求項 3 之半導體裝置，其中於上述俯視下，上述第 2 閘極電極以包圍上述源極電極及上述汲極電極中之一者之端部之方式延伸。
5. 如請求項 1 之半導體裝置，其進而於上述第 2 閘極電極之下包含與上述第 2 閘極電極相接之金屬氧化物層。
6. 如請求項 5 之半導體裝置，其進而於上述第 2 閘極電極之上包含與上述第 2 閘極電極相接之連接電極，且
上述第 2 閘極電極經由上述連接電極與上述第 1 閘極電極電性連接。

7. 如請求項 1 之半導體裝置，其中上述氧化物半導體層包含：
第 1 區域，其與上述源極電極及上述汲極電極中之一者相接；及
第 2 區域，其於上述源極電極與上述汲極電極之間與上述第 2 閘極電極重疊；
上述第 1 區域之膜厚與上述第 2 區域之膜厚之差為 3 nm 以下。
8. 如請求項 1 之半導體裝置，其中於 40℃下使用包含磷酸作為主成分之蝕刻液對上述氧化物半導體層進行蝕刻時之蝕刻速率未達 3 nm/min。
9. 如請求項 8 之半導體裝置，其中上述蝕刻液包含硝酸及乙酸。
10. 如請求項 8 之半導體裝置，其中上述氧化物半導體層係藉由對具有非晶結構之氧化物半導體膜進行熱處理而形成，
於上述 40℃下使用上述蝕刻液對上述氧化物半導體膜進行蝕刻時之蝕刻速率為 100 nm/min 以上。
11. 如請求項 1 之半導體裝置，其中於室溫下使用 0.5%氫氟酸溶液對上述氧化物半導體層進行蝕刻時之蝕刻速率未達 5 nm/min。
12. 一種半導體裝置之製造方法，其包含下述步驟：
形成第 1 閘極電極，
於上述第 1 閘極電極之上形成包含具有多晶結構之第 1 氧化物半導體之氧化物半導體層，
形成與上述氧化物半導體層相接之源極電極及汲極電極，
於上述源極電極及上述汲極電極之上成膜第 1 氧化物半導體膜，
對上述第 1 氧化物半導體膜進行熱處理，形成包含具有多晶結構之第 2 氧化物半導體之第 2 閘極電極，
成膜覆蓋上述第 2 閘極電極之氮化物層，且
上述氧化物半導體層包含：
第 1 區域，其與上述源極電極及上述汲極電極中之一者相接；及
第 2 區域，其於上述源極電極與上述汲極電極之間與上述第 2 閘極電極重疊；
上述第 1 區域之膜厚與上述第 2 區域之膜厚之差為 3 nm 以下。
13. 如請求項 12 之半導體裝置之製造方法，其中於 40℃下使用包含磷酸作為主成分之蝕刻液對上述氧化物半導體層進行蝕刻時之蝕刻速率未達 3 nm/min。
14. 如請求項 13 之半導體裝置之製造方法，其中上述蝕刻液包含硝酸及乙酸。
15. 如請求項 13 之半導體裝置之製造方法，其中上述氧化物半導體層係藉由對具有非晶結構之氧化物半導體膜進行熱處理而形成，
於上述 40℃下使用上述蝕刻液對上述氧化物半導體膜進行蝕刻時之蝕刻速率為 100 nm/min 以上。
16. 如請求項 12 之半導體裝置之製造方法，其中於室溫下使用 0.5%氫氟酸溶液對上述氧化物半導體層進行蝕刻時之蝕刻速率未達 5 nm/min。

圖式簡單說明

圖 1 係表示顯示裝置之構成之模式性分解立體圖。

圖 2 係表示顯示裝置之電路構成之模式性俯視圖。

圖 3 係表示本發明之一實施方式之半導體裝置之構成之模式性俯視圖。

圖 4 係表示本發明之一實施方式之半導體裝置之構成之模式性剖視圖。

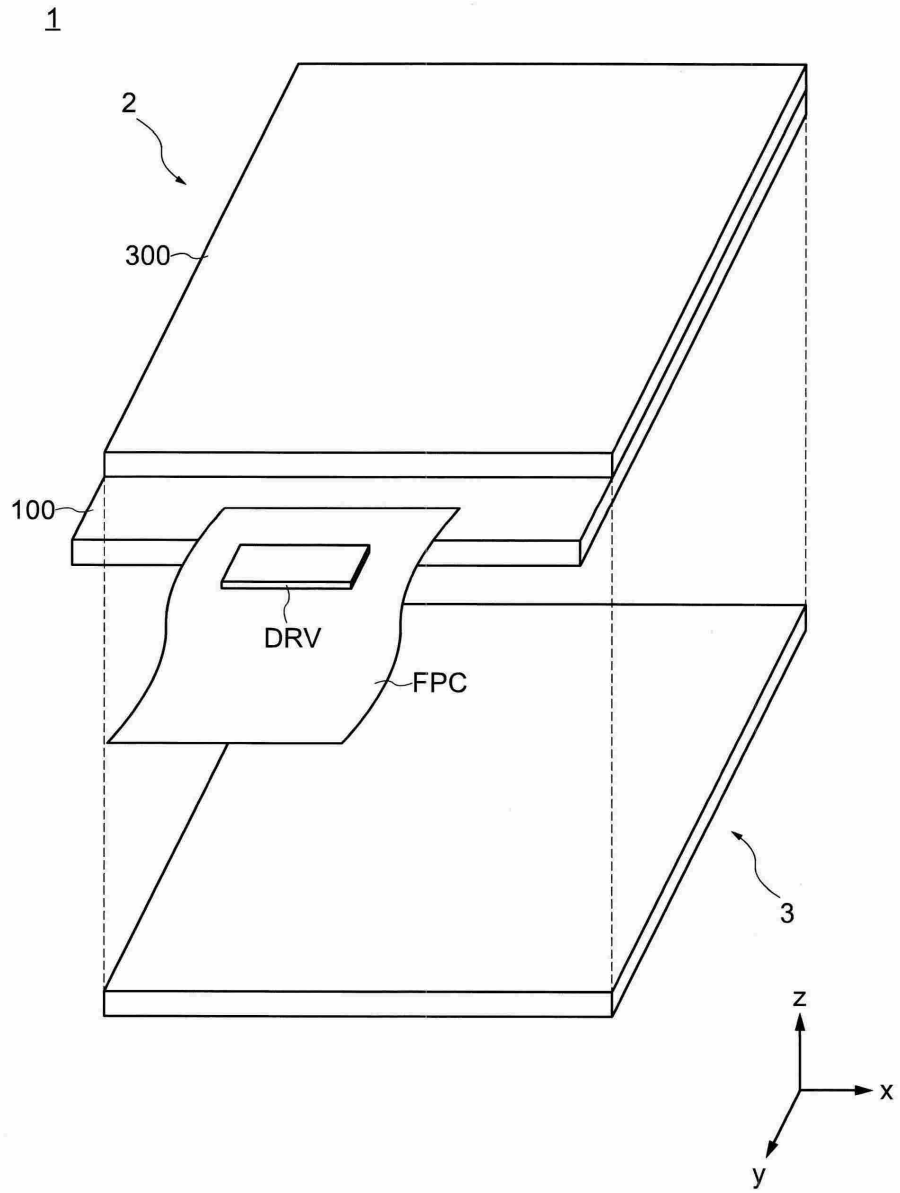
圖 5 係說明本發明之一實施方式之半導體裝置之製造方法之流程圖。

圖 6 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。

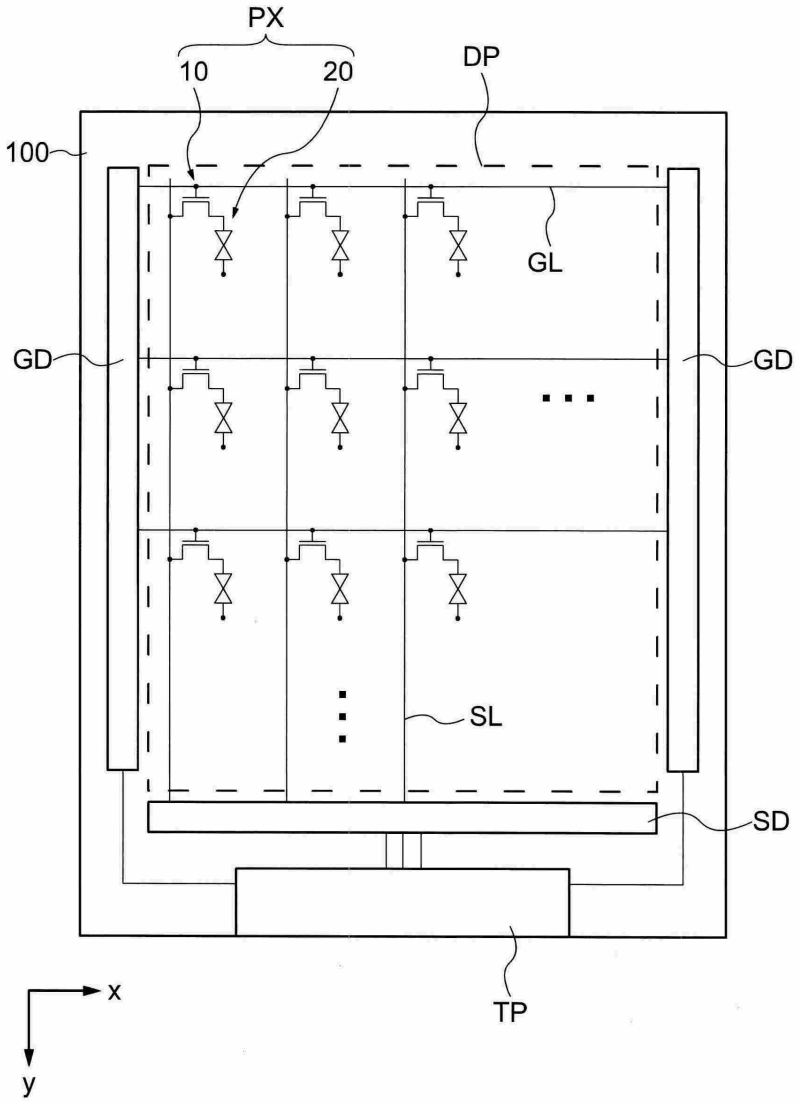
圖 7 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。

圖 8 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。

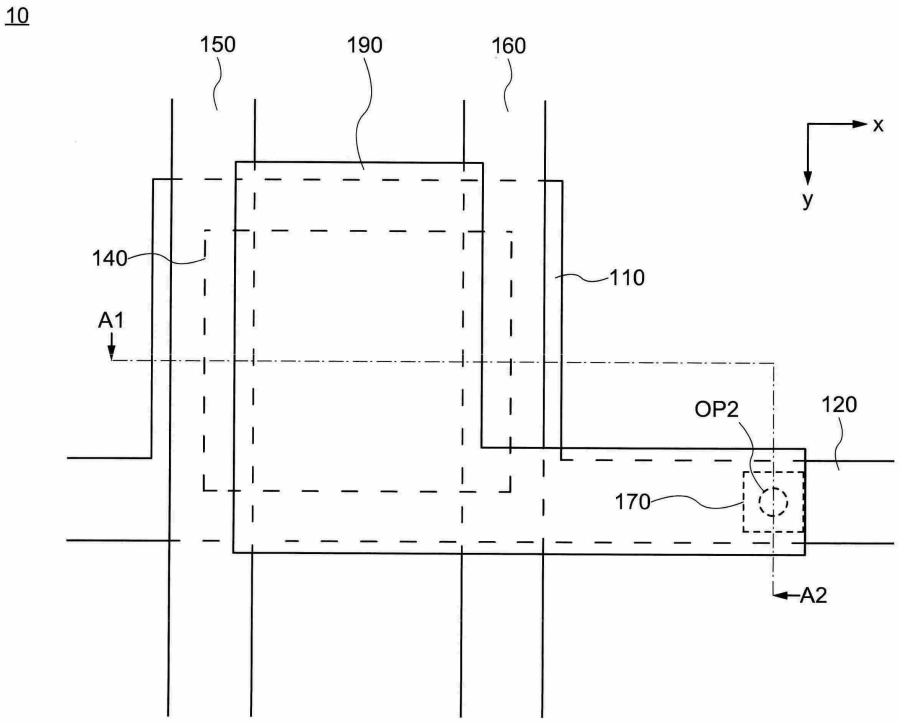
圖 9 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 10 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 11 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 12 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 13 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 14 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 15 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 16 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 17 係說明本發明之一實施方式之半導體裝置之製造方法之流程圖。
圖 18 係說明發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 19 係說明發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 20 係說明本發明之一實施方式之半導體裝置之製造方法之流程圖。
圖 21 係說明發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 22 係表示本發明之一實施方式之半導體裝置之構成之模式性俯視圖。
圖 23 係表示本發明之一實施方式之半導體裝置之構成之模式性剖視圖。
圖 24 係表示本發明之一實施方式之半導體裝置之構成之模式性俯視圖。
圖 25 係表示本發明之一實施方式之半導體裝置之構成之模式性剖視圖。
圖 26 係說明本發明之一實施方式之半導體裝置之製造方法之流程圖。
圖 27 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 28 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 29 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 30 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 31 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 32 係表示本發明之一實施方式之半導體裝置之構成之模式性俯視圖。
圖 33 係表示本發明之一實施方式之半導體裝置之構成之模式性剖視圖。
圖 34 係說明本發明之一實施方式之半導體裝置之製造方法之流程圖。
圖 35 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 36 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 37 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 38 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。
圖 39 係說明本發明之一實施方式之半導體裝置之製造方法之模式性剖視圖。



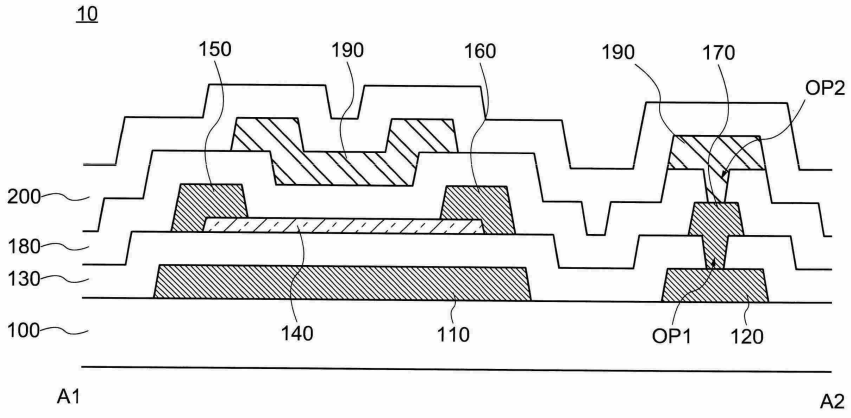
【圖1】



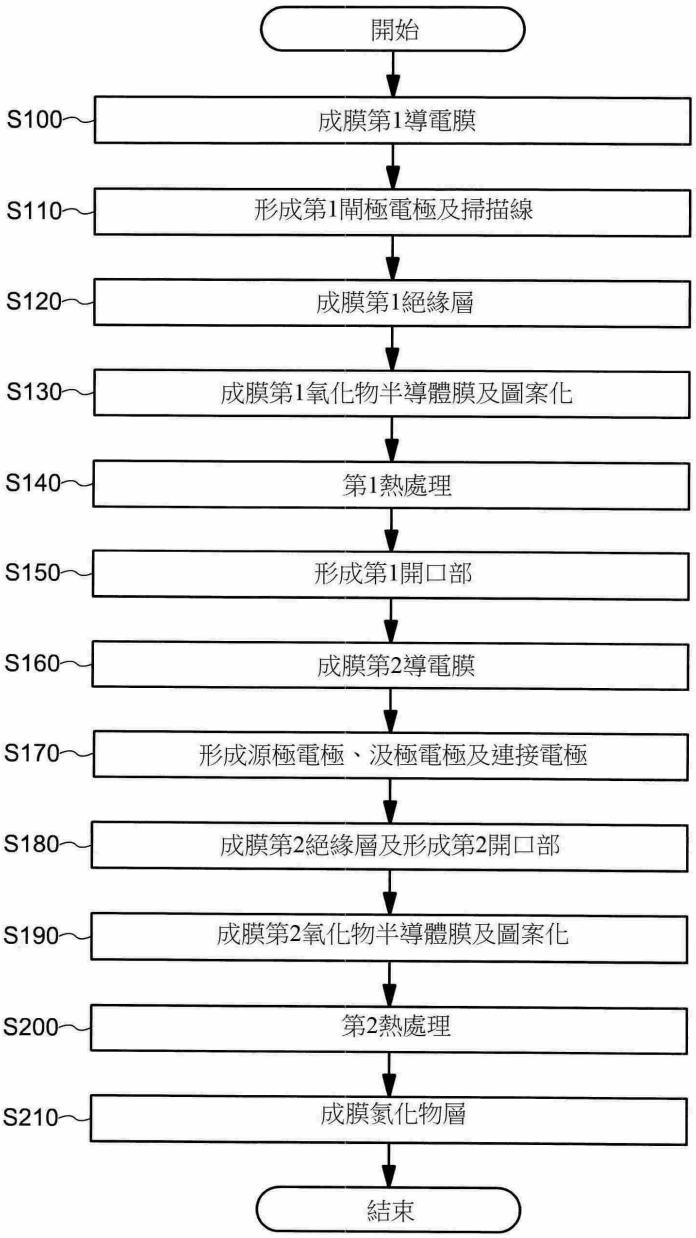
【圖2】


10
150
190
160
x
y
140
110
A1
OP2
120
170
A2

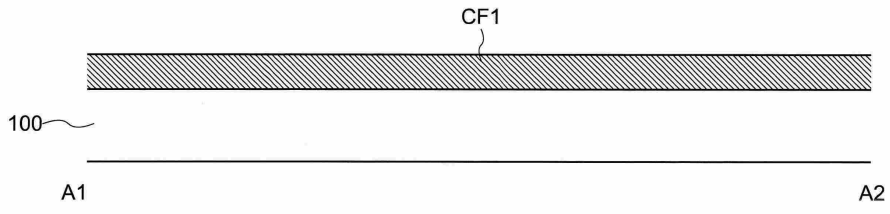
【圖3】


10
150
190
160
190
170
OP2
200
180
130
100
140
110
OP1
120
A1
A2

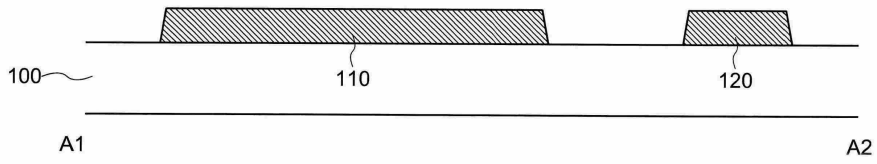
【圖4】


開始
S100
成膜第1導電膜
S110
形成第1閘極電極及掃描線
S120
成膜第1絕緣層
S130
成膜第1氧化物半導體膜及圖案化
S140
第1熱處理
S150
形成第1開口部
S160
成膜第2導電膜
S170
形成源極電極、汲極電極及連接電極
S180
成膜第2絕緣層及形成第2開口部
S190
成膜第2氧化物半導體膜及圖案化
S200
第2熱處理
S210
成膜氮化物層
結束

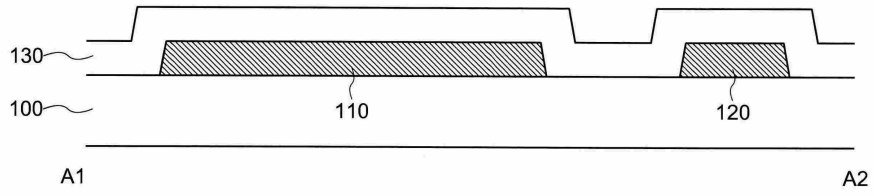
【圖5】


CF1
100
A1
A2

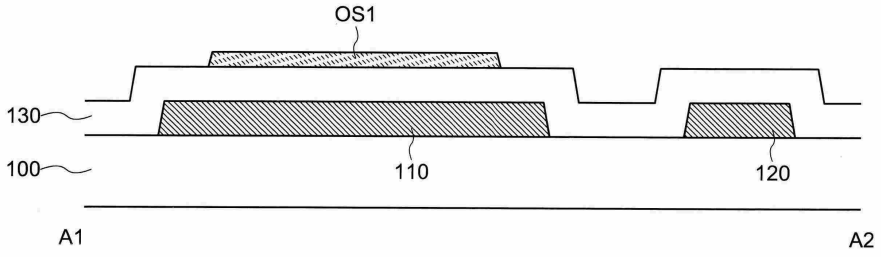
【圖6】


100
110
120
A1
A2

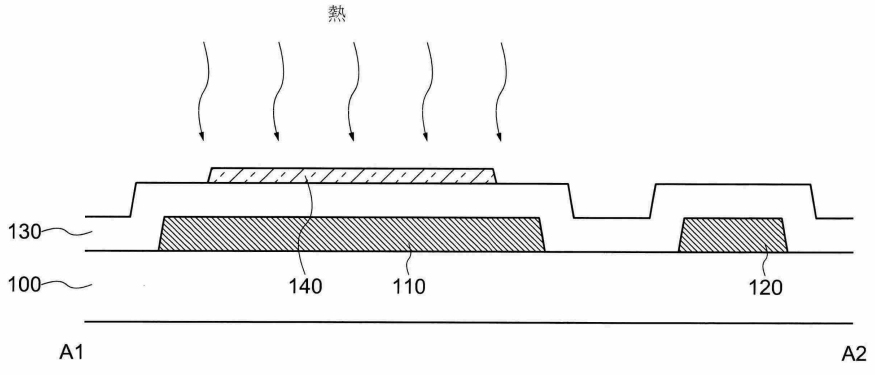
【圖7】


130
100
110
120
A1
A2

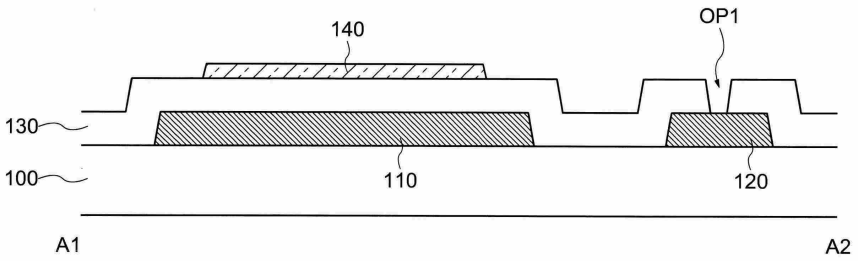
【圖8】


OS1
130
100
110
120
A1
A2

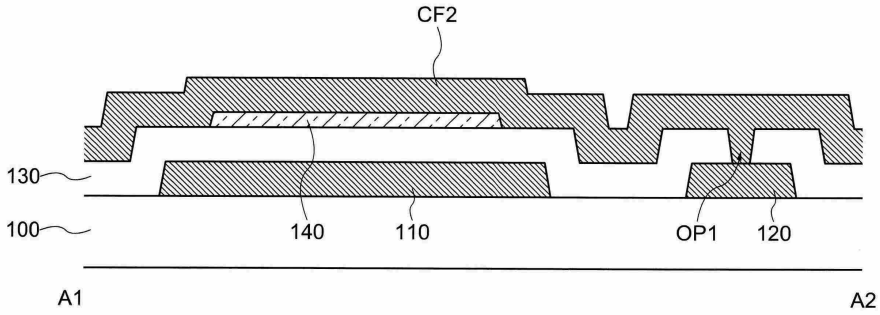
【圖9】


熱
130
100
140
110
120
A1
A2

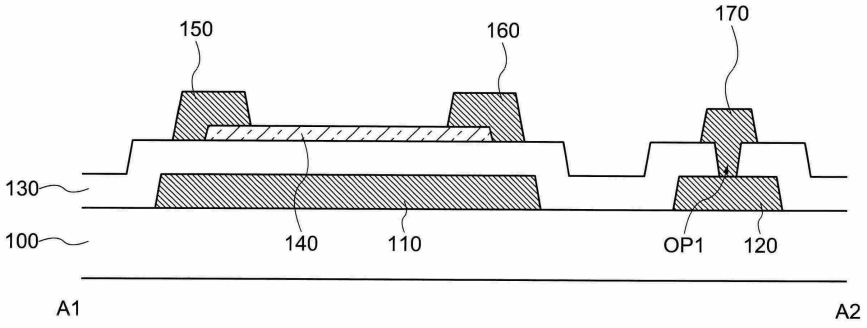
【圖10】


140
OP1
130
100
110
120
A1
A2

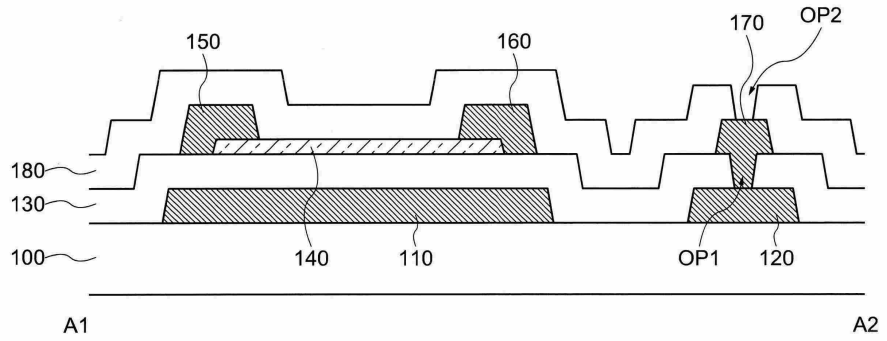
【圖11】


CF2
130
100
140
110
OP1
120
A1
A2

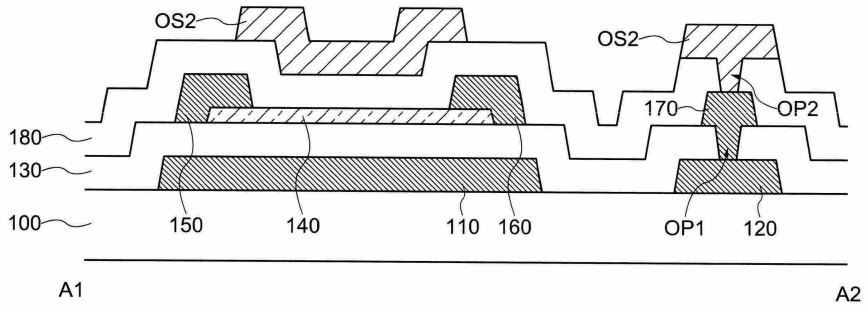
【圖12】


150
160
170
130
100
140
110
OP1
120
A1
A2

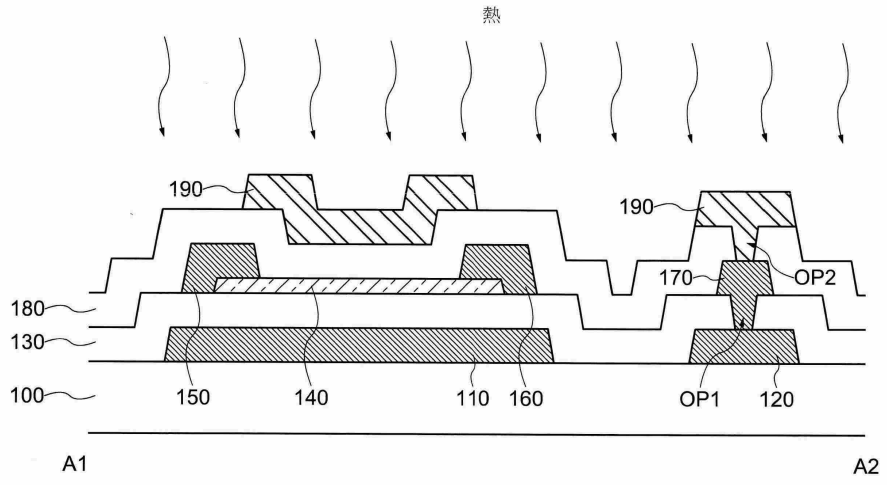
【圖13】


150
160
170
OP2
180
130
100
140
110
OP1
120
A1
A2

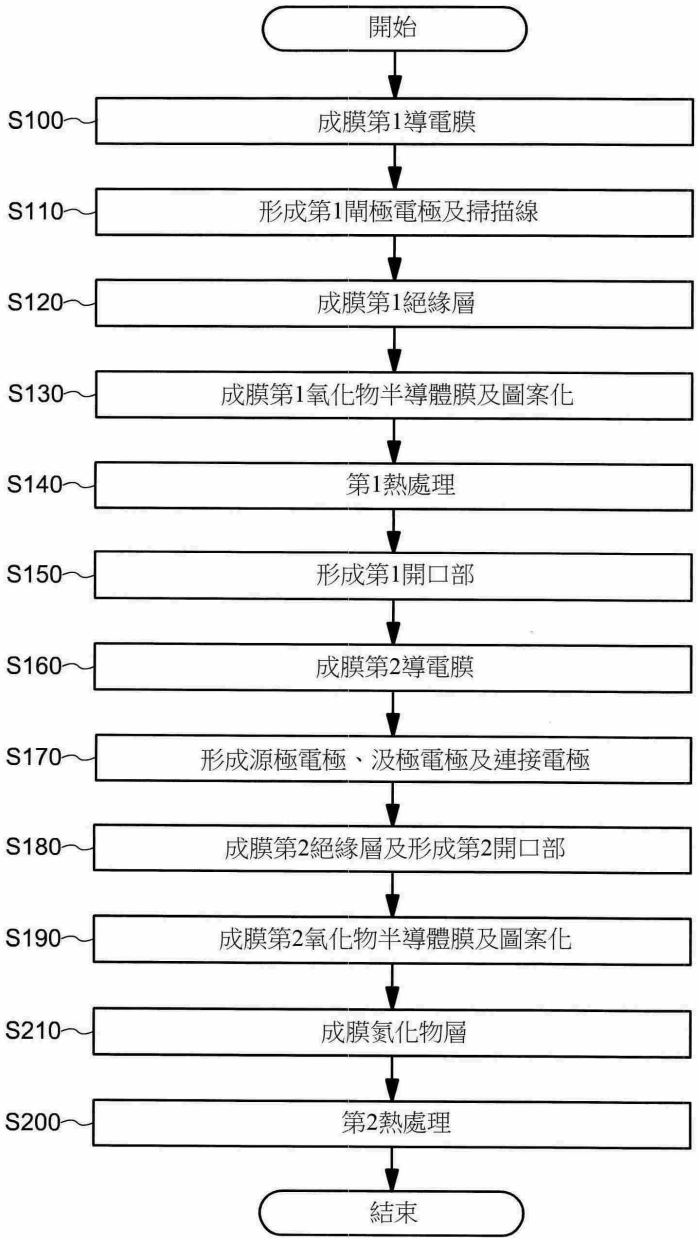
【圖14】


OS2
OS2
170
OP2
180
130
100
150
140
110
160
OP1
120
A1
A2

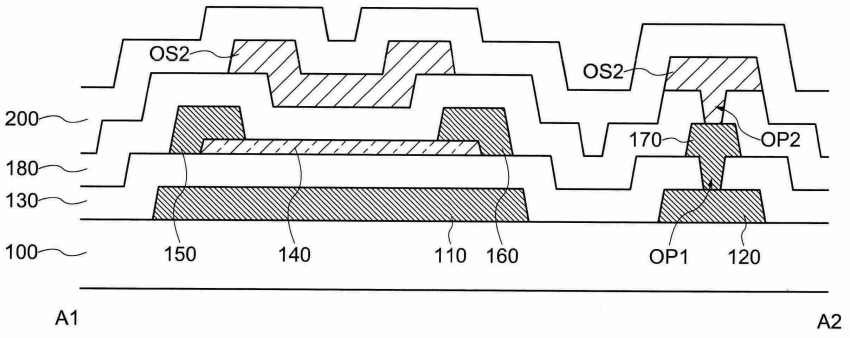
【圖15】


熱
190
190
170
OP2
180
130
100
150
140
110
160
OP1
120
A1
A2

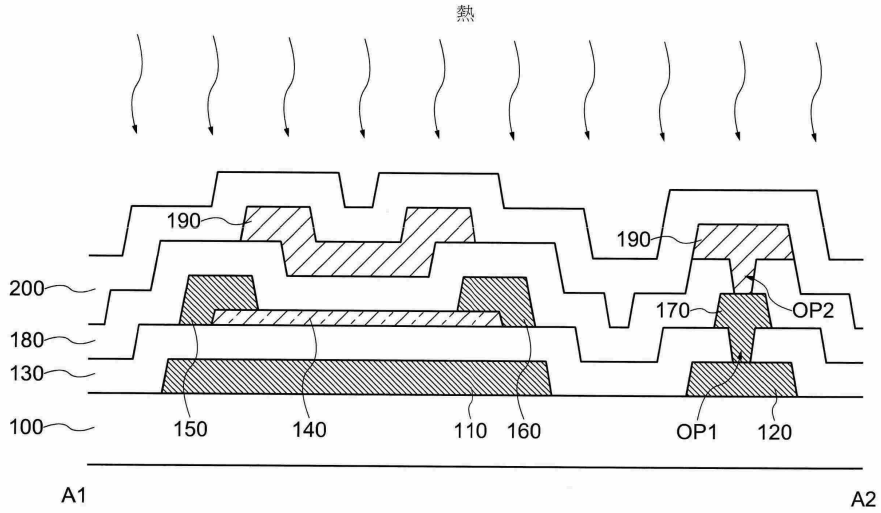
【圖16】


開始
S100
成膜第1導電膜
S110
形成第1閘極電極及掃描線
S120
成膜第1絕緣層
S130
成膜第1氧化物半導體膜及圖案化
S140
第1熱處理
S150
形成第1開口部
S160
成膜第2導電膜
S170
形成源極電極、汲極電極及連接電極
S180
成膜第2絕緣層及形成第2開口部
S190
成膜第2氧化物半導體膜及圖案化
S210
成膜氮化物層
S200
第2熱處理
結束

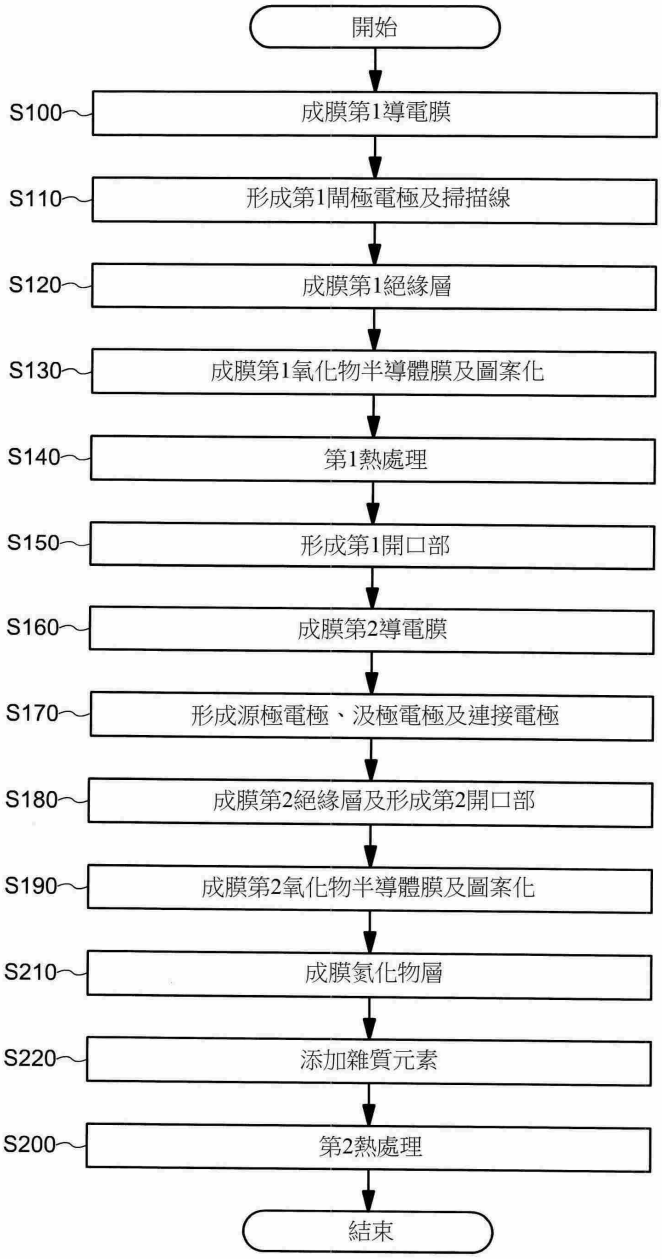
【圖17】


OS2
OS2
200
180
130
100
170
OP2
150
140
110
160
OP1
120
A1
A2

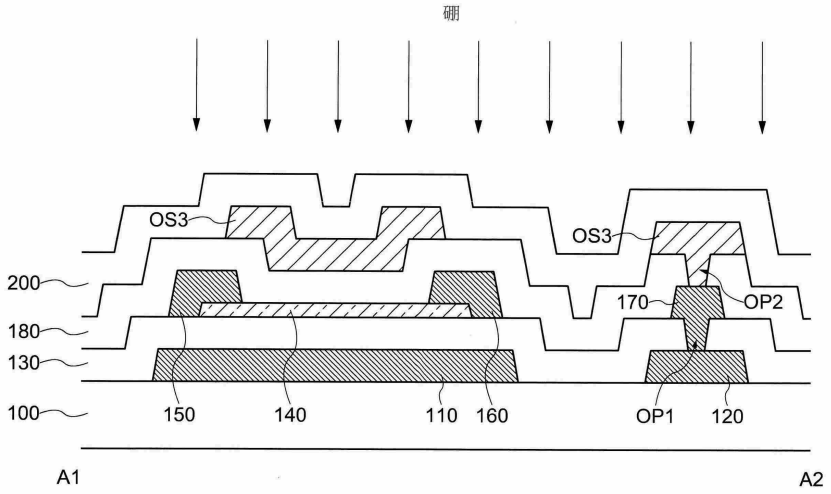
【圖18】


熱
190
190
200
180
130
100
170
OP2
150
140
110
160
OP1
120
A1
A2

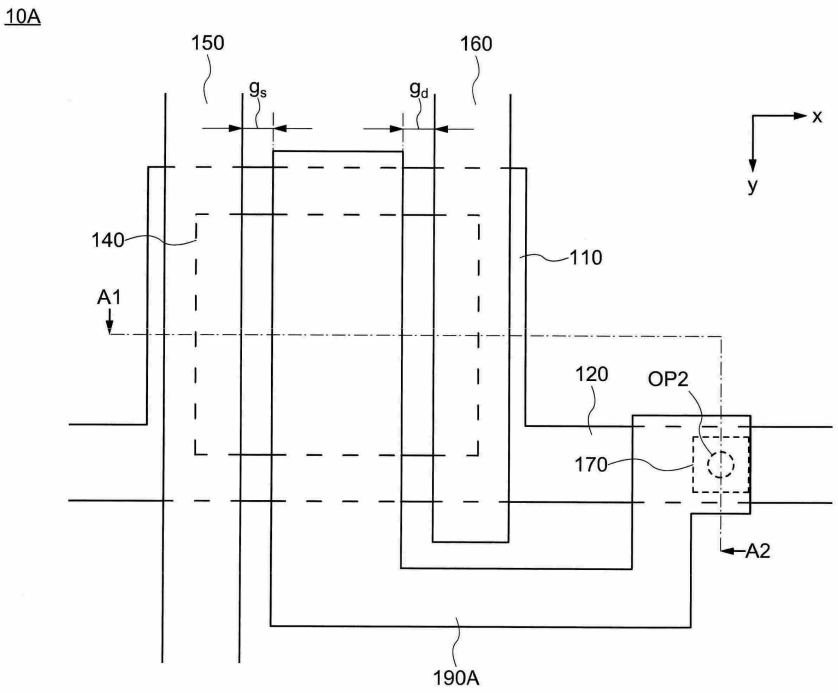
【圖19】


開始
S100
成膜第1導電膜
S110
形成第1閘極電極及掃描線
S120
成膜第1絕緣層
S130
成膜第1氧化物半導體膜及圖案化
S140
第1熱處理
S150
形成第1開口部
S160
成膜第2導電膜
S170
形成源極電極、汲極電極及連接電極
S180
成膜第2絕緣層及形成第2開口部
S190
成膜第2氧化物半導體膜及圖案化
S210
成膜氮化物層
S220
添加雜質元素
S200
第2熱處理
結束

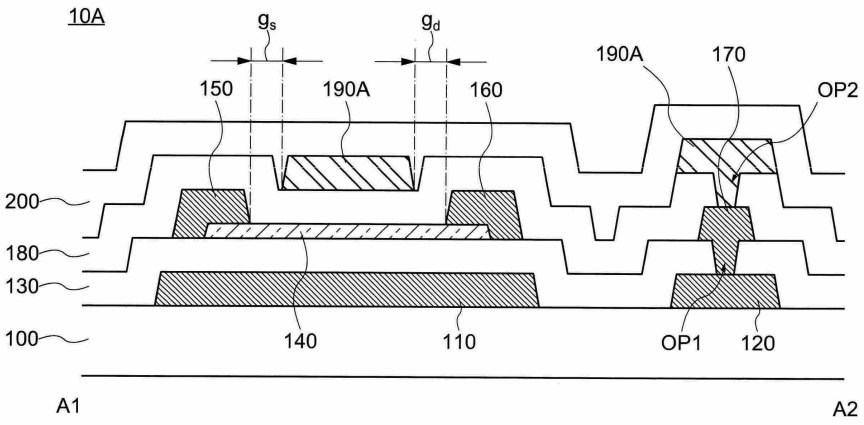
【圖20】


硼
OS3
OS3
200
180
130
100
150
140
110
160
170
OP2
OP1
120
A1
A2

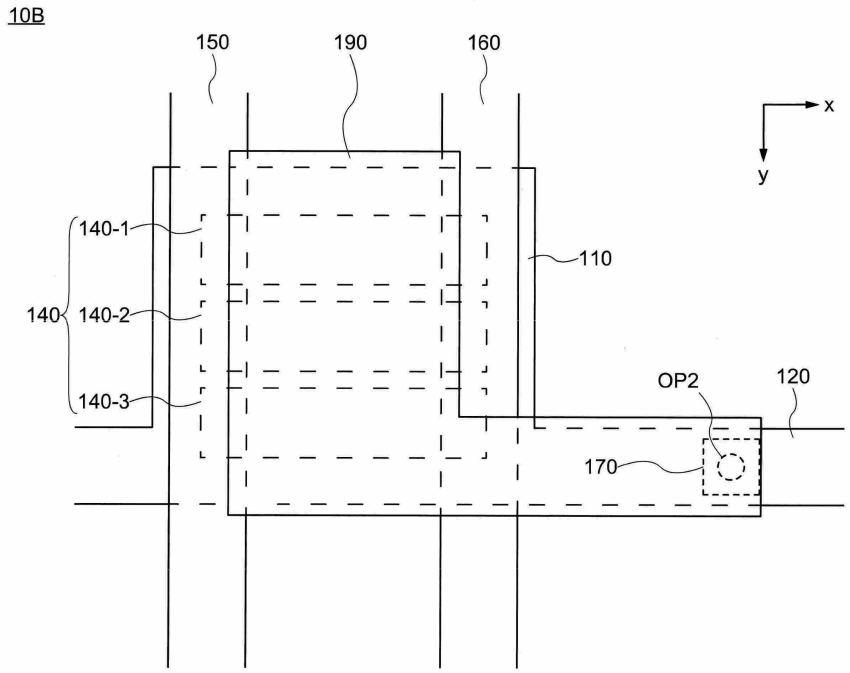
【圖21】


10A
150
160
g_s
g_d
x
y
140
110
A1
120
OP2
170
A2
190A

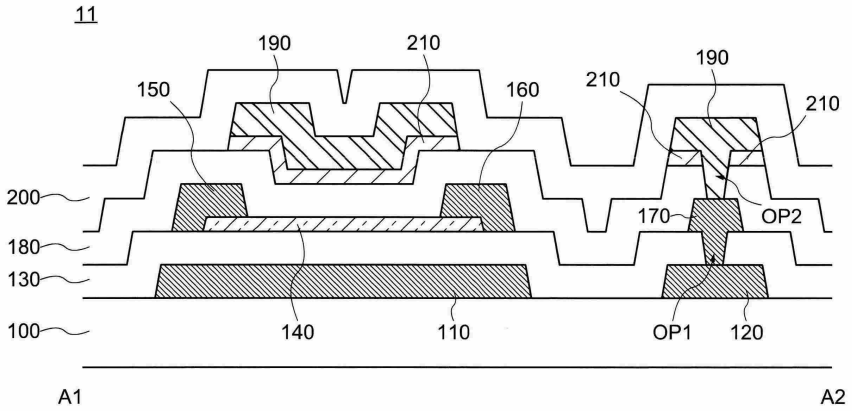
【圖22】


10A
g_s
g_d
150
190A
160
190A
170
OP2
200
180
130
100
140
110
OP1
120
A1
A2

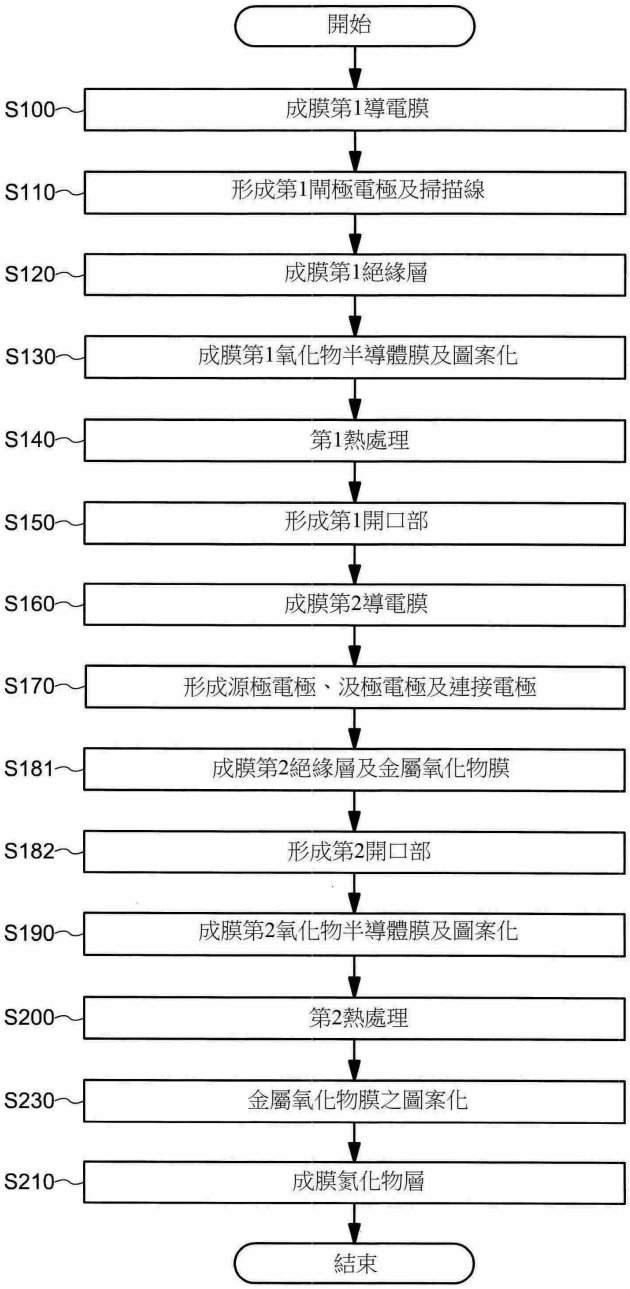
【圖23】


10B
150
190
160
x
y
140-1
140
140-2
140-3
110
OP2
120
170

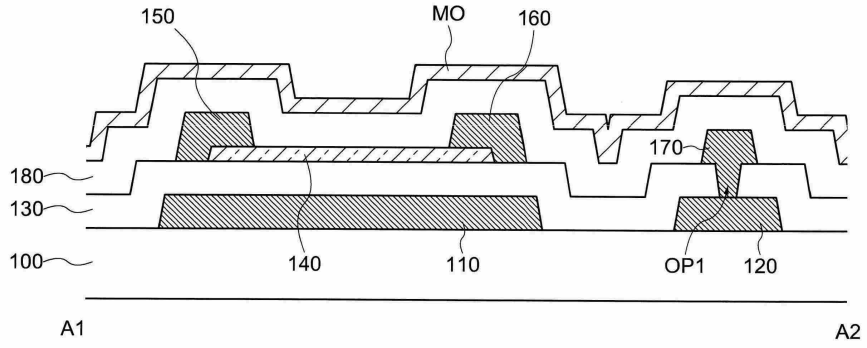
【圖24】


11
190
210
190
150
160
210
210
200
170
OP2
180
130
100
140
110
OP1
120
A1
A2

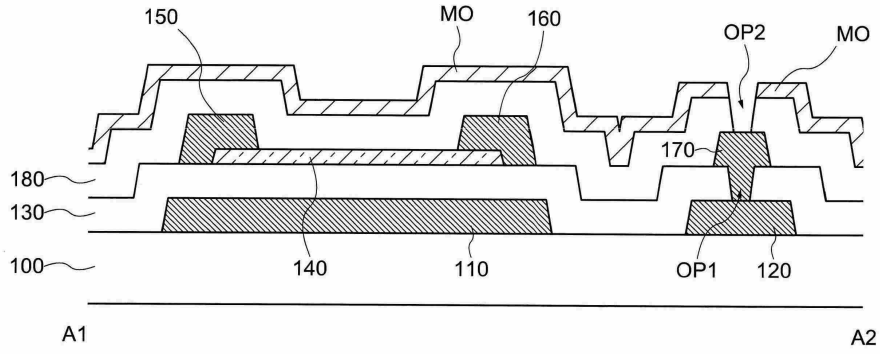
【圖25】


開始
S100
成膜第1導電膜
S110
形成第1閘極電極及掃描線
S120
成膜第1絕緣層
S130
成膜第1氧化物半導體膜及圖案化
S140
第1熱處理
S150
形成第1開口部
S160
成膜第2導電膜
S170
形成源極電極、汲極電極及連接電極
S181
成膜第2絕緣層及金屬氧化物膜
S182
形成第2開口部
S190
成膜第2氧化物半導體膜及圖案化
S200
第2熱處理
S230
金屬氧化物膜之圖案化
S210
成膜氮化物層
結束

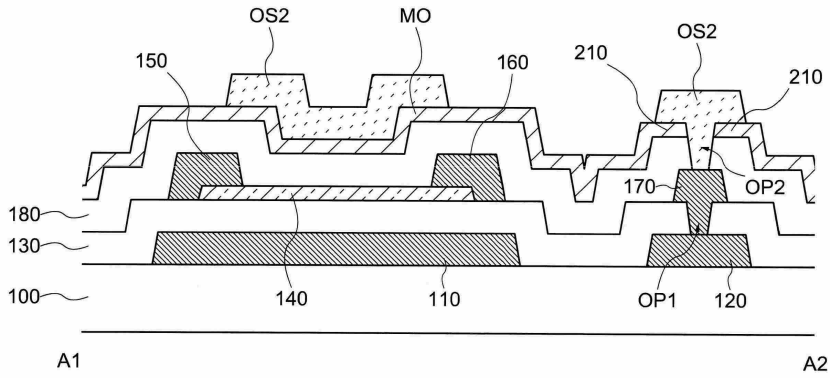
【圖26】


150
MO
160
170
180
130
100
140
110
OP1
120
A1
A2

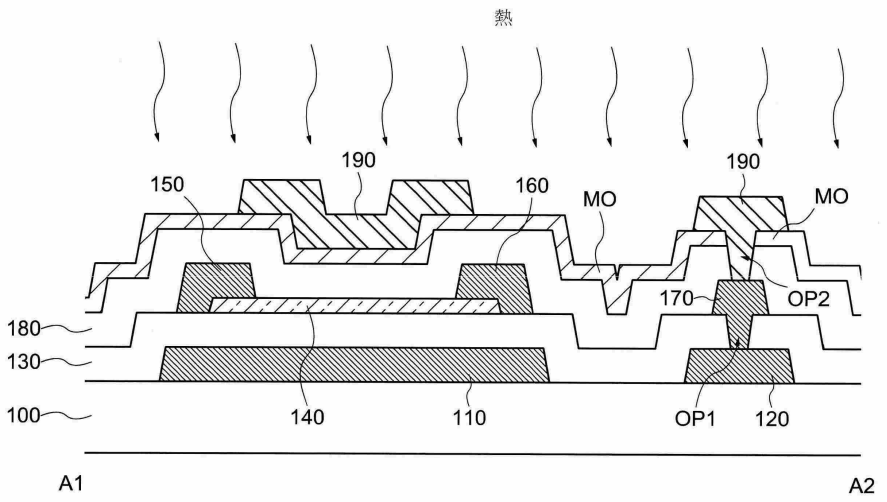
【圖27】


150
MO
160
OP2
MO
170
180
130
100
140
110
OP1
120
A1
A2

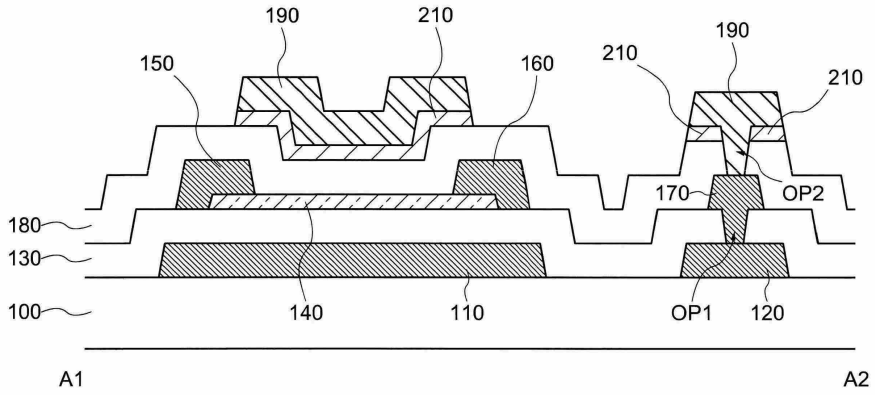
【圖28】


OS2
MO
150
160
210
OS2
210
170
OP2
180
130
100
140
110
OP1
120
A1
A2

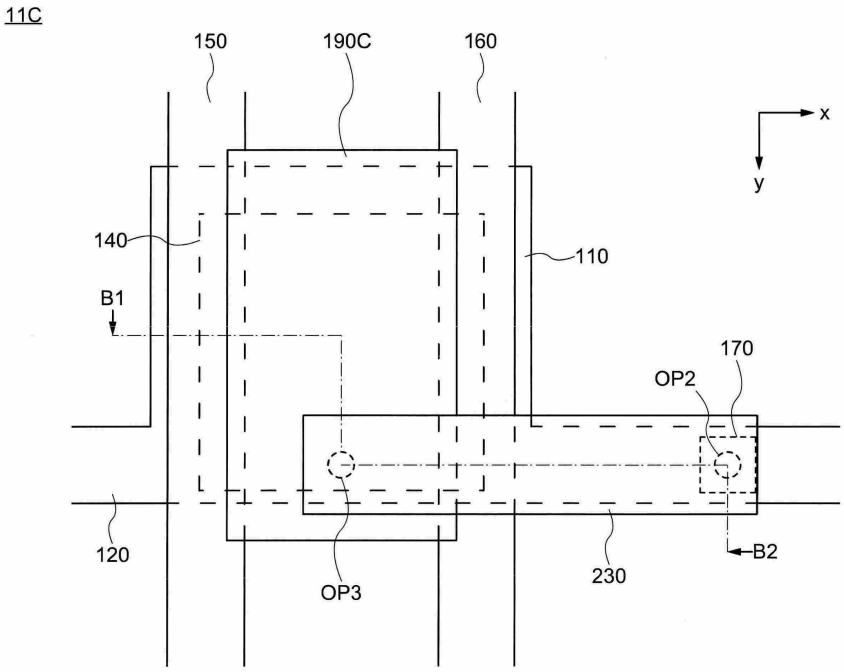
【圖29】


熱
190
190
150
160
MO
MO
170
OP2
180
130
100
140
110
OP1
120
A1
A2

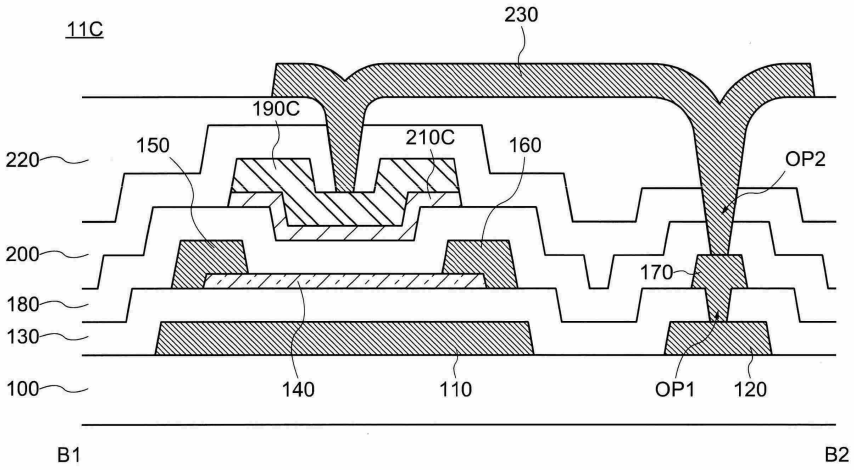
【圖30】


190
210
190
150
160
210
210
170
OP2
180
130
100
140
110
OP1
120
A1
A2

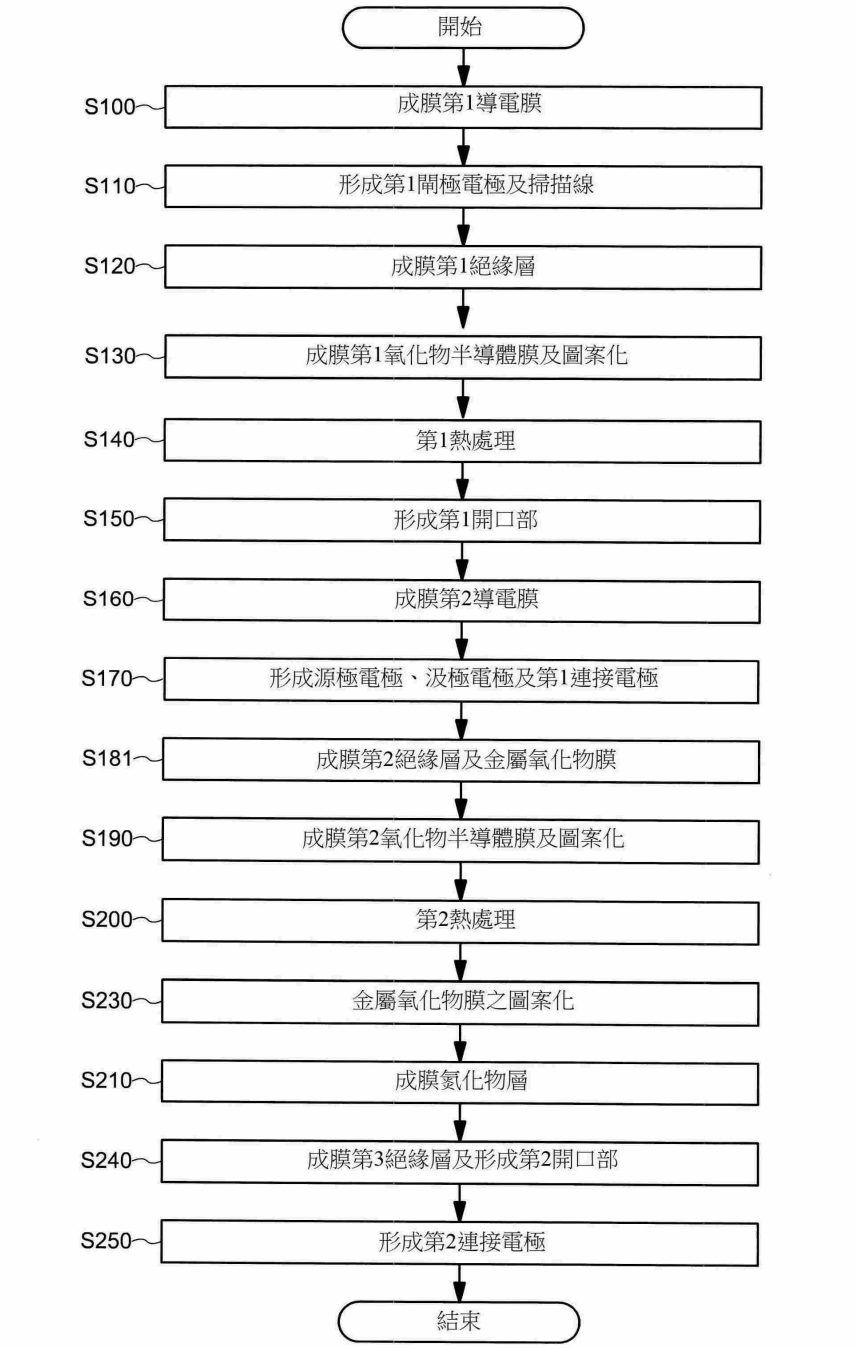
【圖31】


11C
150
190C
160
x
y
140
110
B1
170
OP2
120
OP3
230
B2

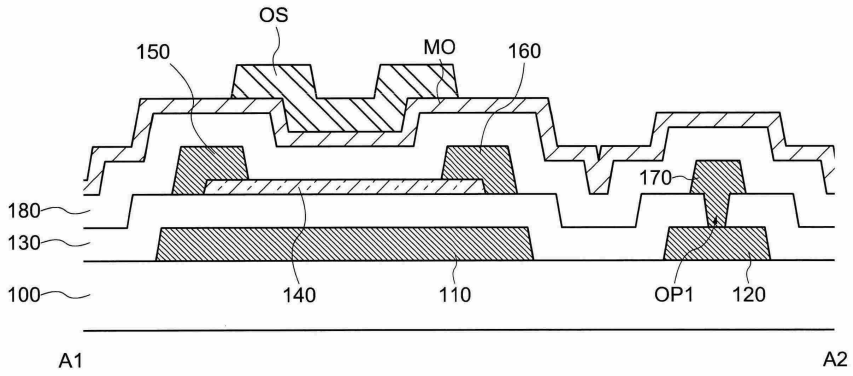
【圖32】


11C
230
190C
150
210C
160
220
OP2
200
170
180
130
100
140
110
OP1
120
B1
B2

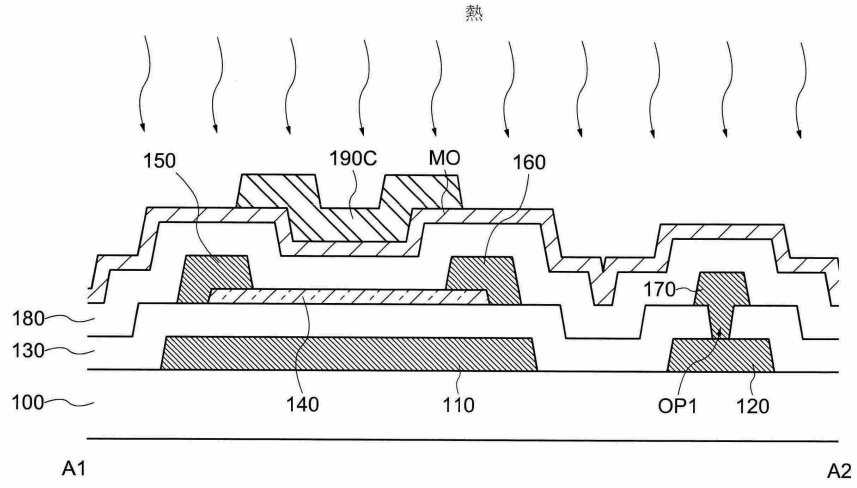
【圖33】


開始
S100
成膜第1導電膜
S110
形成第1閘極電極及掃描線
S120
成膜第1絕緣層
S130
成膜第1氧化物半導體膜及圖案化
S140
第1熱處理
S150
形成第1開口部
S160
成膜第2導電膜
S170
形成源極電極、汲極電極及第1連接電極
S181
成膜第2絕緣層及金屬氧化物膜
S190
成膜第2氧化物半導體膜及圖案化
S200
第2熱處理
S230
金屬氧化物膜之圖案化
S210
成膜氮化物層
S240
成膜第3絕緣層及形成第2開口部
S250
形成第2連接電極
結束

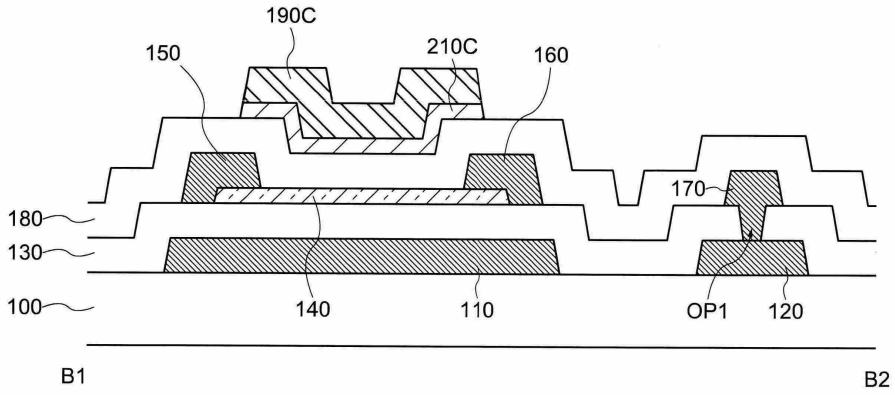
【圖34】


OS
150
MO
160
170
180
130
100
140
110
OP1
120
A1
A2

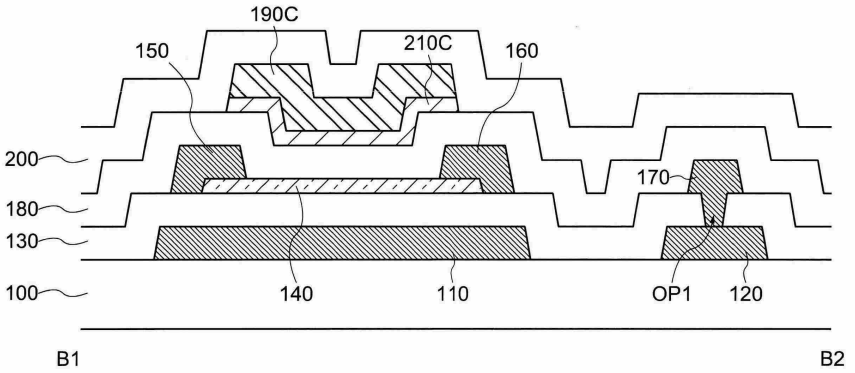
【圖35】


熱
150
190C
MO
160
170
180
130
100
140
110
OP1
120
A1
A2

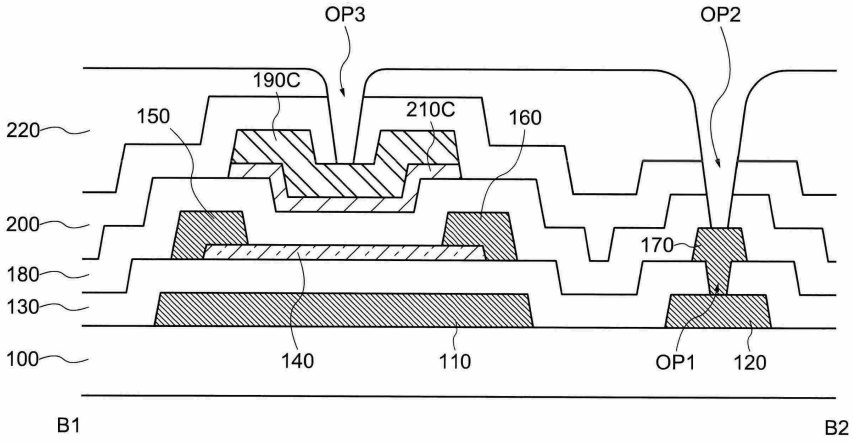
【圖36】


190C
150
210C
160
170
180
130
100
140
110
OP1
120
B1
B2

【圖37】


190C
150
210C
160
200
170
180
130
100
140
110
OP1
120
B1
B2

【圖38】


OP3
OP2
190C
150
210C
160
220
200
170
180
130
100
140
110
OP1
120
B1
B2

【圖39】