【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940950
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10W42/60　(2026.01)*　*G06F30/392　(2020.01)*
*G06F113/18　(2020.01)*

發明　　全 4 頁

【54】名　稱：半導體裝置
【21】申請案號：113137888　　【22】申請日： 中華民國 113 (2024) 年 10 月 04 日
【11】公開編號：202616525　　【43】公開日期： 中華民國 115 (2026) 年 04 月 16 日
【72】發 明 人： 王鼎堯 (TW) WANG, TING-YAO；唐天浩 (TW) TANG, TIEN-HAO；李日參 (TW) LEE, JIH-SAN；李卿瑋 (TW) LI, CHING-WEI
【71】申 請 人： 聯華電子股份有限公司　UNITED MICROELECTRONICS CORP.
新竹科學工業園區力行二路三號
【74】代 理 人： 祁明輝；林素華；涂綺玲
【56】參考文獻：

| | | | |
|---|---|---|---|
| TW | 200608553A | TW | 201112390A |
| TW | 201426953A | TW | 201935613A |
| TW | 201946277A | CN | 114300539A |

審查人員：唐之凱

【57】申請專利範圍

1. 一種半導體裝置，包含：
一基板；
一源極區，在該基板中；
一汲極區，在該基板中且具有面向該源極區的一汲極側壁；
一閘極結構，在該基板上且介於該源極區與該汲極區之間，該閘極結構具有面向該汲極區的一第一閘極側壁；
一第一井區，在該基板中且在該汲極區下方，該第一井區具有面向該源極區的一井區側壁；
一第二井區，在該基板中，且該源極區在該第二井區中；
一第三井區，在該基板中，且該汲極區、該源極區、該第一井區與該第二井區在該第三井區中，該第一井區的一下表面接觸該第三井區；以及
一深井區，在該基板中，該第三井區在該深井區中，該深井區的一部分在該第三井區的一側壁上，
其中該閘極結構接觸該第三井區，且該第一閘極側壁與該汲極側壁之間的一第一距離小於或等於該第一閘極側壁與該井區側壁之間的一第二距離，
該源極區、該汲極區、該第一井區、及該深井區具有一第一導電類型，該第二井區、及該第三井區具有一第二導電類型，該第一導電類型不同於該第二導電類型。
2. 如請求項 1 所述之半導體裝置，其中該汲極區的該汲極側壁介於該第一井區的該井區側壁與該閘極結構的該第一閘極結構側壁之間。
3. 如請求項 1 所述之半導體裝置，其中該閘極結構具有一第二閘極側壁，該第二閘極側壁相對於該第一閘極側壁，該第二閘極側壁與該汲極側壁之間的一第三距離小於或等於該第二閘極側壁與該井區側壁之間的一第四距離。
4. 如請求項 1 所述之半導體裝置，其中該第一井區完全在該汲極區下方。

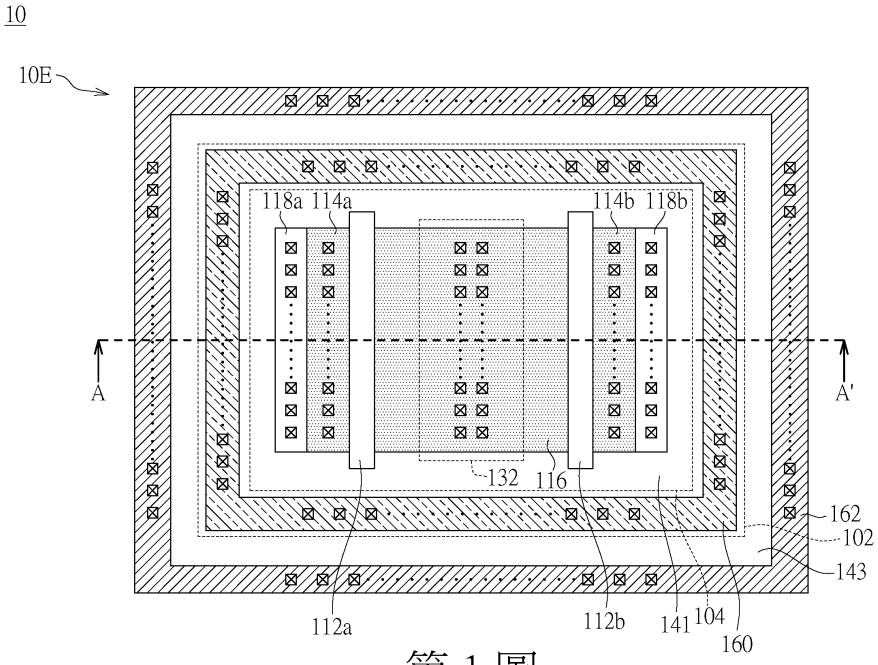
5. 如請求項 4 所述之半導體裝置，其中該汲極區的一寬度大於或等於該第一井區的一寬度。
6. 如請求項 1 所述之半導體裝置，其中該汲極區的該汲極側壁對齊於或實質對齊於該第一井區的該井區側壁。
7. 如請求項 1 所述之半導體裝置，更包含一第一保護環與一第二保護環，該第一保護環在該基板中且圍繞該源極區、該汲極區與該閘極結構，該第二保護環在該基板中且圍繞該第一保護環，該第一保護環具有該第一導電類型，該第二保護環具有該第二導電類型。
8. 如請求項 7 所述之半導體裝置，更包含一隔離結構，該隔離結構介於該第一保護環與該第二保護環之間。
9. 如請求項 1 所述之半導體裝置，
其中該汲極區的該汲極側壁接觸該第三井區。
10. 如請求項 1 所述之半導體裝置，其中該深井區圍繞該第三井區、該源級區與該汲極區。
11. 如請求項 1 所述之半導體裝置，其中該汲極區的一下表面的一部分接觸該第三井區。
12. 如請求項 1 所述之半導體裝置，其中該閘極結構與該第一井區不重疊。
13. 如請求項 1 所述之半導體裝置，其中該第二距離小於或等於 2 微米。
14. 一種半導體裝置，包含：
一基板；
一源極區，在該基板中；
一汲極區，在該基板中且具有面向該源極區的一汲極側壁；
一閘極結構，在該基板上且介於該源極區與該汲極區之間，該閘極結構具有面向該汲極區的一閘極側壁；
一第一井區，在該基板中且在該汲極區下方，該第一井區具有面向該源極區的一井區側壁；
一第二井區，在該基板中，且該源極區在該第二井區中；
一第三井區，在該基板中，且該汲極區、該源極區、該第一井區與該第二井區在該第三井區中，該第一井區的一下表面接觸該第三井區；以及
一深井區，在該基板中，該第三井區在該深井區中，該深井區的一部分在該第三井區的一側壁上，
其中該閘極結構接觸該第三井區，且該井區側壁對齊於或實質對齊於該閘極側壁，該汲極側壁對齊於或實質對齊於該井區側壁，
該源極區、該汲極區、該第一井區、及該深井區具有一第一導電類型，該第二井區、及該第三井區具有一第二導電類型，該第一導電類型不同於該第二導電類型。
15. 如請求項 14 所述之半導體裝置，其中該第三井區使該汲極區與該第一井區隔離於該基板。
16. 如請求項 14 所述之半導體裝置，其中該深井區圍繞該第三井區、該源極區與該汲極區。
17. 如請求項 14 所述之半導體裝置，更包含一第一保護環、一第二保護環與一隔離結構，該第一保護環在該基板中且圍繞該源極區、該汲極區與該閘極結構，該第二保護環在該基板中且圍繞該第一保護環，該第一保護環具有該第一導電類型，該第二保護環具有該第二導電類型，該隔離結構在該第一保護環與該第二保護環之間，該隔離結構的一部分在該深井區中，該隔離結構的另一部分在該基板中。

圖式簡單說明

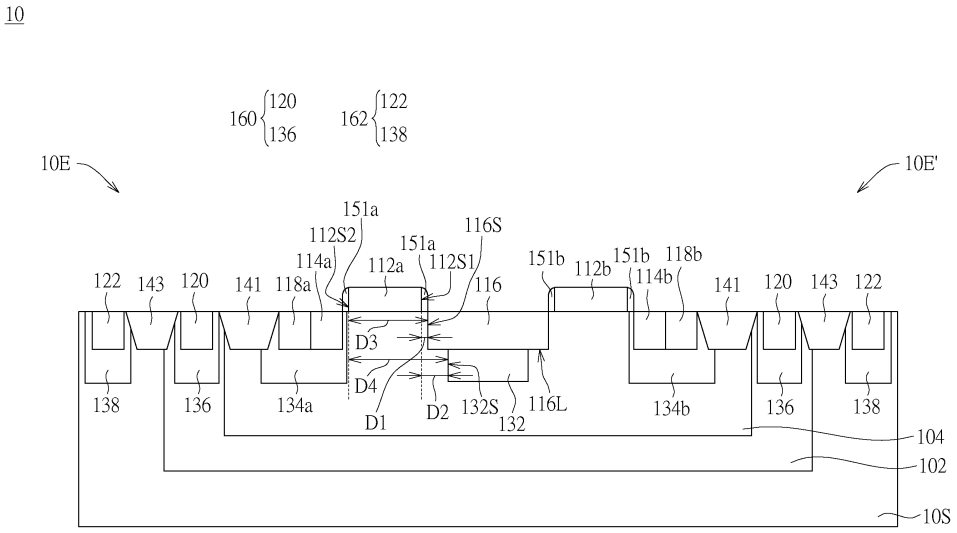
第 1 圖係繪示根據本發明的一實施例的半導體裝置的佈局(layout)示意圖；

第 2 圖係繪示根據本發明的一實施例的半導體裝置的示意剖面圖；

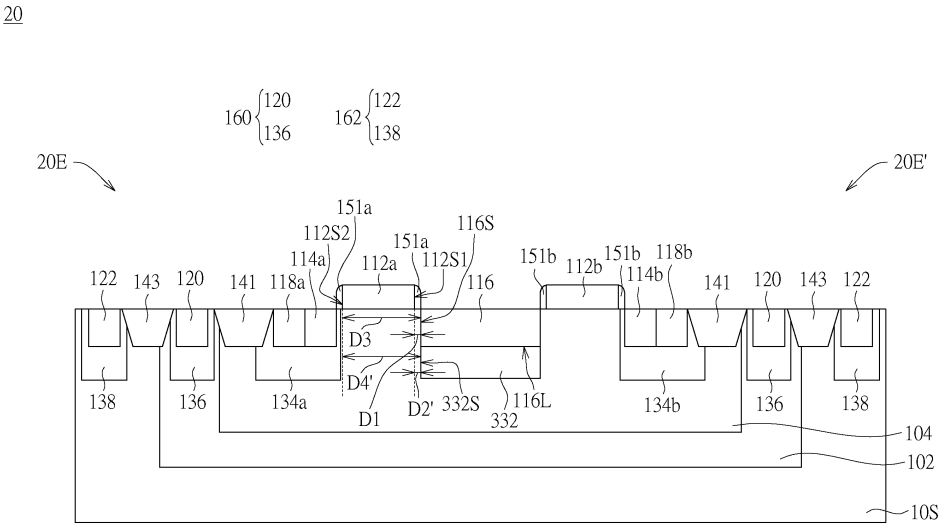
第 3 圖係繪示根據本發明的另一實施例的半導體裝置的示意剖面圖；及
第 4 圖係繪示根據本發明的另一實施例的半導體裝置的示意剖面圖。



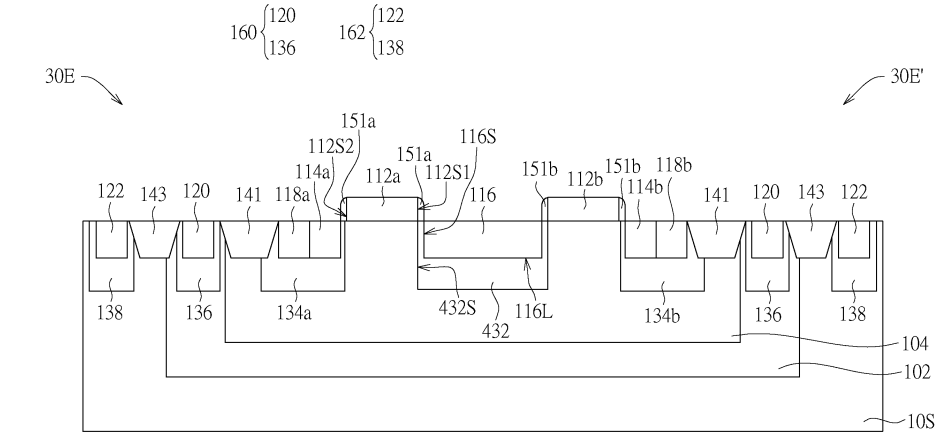

第 1 圖




第 2 圖


20
160
120
136
162
122
138
20E
20E'
151a
112S2
114a
112a
151a
112S1
116S
116
151b
112b
151b
114b
118b
141
120
143
122
122
143
120
141
118a
D3
D4'
D1
D2'
332S
116L
332
138
136
134a
134b
136
138
104
102
10S

第 3 圖


30
160
120
136
162
122
138
30E
30E'
151a
112S2
114a
112a
151a
112S1
116S
116
151b
112b
151b
114b
118b
141
120
143
122
122
143
120
141
118a
432S
116L
432
138
136
134a
134b
136
138
104
102
10S

第 4 圖