【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940958
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*G11C11/54 (2006.01)*　*G06F17/16 (2006.01)*
G06F30/392 (2020.01)　*G06N3/063 (2023.01)*
發明　全 6 頁

【54】名　稱：記憶體裝置及製造記憶體裝置的方法

【21】申請案號：113139421　【22】申請日： 中華民國 113 (2024) 年 10 月 16 日
【11】公開編號：202529112　【43】公開日期： 中華民國 114 (2025) 年 07 月 16 日
【30】優 先 權：2024/01/02　美國　63/616,925
2024/04/22　美國　18/642,315

【72】發 明 人：洪哲民 (TW) HUNG, JE-MIN；克雷夫頓　布萊恩 (US) CRAFTON, BRIAN；森陽紀 (JP) MORI, HARUKI；藤原英弘 (JP) FUJIWARA, HIDEHIRO
【71】申 請 人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.
新竹市新竹科學工業園區力行六路八號
【74】代 理 人：李世章；秦建譜

【56】參考文獻：

TW	202131331A	TW	202324213A
TW	202341149A	US	9747546B2
US	10831446B2	US	2023/0031841A1
WO	2023/015167A1		

審查人員：葉昌倫

【57】申請專利範圍

1. 一種記憶體裝置，包含：
一記憶體陣列，包含用於存儲一神經網路的多個權重的複數個記憶體單元；
一第一計算單元，用以接收來自該些記憶體單元的該些存儲權重，且根據該些存儲權重產生一第一部分和；
一第二計算單元，用以接收來自該些記憶體單元的該些存儲權重及該第一部分和，且根據該些存儲權重及該第一部分和產生一第二部分和，其中該第二計算單元循序耦合至該第一計算單元；
一第一選路軌道組，用以將該第一部分和從該第一計算單元發送至該第二計算單元；
一第二選路軌道組，用以將該第二部分和從該第二計算單元發送，
其中該第一選路軌道組的選路軌道數量小於該第二選路軌道組的選路軌道數量；以及
一全域計算單元，用以累加來自該第一計算單元及該第二計算單元的多個倍增的多個部分和，
其中該全域計算單元插入且位於該記憶體陣列的複數記憶體單元子陣列之間。
2. 如請求項 1 所述之記憶體裝置，其中該第一計算單元與該第二計算單元直接互連。
3. 如請求項 1 所述之記憶體裝置，包含：
一第三計算單元，用以接收來自該些記憶體單元的該些存儲權重及該第二部分和，且根據該些存儲權重及該第二部分和產生一第三部分和，其中該第三計算單元循序耦合至該第一計算單元及該第二計算單元，
其中該第三計算單元與該第一計算單元位於同一金屬化層中。

4. 如請求項 1 所述之記憶體裝置，包含：
一第四計算單元，用以接收來自該些記憶體單元的該些存儲權重，且根據該些存儲權重產生一第四部分和；及
一第五計算單元，用以接收來自該些記憶體單元的該些存儲權重，且根據該些存儲權重產生一第五部分和，其中該第一計算單元並行耦合至該第四計算單元及該第五計算單元以接收該第四部分和及該第五部分和，且產生該第一部分和。

5. 如請求項 4 所述之記憶體裝置，其中該第四計算單元與該第一計算單元位於不同的金屬化層中，且該第四計算單元與該第五計算單元位於同一金屬化層中。

6. 如請求項 1 所述之記憶體裝置，
其中該第一計算單元插入該些記憶體單元子陣列之間，且該第二計算單元插入該些記憶體單元子陣列之間。

7. 如請求項 1 所述之記憶體裝置，其中該第一計算單元藉由將一輸入激活向量元素與該些記憶體單元子陣列中的其中一記憶體單元子陣列內的該些存儲權重相乘來產生該第一部分和。

8. 一種記憶體裝置，包含：
一基板；
一記憶體單元陣列，具有形成於該基板上的複數個記憶體單元子陣列且用以存儲一神經網路的多個權重；
一第一局部累加器，形成於一第一金屬層上，且用以接收來自該些記憶體單元子陣列的該些存儲權重且根據該些存儲權重產生一第一部分和；
一第二局部累加器，形成於該第一金屬層上，且用以接收來自該些記憶體單元子陣列的該些存儲權重及該第一部分和，且根據該些存儲權重及該第一部分和產生一第二部分和，其中該第二局部累加器循序耦合至該第一金屬層上的該第一局部累加器；
一第四局部累加器，形成於一第二金屬層上，且用以接收來自該些記憶體單元子陣列的該些存儲權重且根據該些存儲權重產生一第四部分和；
一第五局部累加器，形成於該第二金屬層上，且用以接收來自該些記憶體單元子陣列的該些存儲權重，且根據該些存儲權重產生一第五部分和，其中該第一局部累加器並行耦合至該第四局部累加器及該第五局部累加器以接收該第四部分和及該第五部分和，且產生該第一部分和；以及
一全域計算單元，用以累加來自該第一局部累加器及該第二局部累加器的多個倍增的多個部分和，
其中該全域計算單元插入且位於該些記憶體單元子陣列之間。

9. 如請求項 8 所述之記憶體裝置，
其中該第四局部累加器及該第一局部累加器位於不同的金屬層中，且該第四局部累加器及該第五局部累加器位於同一金屬化層中，
其中該第四局部累加器經由一通孔結構與該第一局部累加器互連，其中該第五局部累加器經由該通孔結構與該第一局部累加器互連。

10. 一種製造記憶體裝置的方法，包含以下步驟：
提供一基板；
在該基板的一正面上形成具有複數個記憶體單元子陣列的一記憶體單元陣列；
在該基板的該正面的一第一金屬層上形成一第一局部累加器；
在該第一金屬層上形成一第二局部累加器，其中該第一局部累加器循序耦合至該第一金屬層上的該第二局部累加器；
在不同於該第一金屬層的一第二金屬層上形成一第四局部累加器及一第五局部累加器；
形成一通孔結構，

其中該第四局部累加器經由該通孔結構與該第一局部累加器互連，且該第五局部累加器經由該通孔結構與該第一局部累加器互連；以及

一全域計算單元，用以累加來自該第一局部累加器及該第二局部累加器的多個倍增的多個部分和，

其中該全域計算單元插入且位於該些記憶體單元子陣列之間。

圖式簡單說明

結合附圖，根據以下詳細描述可以最好地理解本揭示內容的各態樣。注意，根據行業中的標準實務，各種特徵未按比例繪製。實際上，為了討論清楚起見，各種特徵的尺寸可任意增加或減小。

第 1 圖說明根據本揭示內容的一些實施例的記憶體裝置 100 的方塊圖。

第 2 圖說明根據本揭示內容的一些實施例的第 1 圖的記憶體裝置 100 的詳細示意圖。

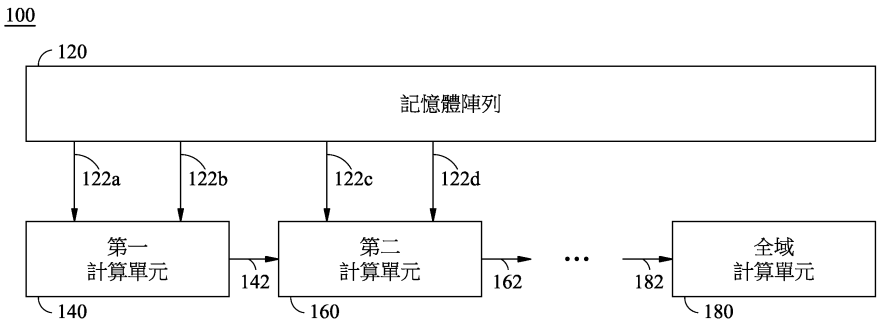
第 3 圖說明根據本揭示內容的一些實施例的第 1 圖的記憶體裝置 100 的詳細示意圖。

第 4 圖說明根據本揭示內容的一些實施例的第 2 圖的記憶體裝置 100 的詳細示意圖。

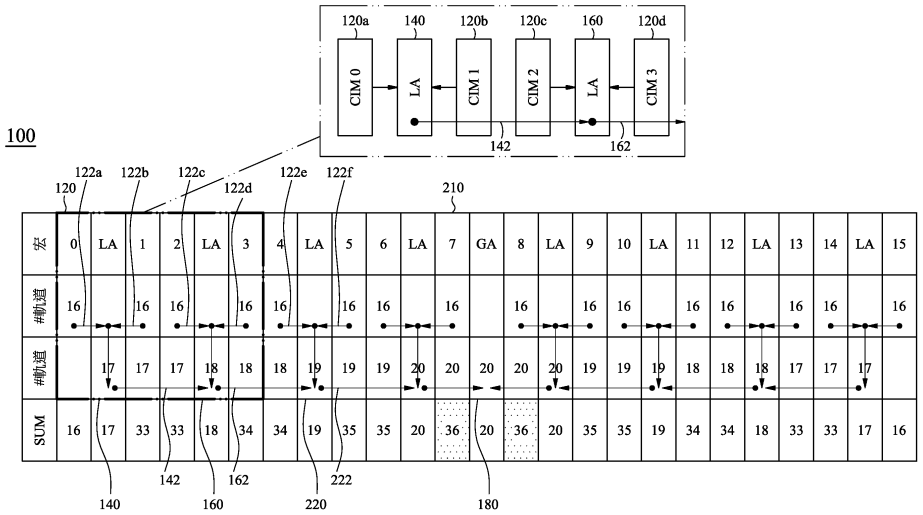
第 5 圖說明根據本揭示內容的一些實施例的第 3 圖的記憶體裝置 100 的詳細示意圖。

第 6 圖為根據本揭示內容的一些實施例的用於製造第 1 圖的記憶體裝置 100 的例示性方法的流程圖。

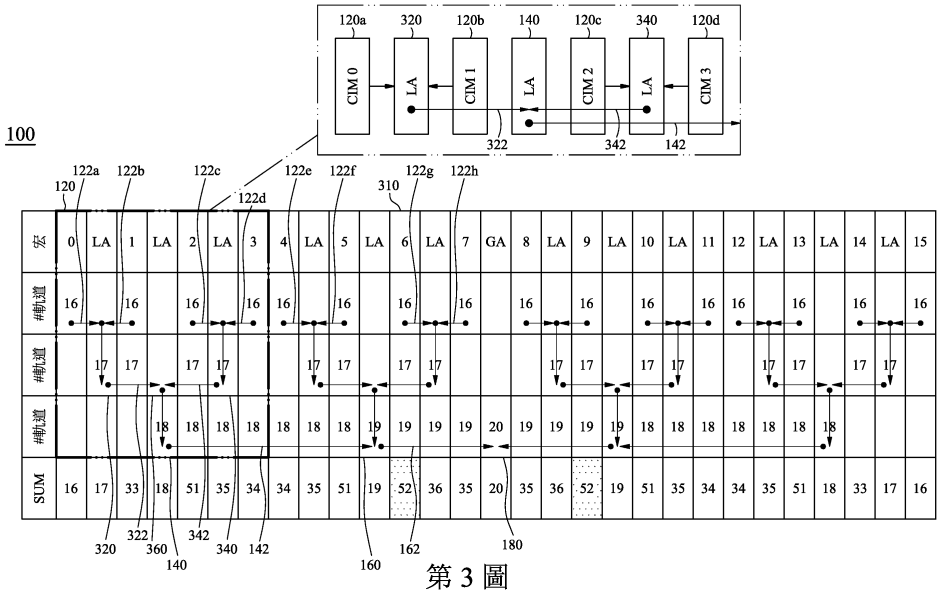
第 7 圖為根據本揭示內容的一些實施例的用於製造記憶體裝置 100 的例示性方法的流程圖。



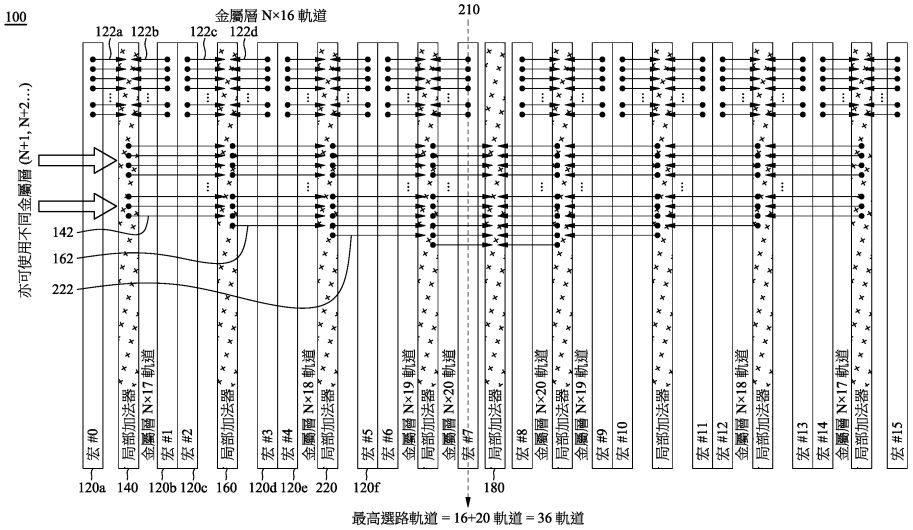
第 1 圖


100
120a
140
120b
120c
160
120d
CIM 0
LA
CIM 1
CIM 2
LA
CIM 3
142
162
120
122a
122b
122c
122d
122e
122f
210
宏
#軌道
#軌道
SUM
140
142
160
162
220
222
180

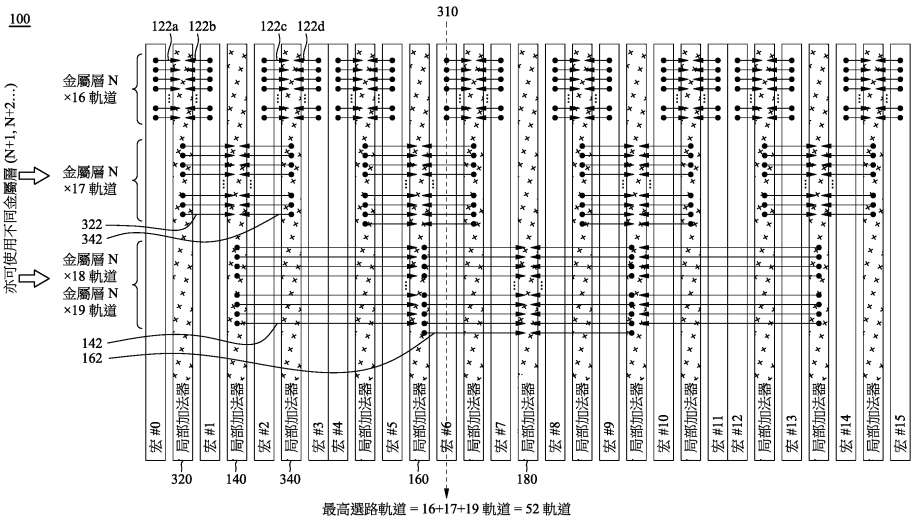
第 2 圖


100
120a
320
120b
140
120c
340
120d
CIM 0
LA
CIM 1
LA
CIM 2
LA
CIM 3
322
342
142
120
122a
122b
122c
122d
122e
122f
310
122g
122h
宏
#軌道
#軌道
#軌道
SUM
320
322
360
140
342
340
142
160
162
180

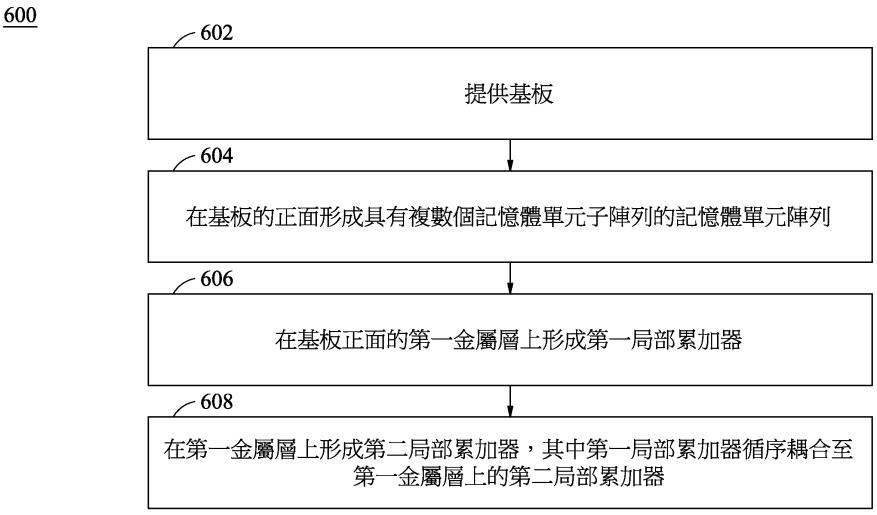
第 3 圖


100
金屬層 N×16 軌道
210
122a 122b 122c 122d
亦可使用不同金屬層 (N+1, N+2...)
142
162
222
宏 #0
局部加法器
金屬層 N×17 軌道
宏 #1
宏 #2
局部加法器
宏 #3
宏 #4
金屬層 N×18 軌道
局部加法器
宏 #5
宏 #6
金屬層 N×19 軌道
局部加法器
金屬層 N×20 軌道
宏 #7
局部加法器
宏 #8
金屬層 N×20 軌道
局部加法器
金屬層 N×19 軌道
宏 #9
宏 #10
局部加法器
宏 #11
宏 #12
金屬層 N×18 軌道
局部加法器
宏 #13
宏 #14
金屬層 N×17 軌道
局部加法器
宏 #15
120a 140 120b 120c 160 120d 120e 220 120f 180
最高選路軌道 = 16+20 軌道 = 36 軌道

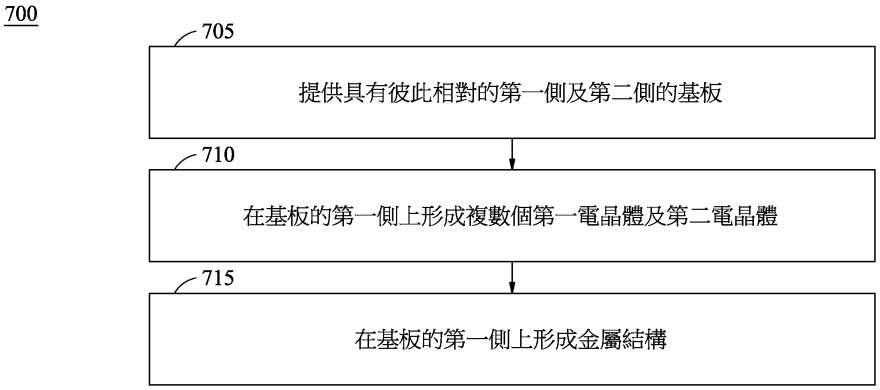
第 4 圖


100
310
122a 122b 122c 122d
亦可使用不同金屬層 (N+1, N+2...)
金屬層 N ×16 軌道
金屬層 N ×17 軌道
金屬層 N ×18 軌道
金屬層 N ×19 軌道
322
342
142
162
宏 #0
局部加法器
宏 #1
宏 #2
局部加法器
宏 #3
宏 #4
局部加法器
宏 #5
宏 #6
局部加法器
宏 #7
局部加法器
宏 #8
局部加法器
宏 #9
局部加法器
宏 #10
局部加法器
宏 #11
宏 #12
局部加法器
宏 #13
局部加法器
宏 #14
局部加法器
宏 #15
320 140 340 160 180
最高選路軌道 = 16+17+19 軌道 = 52 軌道

第 5 圖


600
602
提供基板
604
在基板的正面形成具有複數個記憶體單元子陣列的記憶體單元陣列
606
在基板正面的第一金屬層上形成第一局部累加器
608
在第一金屬層上形成第二局部累加器，其中第一局部累加器循序耦合至第一金屬層上的第二局部累加器

第 6 圖


700
705
提供具有彼此相對的第一側及第二側的基板
710
在基板的第一側上形成複數個第一電晶體及第二電晶體
715
在基板的第一側上形成金屬結構

第 7 圖