【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940969
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10W20/40　(2026.01)*　　*H10D30/67　(2025.01)*
發明　　全 40 頁

【54】名　　稱：半導體裝置

【21】申請案號：113141894　　【22】申請日： 中華民國 108 (2019) 年 11 月 25 日
【11】公開編號：202510271　　【43】公開日期： 中華民國 114 (2025) 年 03 月 01 日
【30】優 先 權：　2018/12/28　日本　2018-247444
2018/12/28　日本　2018-247446
2019/01/25　日本　2019-010812
2019/05/08　日本　2019-087969

【72】發 明 人： 山崎舜平 (JP) YAMAZAKI, SHUNPEI；笹川慎也 (JP) SASAGAWA, SHINYA；栃林克明 (JP) TOCHIBAYASHI, KATSUAKI；村川努 (JP) MURAKAWA, TSUTOMU；高橋絵里香 (JP) TAKAHASHI, ERIKA
【71】申 請 人： 日商半導體能源研究所股份有限公司 SEMICONDUCTOR ENERGY LABORATORY CO., LTD.
日本
【74】代 理 人： 林志剛

【56】參考文獻：
TW　201041139A　　TW　201806127A
US　2014/0361293A1　　WO　2016/189425A1

審查人員：莊嘉紘

【57】申請專利範圍

1. 一種半導體裝置，包含：複數個電晶體；每一個該電晶體都包含：第一導電體；第一絕緣體；該第一絕緣體上的第一金屬氧化物；該第一金屬氧化物上的第二導電體與第三導電體；第二金屬氧化物，位於該第一金屬氧化物的上方，且包含位於該第二導電體與該第三導電體之間的區域；該第二金屬氧化物上的第二絕緣體；以及該第二絕緣體上的第四導電體；其中，該第一金屬氧化物與該第二金屬氧化物分別都包含銦；與該第四導電體重疊的區域中的該第一金屬氧化物的頂面，低於與該第二導電體重疊的區域中的該第一金屬氧化物的該頂面以及與該第三導電體重疊的區域中的該第一金屬氧化物的該頂面；以及在該第一金屬氧化物的側面與該頂面之間，該第一金屬氧化物包含彎曲面。
2. 如請求項 1 之半導體裝置，其中，每一個該電晶體的通道長度為 40nm 以上 80nm 以下；每一個該電晶體的通道寬度為 40nm 以上 80nm 以下。

圖式簡單說明

在圖式中：

[圖 1A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖 1B]至[圖 1D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 2]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 3A]、[圖 3B]是本發明的一個實施方式的半導體裝置的立體圖。

[圖 4A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 4B]至[圖 4D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 5A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 5B]至[圖 5D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 6A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 6B]至[圖 6D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 7A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 7B]至[圖 7D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 8A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 8B]至[圖 8D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 9A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 9B]至[圖 9D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 10A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 10B]至[圖 10D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 11A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 11B]至[圖 11D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 12A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖 12B]至[圖 12D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 13A]、[圖 13B]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 14]是示出本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖 15]是示出本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖 16A]、[圖 16B]是示出本發明的一個實施方式的記憶體裝置的結構例子的方塊圖。

[圖 17A]至[圖 17H]是示出本發明的一個實施方式的記憶體裝置的結構例子的電路圖。

[圖 18A]、[圖 18B]是本發明的一個實施方式的半導體裝置的示意圖。

[圖 19A]至[圖 19E]是本發明的一個實施方式的記憶體裝置的示意圖。

[圖 20A]至[圖 20H]是示出本發明的一個實施方式的電子裝置的圖。

[圖 21]是示出實施例的樣本的 Shift 值的正態概率圖的圖。

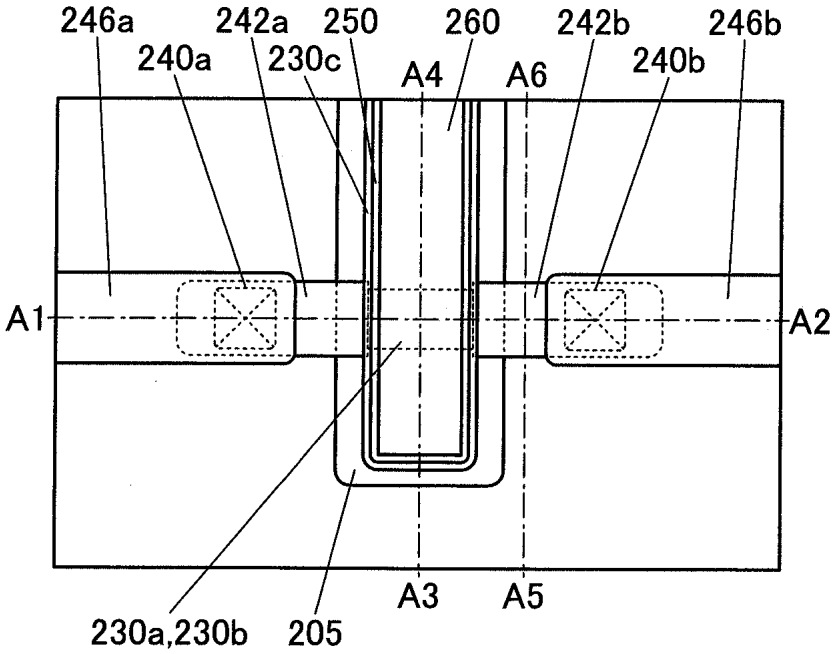
[圖 22]是示出實施例的+GBT 應力測試的 ΔVsh 的應力時間依賴性的圖。

[圖 23A]是示出實施例的+GBT 應力測試的 Ion 的應力時間依賴性的圖。[圖 23B]是示出實施例的+GBT 應力測試的 S 值的應力時間依賴性的圖。[圖 23C]是示出實施例的+GBT 應力測試的 μFE 的應力時間依賴性的圖。

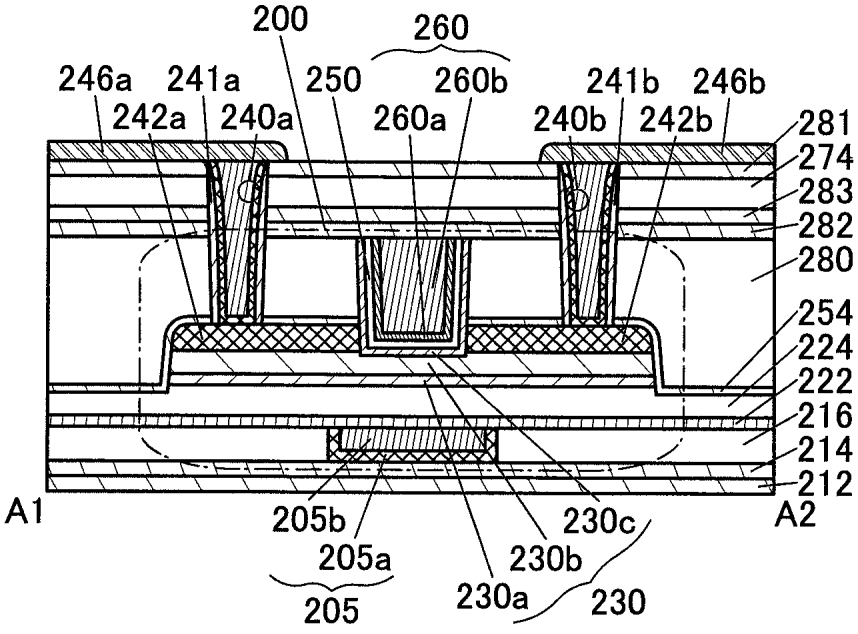
[圖 24]是示出實施例的電晶體的 Id-Vg 特性的圖。

[圖 25A]是示出實施例的 Vsh 的正態概率圖的圖。[圖 25B]是示出實施例的 Ion 的正態概率圖的圖。[圖 25C]是示出實施例的 Vsh 的 Vbg 依賴性的圖。

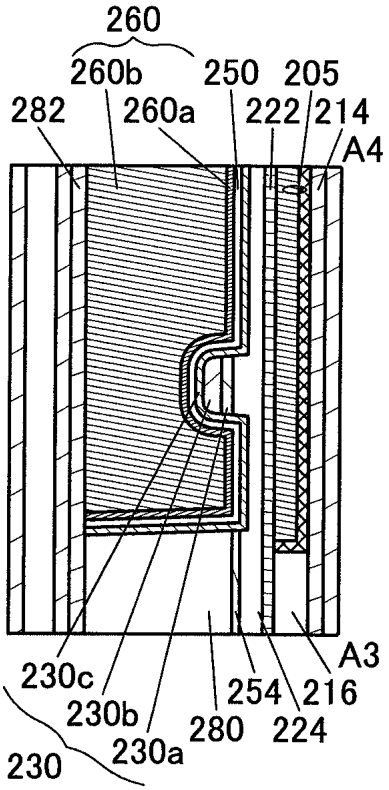
[圖 26A]是示出實施例的+GBT 應力測試的 ΔVsh。[圖 26B]是示出實施例的 S 值的應力時間依賴性的圖。


246a
242a
250
260
242b
246b
240a
230c
A4
A6
240b
A1
A2
A3
A5
230a,230b
205

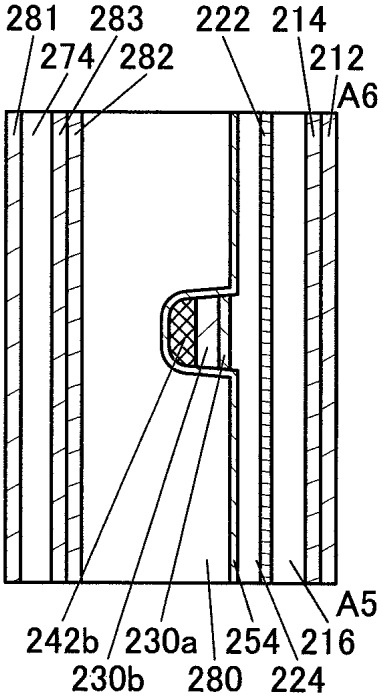
【圖 1A】


200
260
246a
241a
250
260b
241b
246b
242a
240a
260a
240b
242b
281
274
283
282
280
254
224
222
216
214
212
A1
A2
205b
205a
205
230a
230b
230c
230

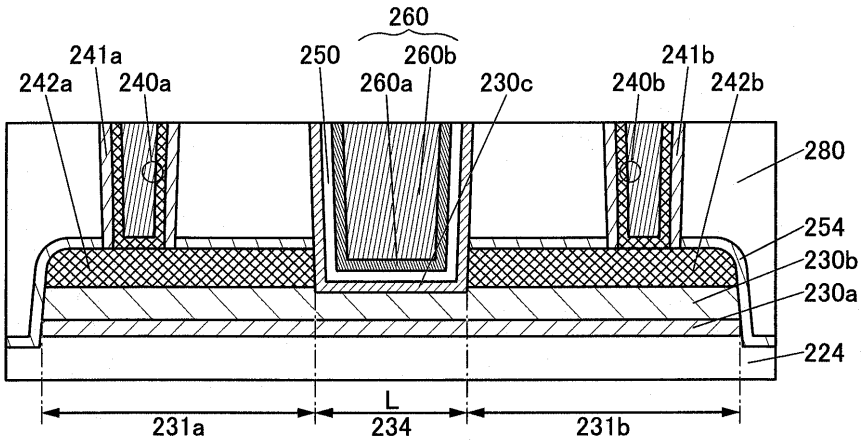
【圖 1B】


260
260b
250
205
282
260a
222
214
A4
A3
230c
230b
280
254
216
224
230a
230

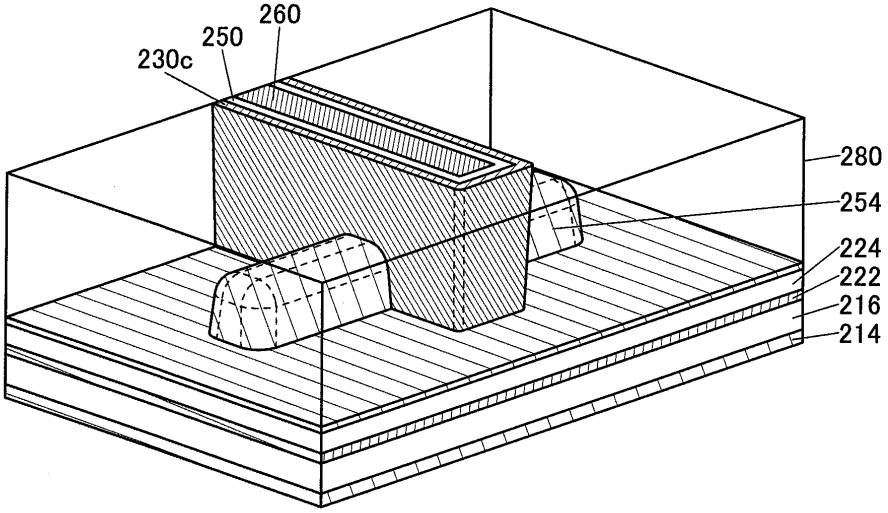
【圖 1C】


281
283
222
214
274
282
212
A6
A5
242b
230a
254
216
230b
280
224

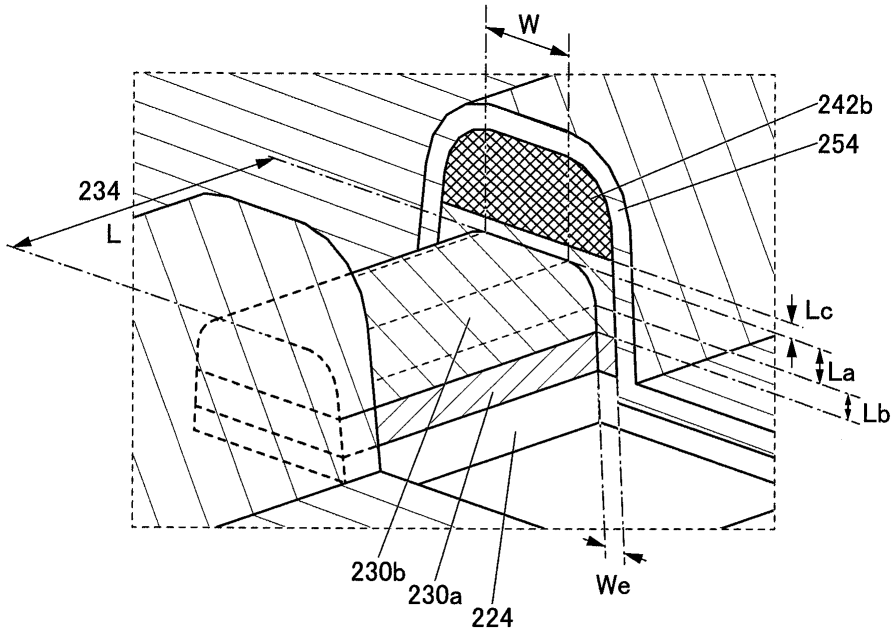
【圖 1D】


260
241a
250
260b
241b
242a
240a
260a
230c
240b
242b
280
254
230b
230a
224
L
231a
234
231b

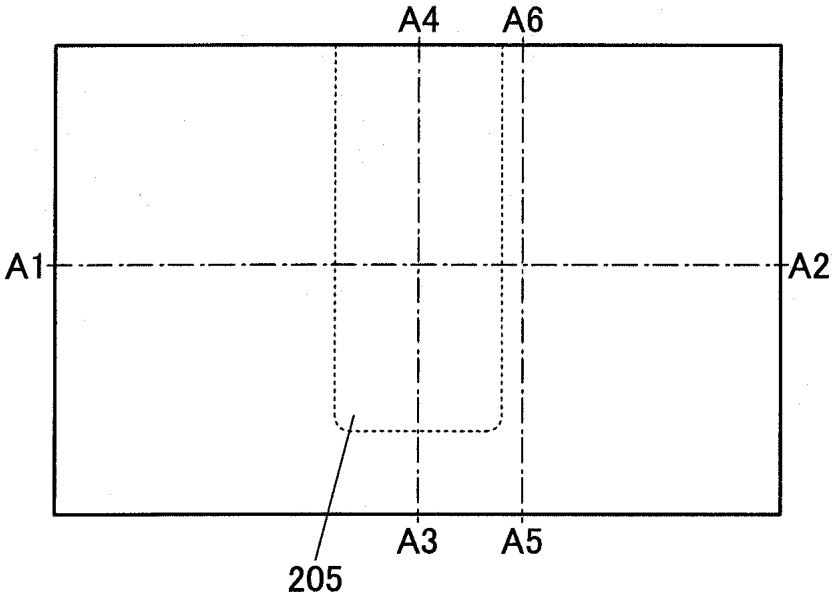
【圖 2】


260
250
230c
280
254
224
222
216
214

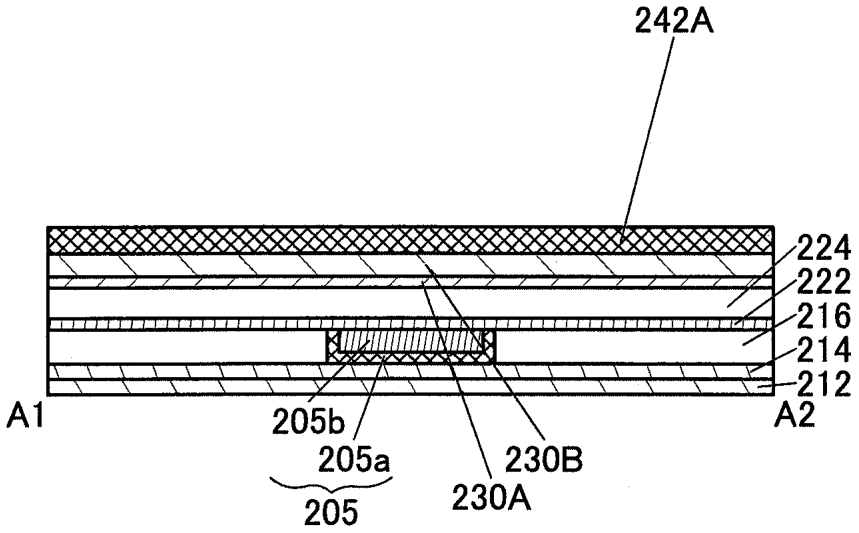
【圖 3A】



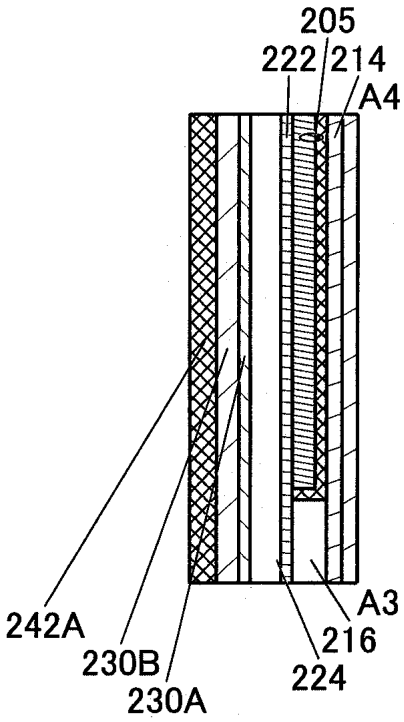
【圖 3B】



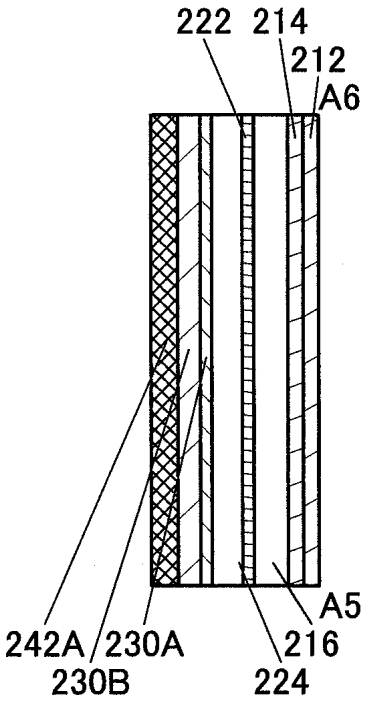
【圖 4A】


242A
224
222
216
214
212
A1
A2
205b
205a
205
230B
230A

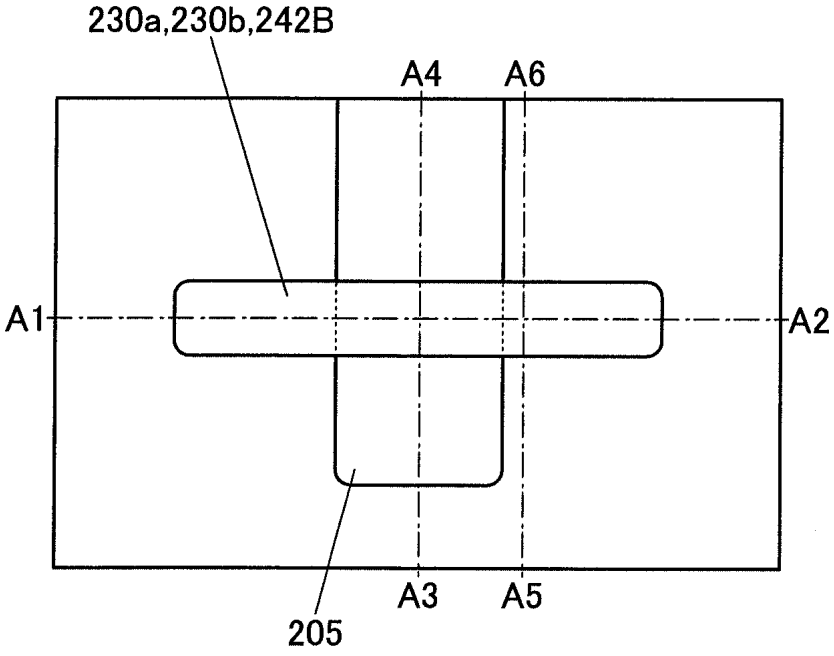
【圖 4B】


205
222
214
A4
A3
242A
230B
230A
216
224

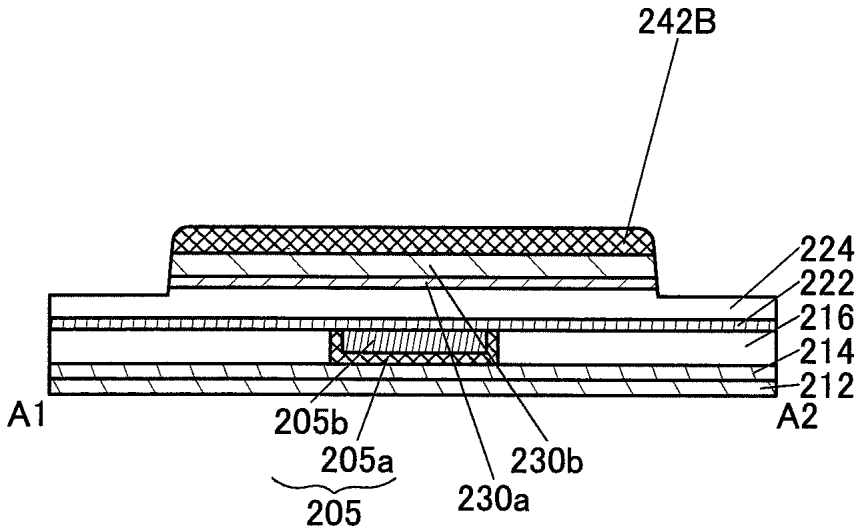
【圖 4C】


222
214
212
A6
A5
242A
230B
230A
216
224

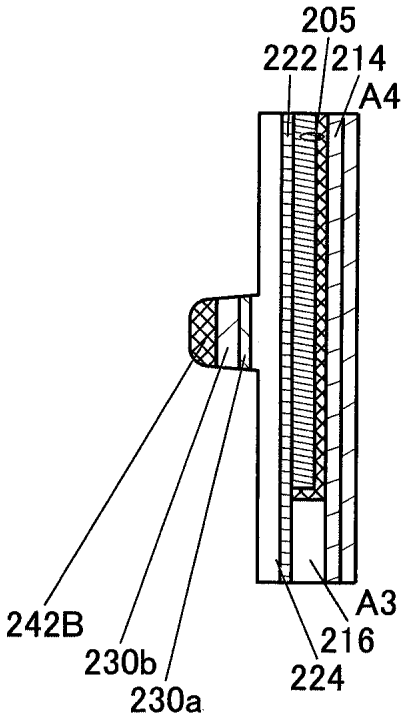
【圖 4D】


230a,230b,242B
A4
A6
A1
A2
A3
A5
205

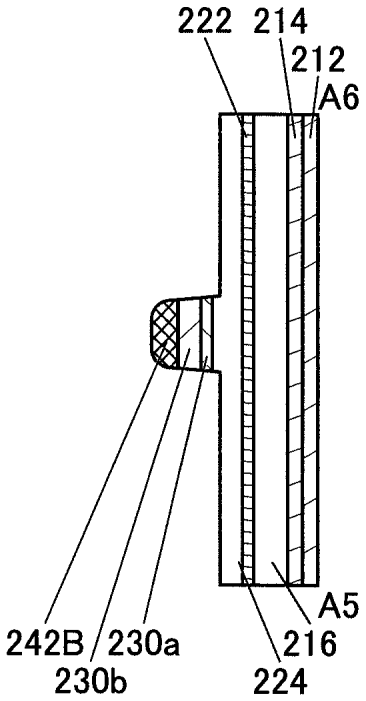
【圖 5A】


242B
224
222
216
214
212
A1
A2
205b
205a
205
230b
230a

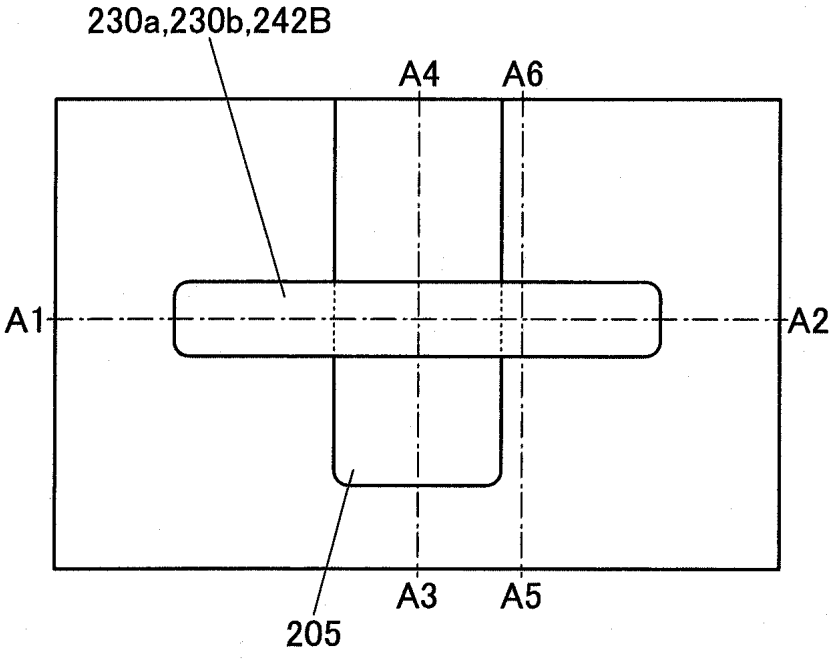
【圖 5B】


205
222
214
A4
242B
230b
230a
A3
216
224

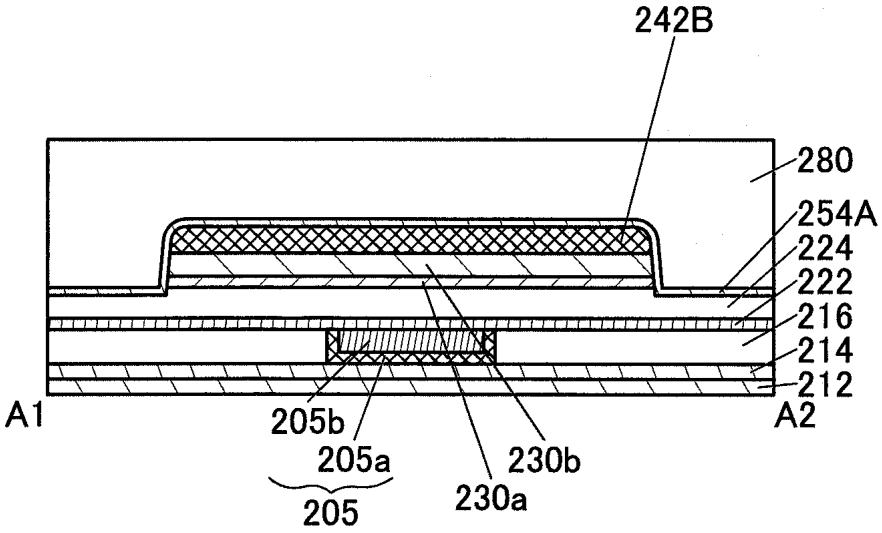
【圖 5C】


222
214
212
A6
A5
242B
230b
230a
216
224

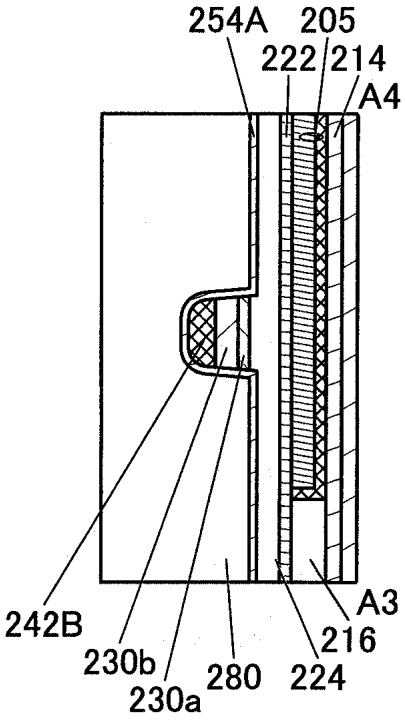
【圖 5D】


230a,230b,242B
A4
A6
A1
A2
A3
A5
205

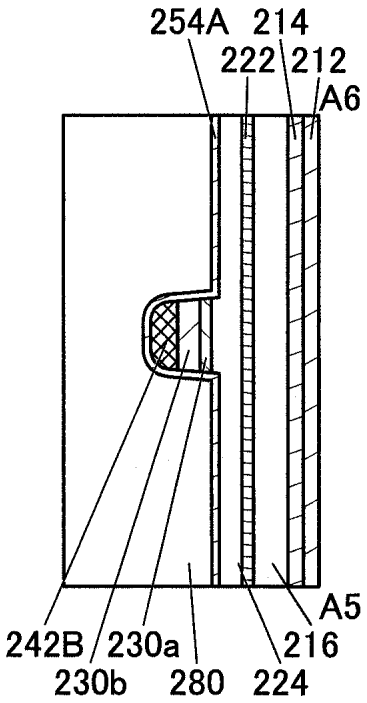
【圖 6A】


242B
280
254A
224
222
216
214
212
A1
A2
205b
205a
205
230b
230a

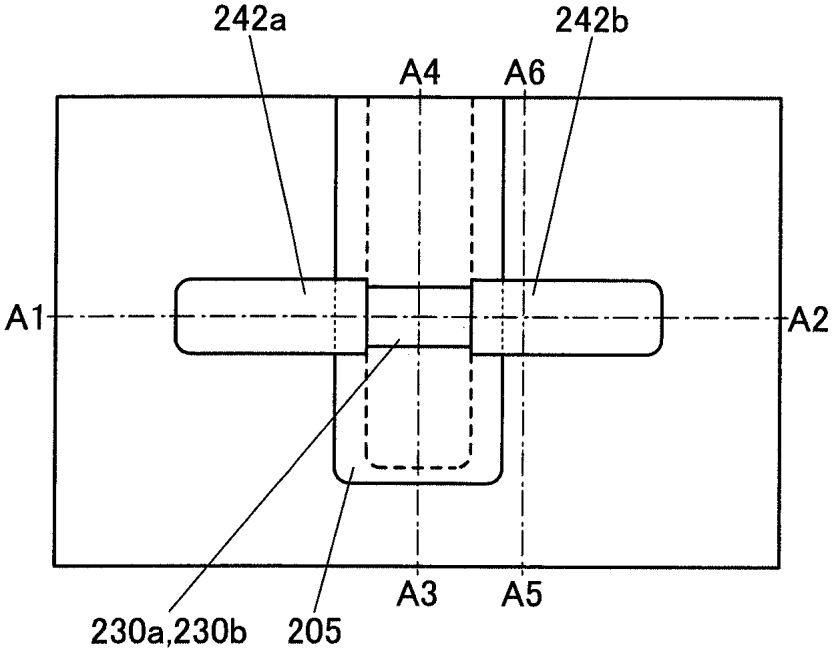
【圖 6B】


254A
205
222
214
A4
242B
230b
230a
280
224
216
A3

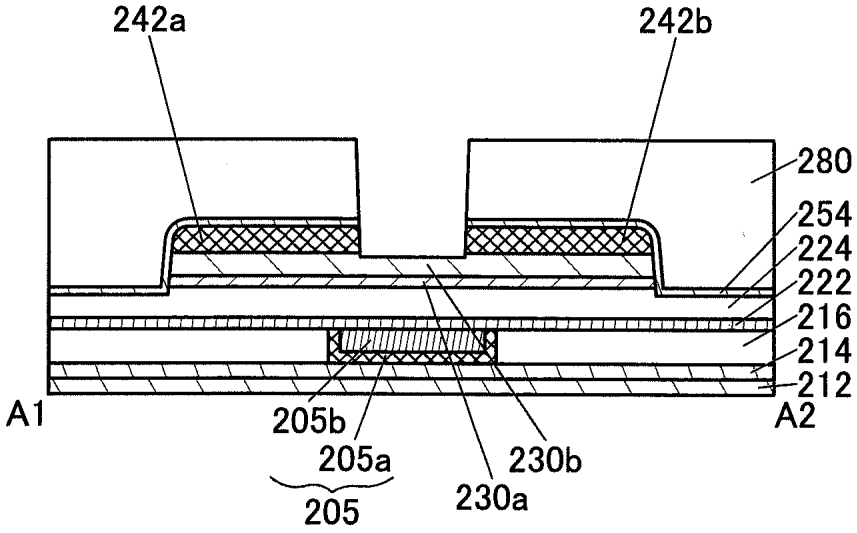
【圖 6C】


254A
214
222
212
A6
A5
242B
230a
230b
280
224
216

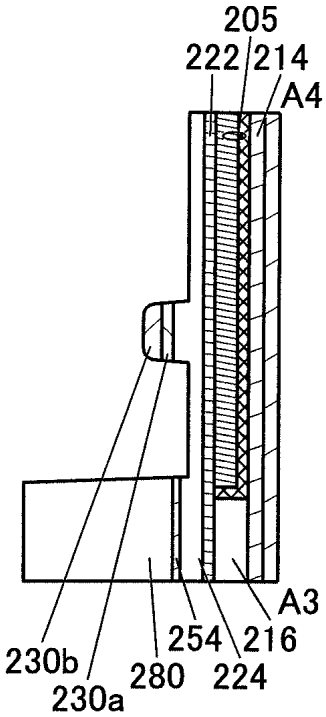
【圖 6D】


242a
242b
A4
A6
A1
A2
A3
A5
230a,230b
205

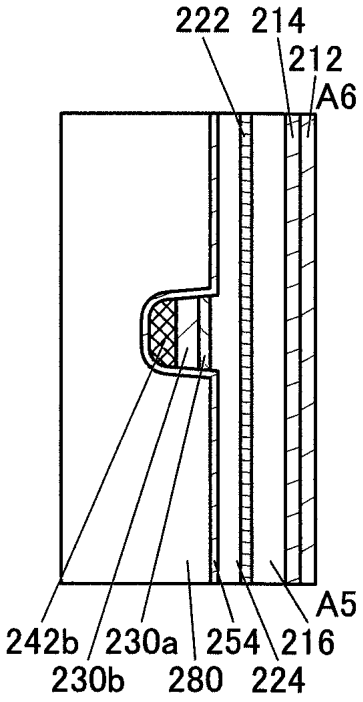
【圖 7A】


242a
242b
280
254
224
222
216
214
212
A1
A2
205b
205a
205
230b
230a

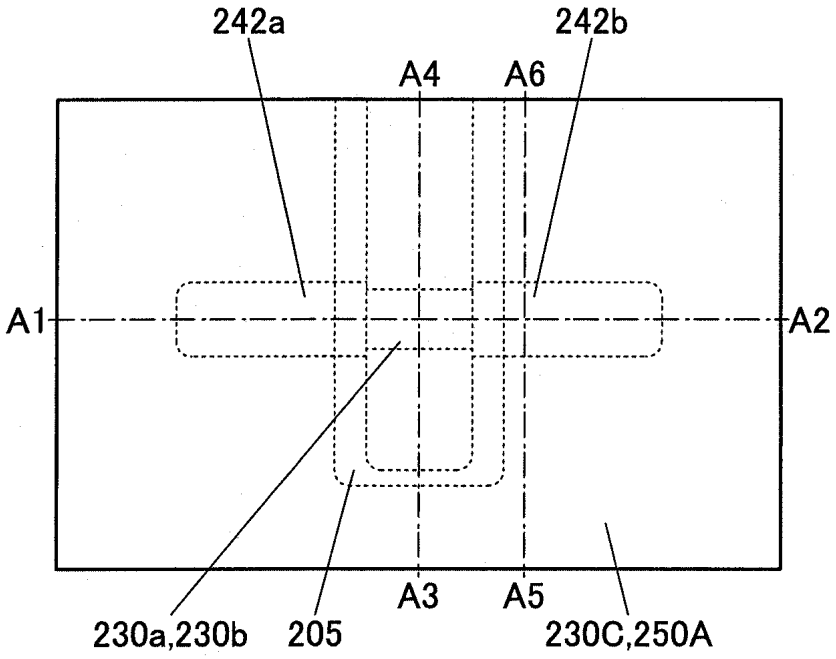
【圖 7B】


205
222
214
A4
A3
230b
230a
280
254
216
224

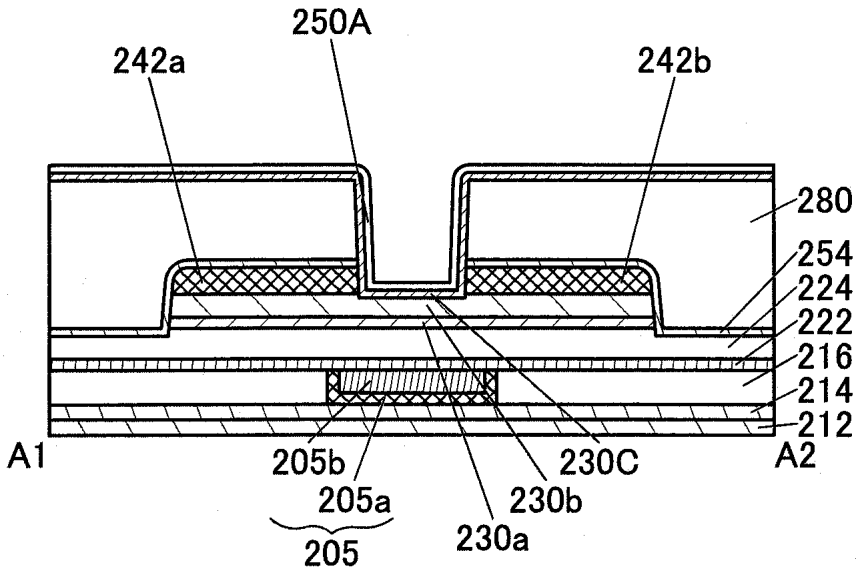
【圖 7C】


222
214
212
A6
A5
242b
230a
254
216
230b
280
224

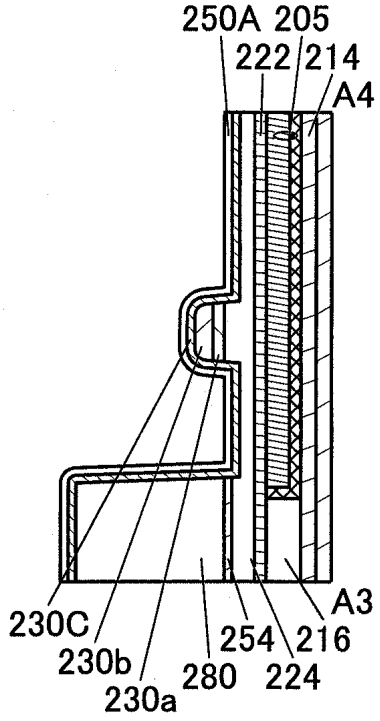
【圖 7D】


242a
242b
A4
A6
A1
A2
A3
A5
230a,230b
205
230C,250A

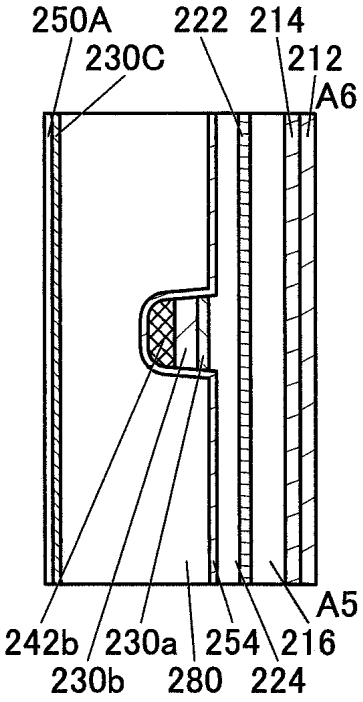
【圖 8A】


250A
242a
242b
280
254
224
222
216
214
212
A1
A2
205b
205a
205
230C
230b
230a

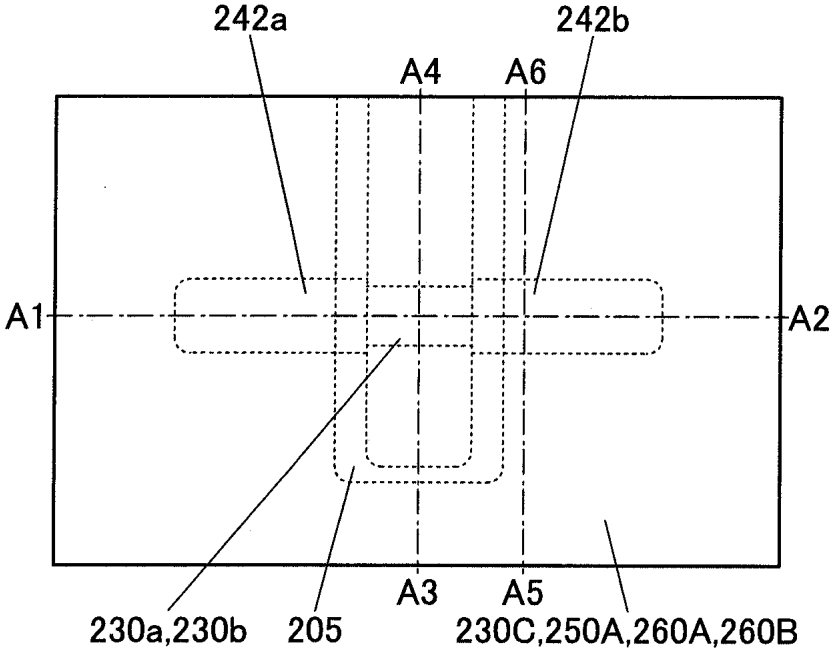
【圖 8B】


250A
205
222
214
A4
A3
230C
230b
230a
280
254
216
224

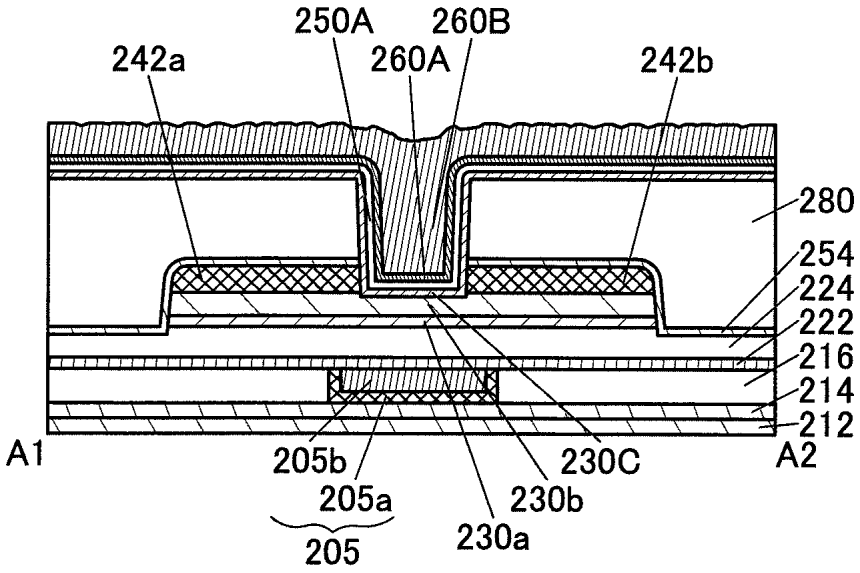
【圖 8C】


250A
230C
222
214
212
A6
A5
242b
230b
230a
280
254
224
216

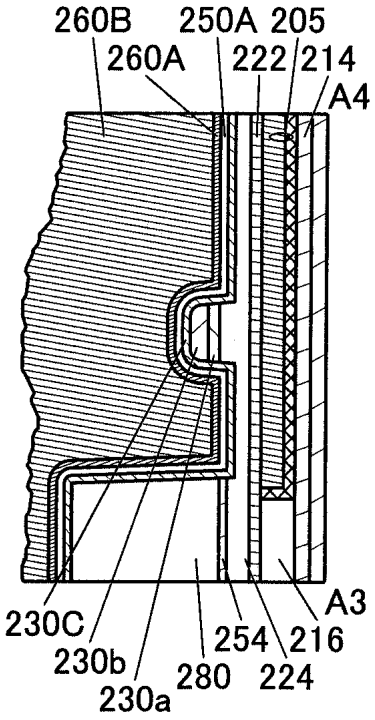
【圖 8D】


242a
242b
A4
A6
A1
A2
A3
A5
230a,230b
205
230C,250A,260A,260B

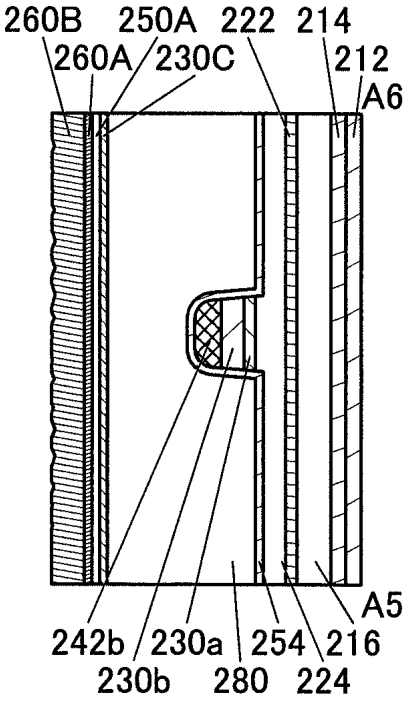
【圖 9A】


250A
260B
242a
260A
242b
280
254
224
222
216
214
212
A1
A2
205b
230C
205a
230b
230a
205

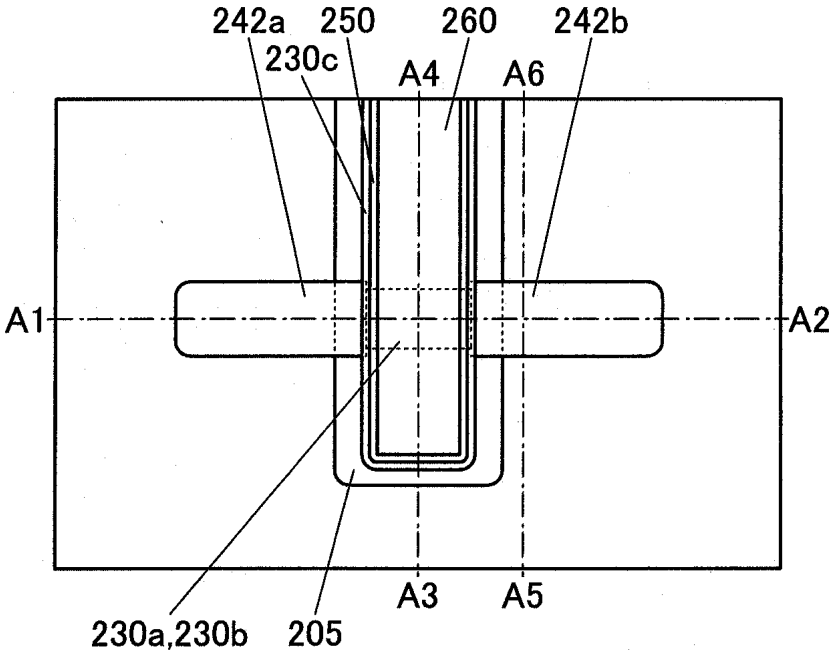
【圖 9B】


260B
250A
205
260A
222
214
A4
A3
230C
254
216
230b
280
224
230a

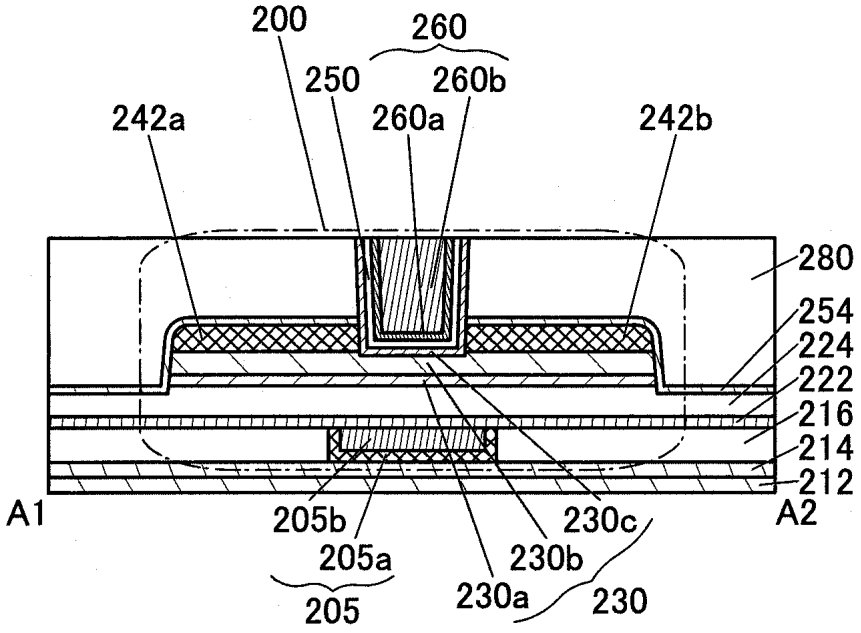
【圖 9C】


260B
250A
222
214
260A
230C
212
A6
A5
242b
230a
254
216
230b
280
224

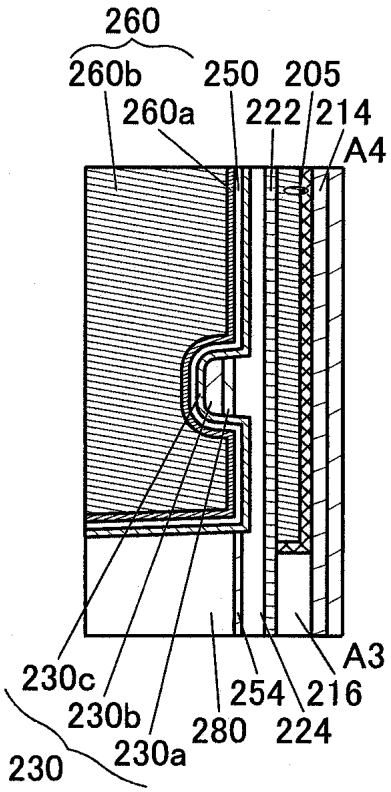
【圖 9D】


242a
250
260
242b
230c
A4
A6
A1
A2
A3
A5
230a,230b
205

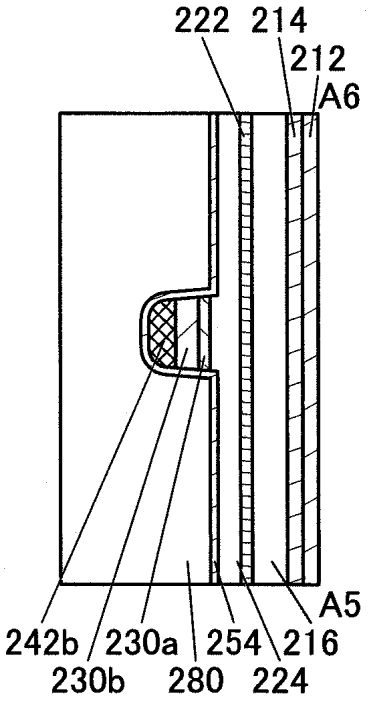
【圖 10A】


200
260
250
260b
242a
260a
242b
280
254
224
222
216
214
212
A1
A2
205b
205a
205
230c
230b
230a
230

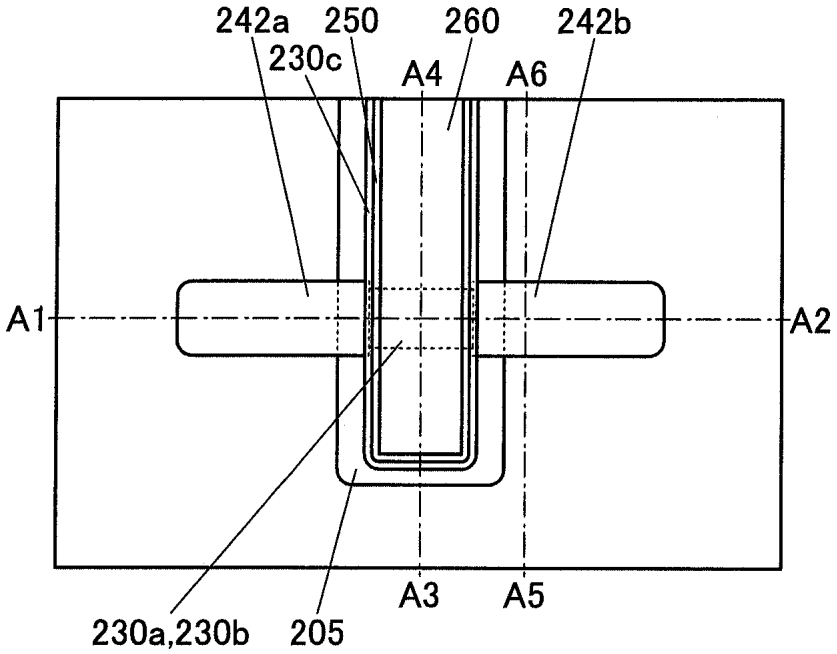
【圖 10B】


260
260b
250
205
260a
222
214
A4
A3
230c
230b
230a
230
254
216
280
224

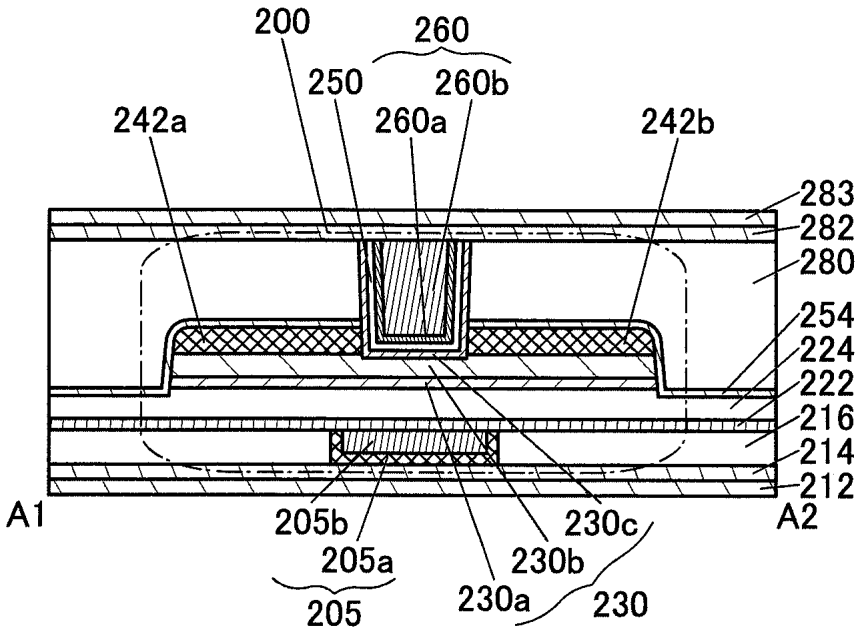
【圖 10C】


222
214
212
A6
A5
242b
230b
230a
280
254
224
216

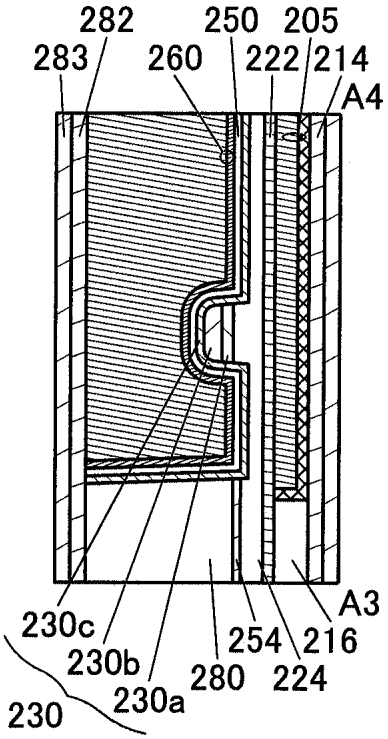
【圖 10D】


242a
250
230c
260
A4
A6
242b
A1
A2
A3
A5
230a,230b
205

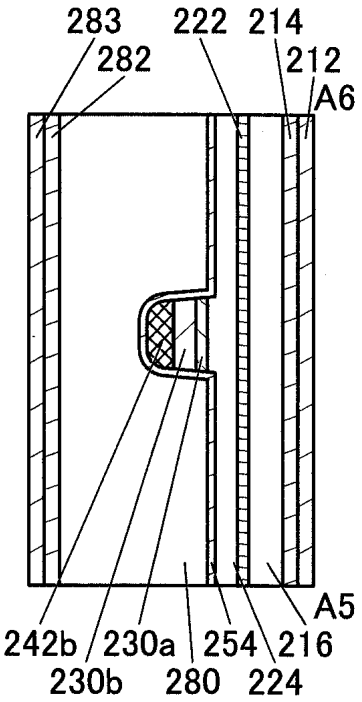
【圖 11A】


200
260
250
260b
242a
260a
242b
283
282
280
254
224
222
216
214
212
A1
A2
205b
205a
205
230c
230b
230a
230

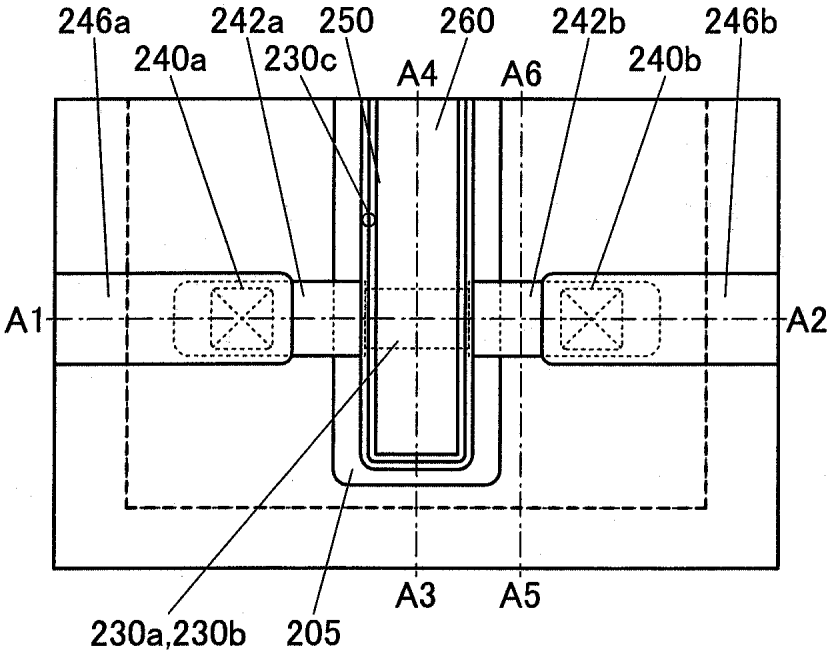
【圖 11B】


282
250
205
283
260
222
214
A4
A3
230c
230b
230a
230
280
254
216
224

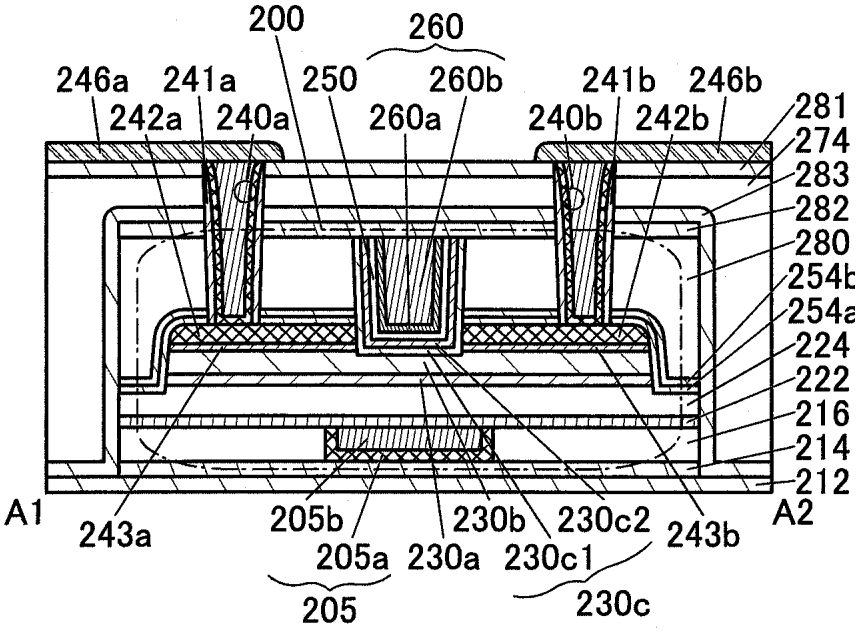
【圖 11C】


283
282
222
214
212
A6
A5
242b
230b
230a
280
254
224
216

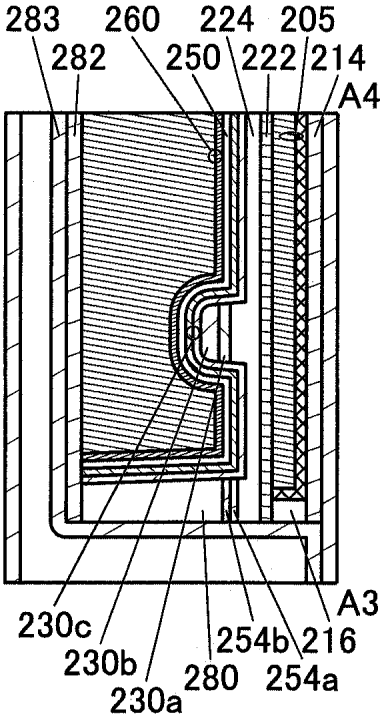
【圖 11D】


246a
240a
242a
230c
250
A4
260
A6
242b
240b
246b
A1
A2
A3
A5
230a,230b
205

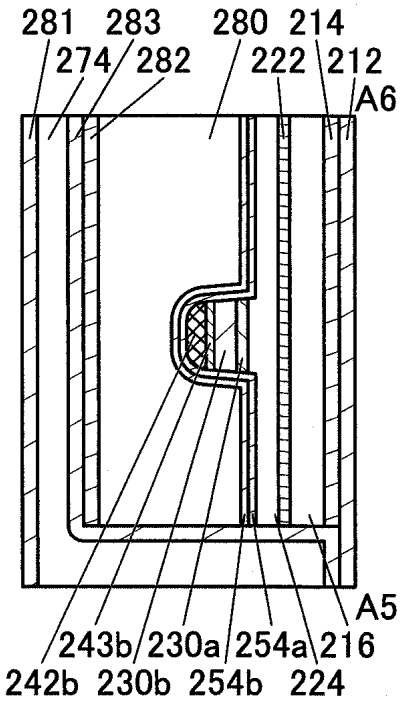
【圖 12A】


200
260
246a
241a
250
260b
241b
246b
242a
240a
260a
240b
242b
281
274
283
282
280
254b
254a
224
222
216
214
212
A1
243a
205b
230b
230c2
243b
A2
205a
230a
230c1
205
230c

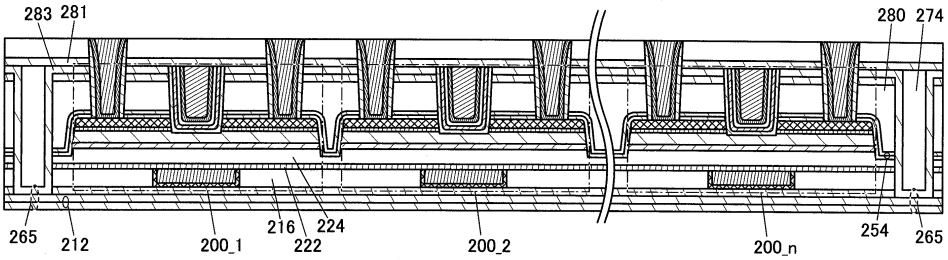
【圖 12B】


283
260
224
205
282
250
222
214
A4
A3
230c
230b
230a
280
254b
216
254a

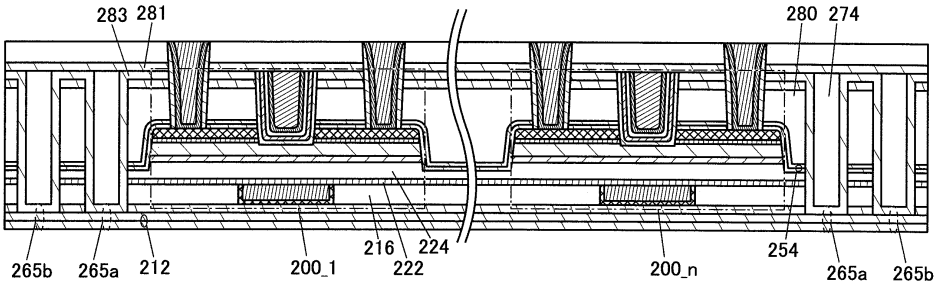
【圖 12C】



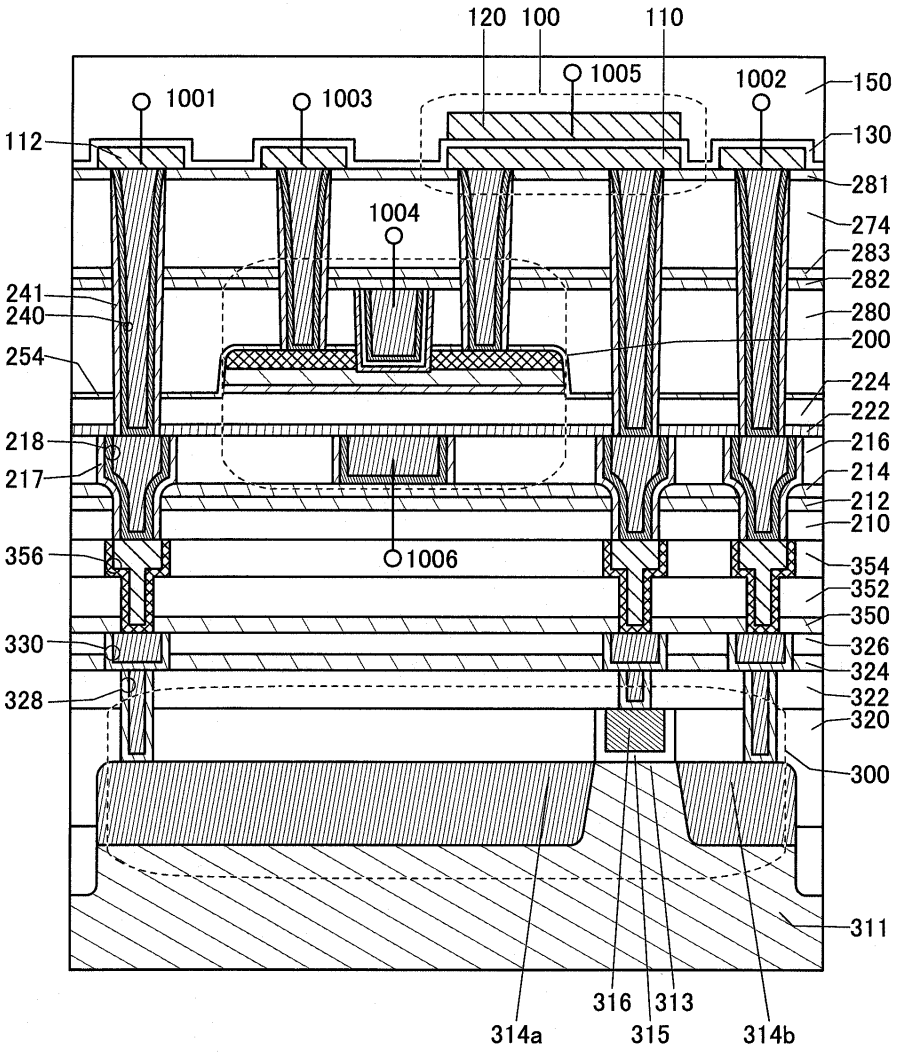
【圖 12D】



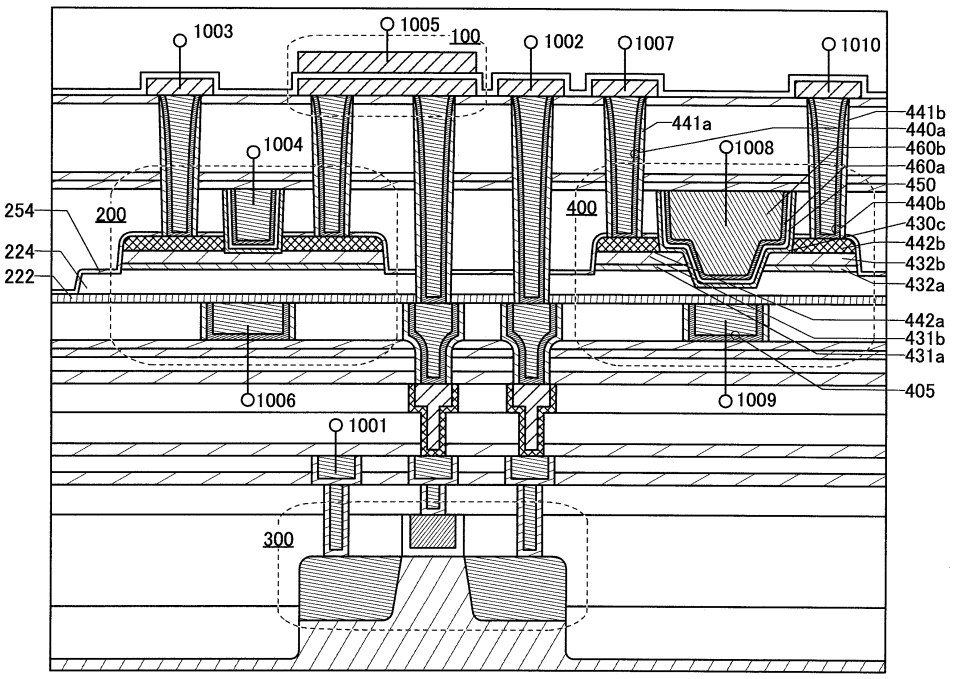
【圖 13A】



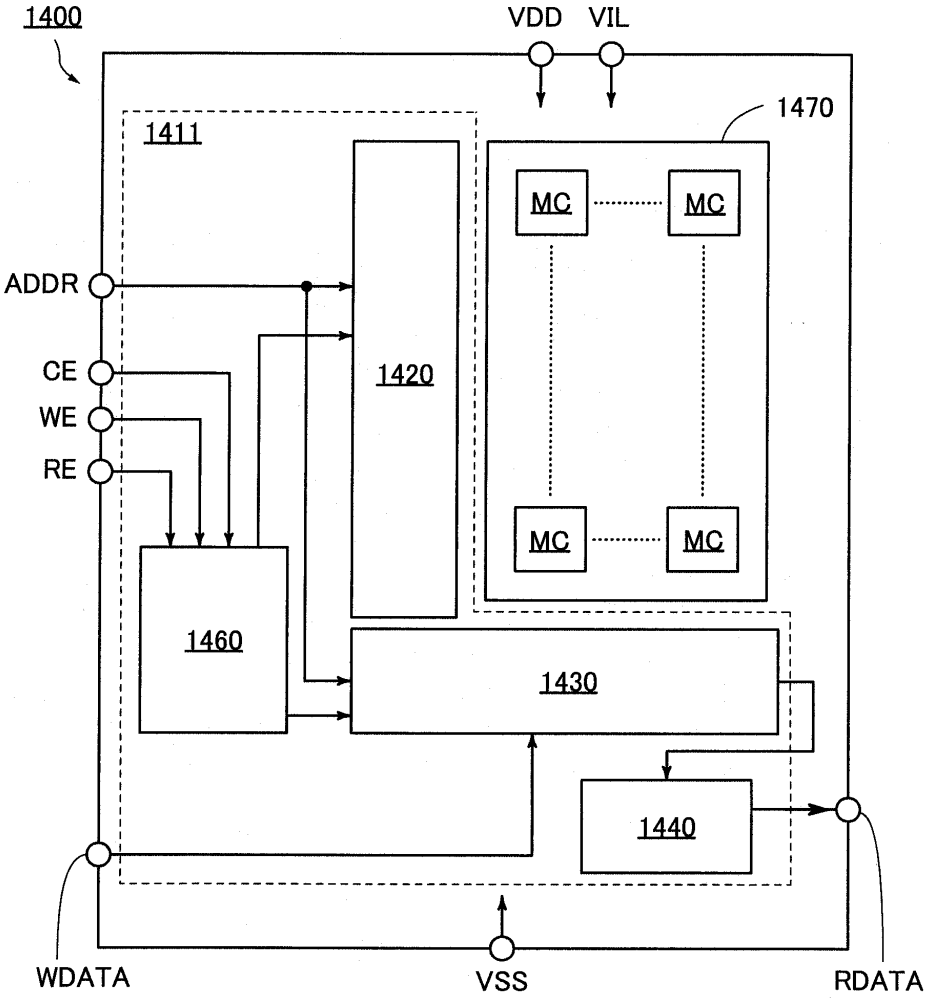
【圖 13B】


120
100
110
1005
1001
1003
1002
150
112
130
281
1004
274
283
241
282
240
280
254
200
224
222
218
216
217
214
212
210
356
1006
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

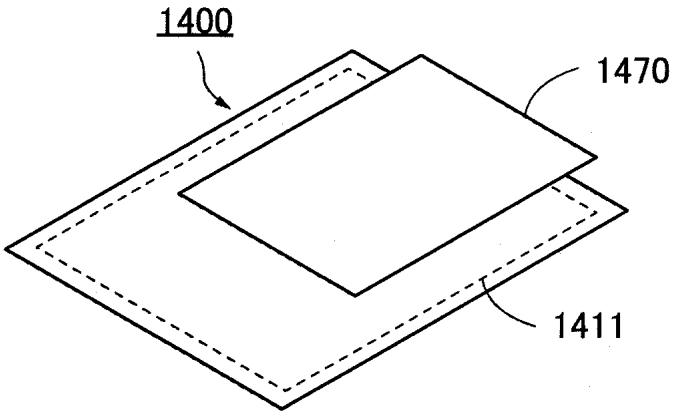
【圖 14】


1003
1005
100
1002
1007
1010
441b
441a
440a
1004
1008
460b
460a
450
254
200
400
440b
430c
224
442b
222
432b
432a
442a
431b
431a
405
1006
1009
1001
300

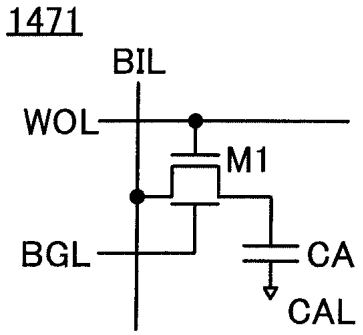
【圖 15】


1400
VDD
VIL
1470
1411
MC
MC
ADDR
1420
CE
WE
RE
MC
MC
1460
1430
1440
WDATA
VSS
RDATA

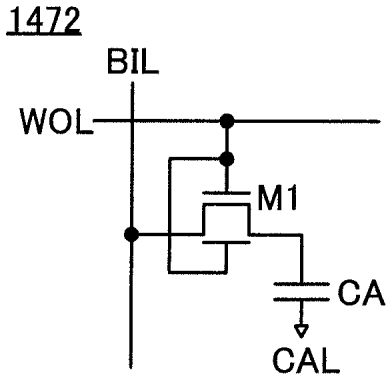
【圖 16A】



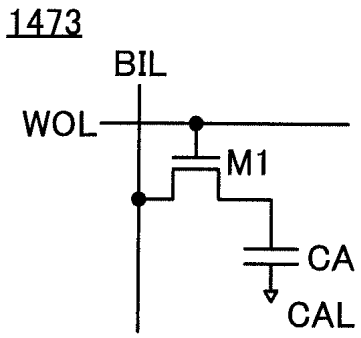
【圖 16B】



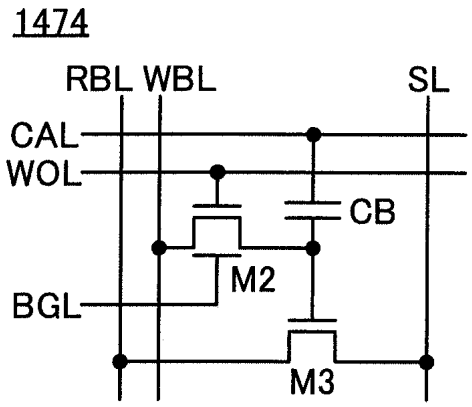
【圖 17A】



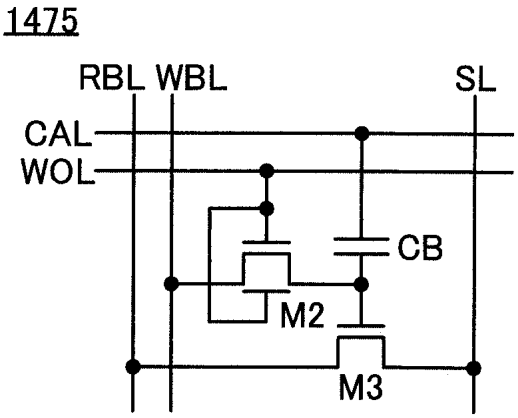
【圖 17B】



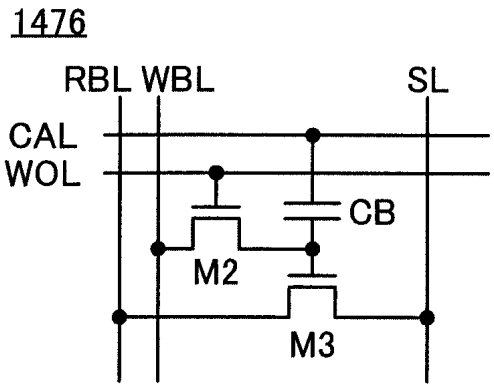
【圖 17C】



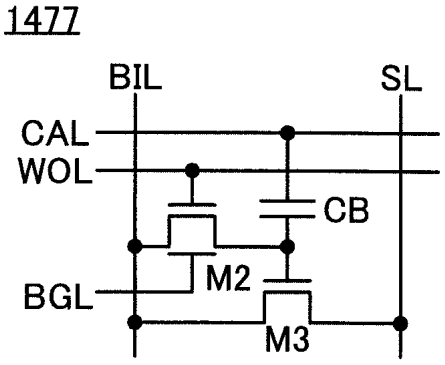
【圖 17D】



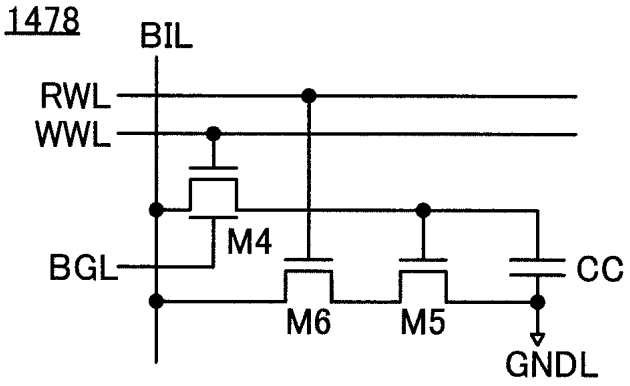
【圖 17E】



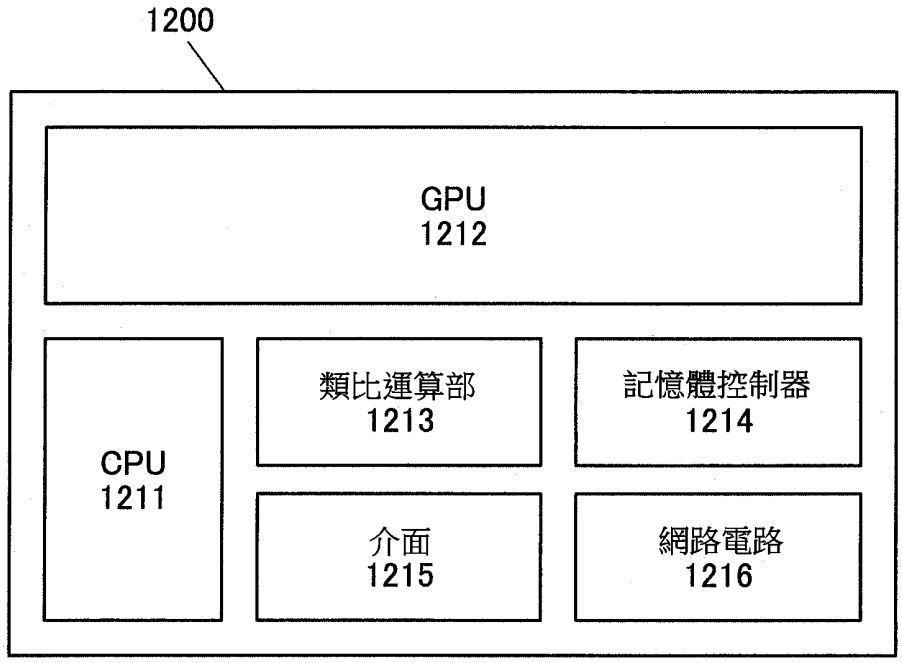
【圖 17F】



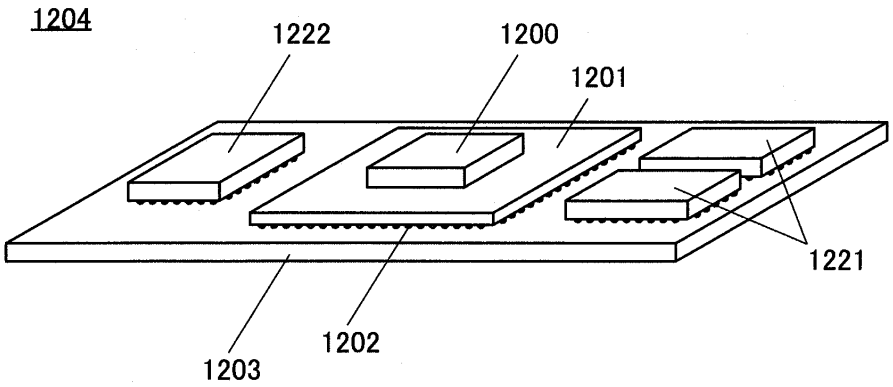
【圖 17G】



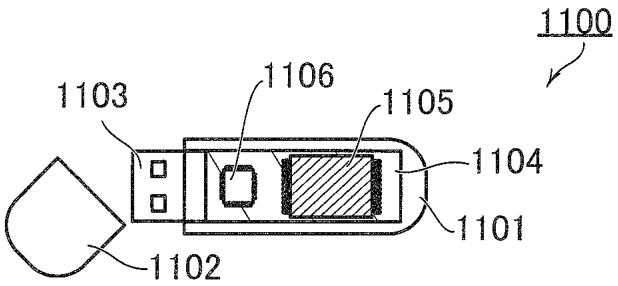
【圖 17H】



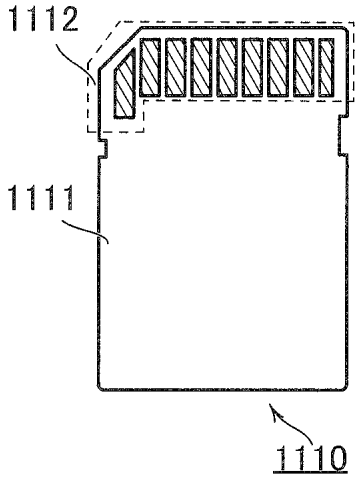
【圖 18A】



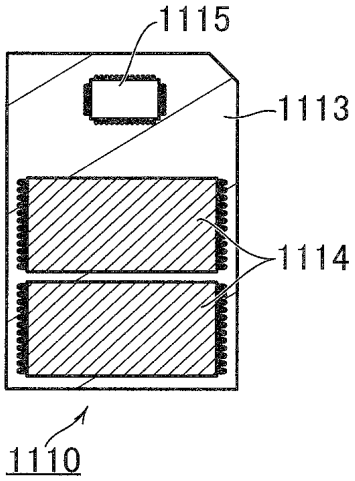
【圖 18B】



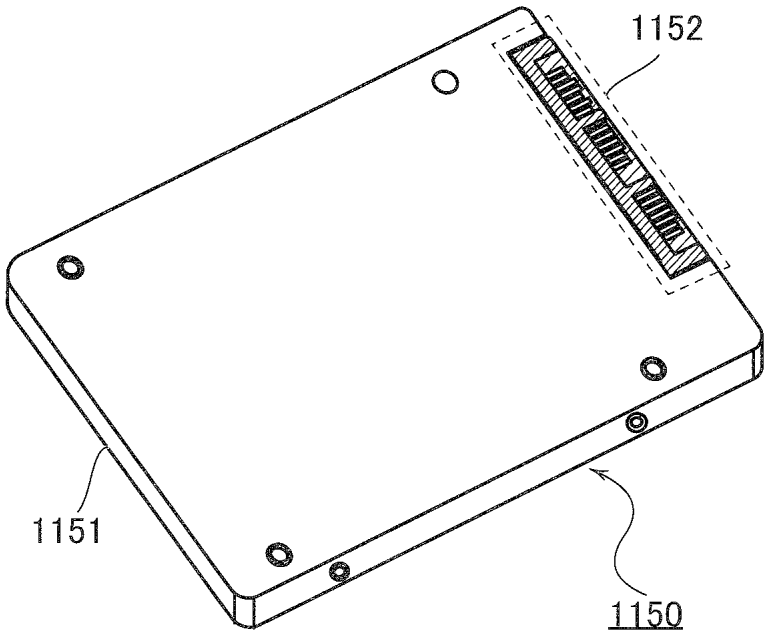
【圖 19A】



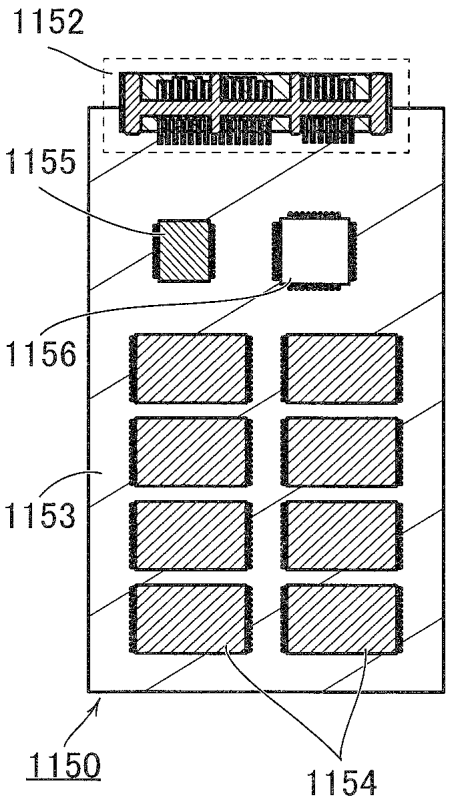
【圖 19B】



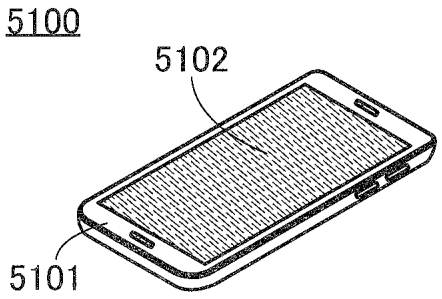
【圖 19C】



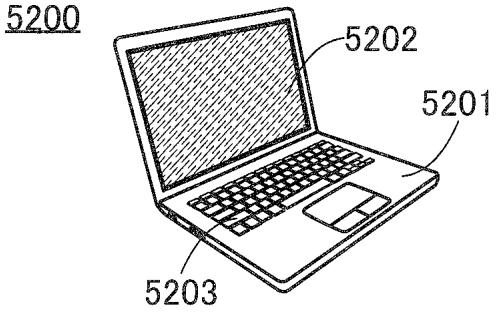
【圖 19D】



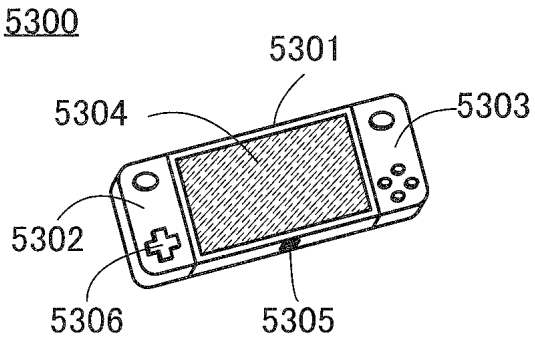
【圖 19E】



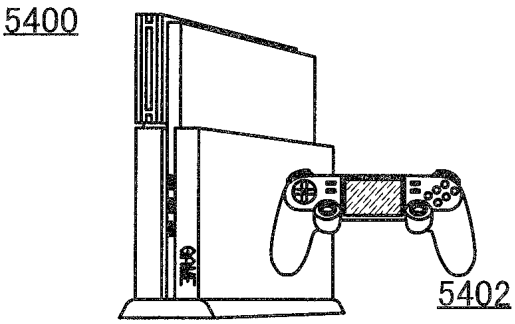
【圖 20A】



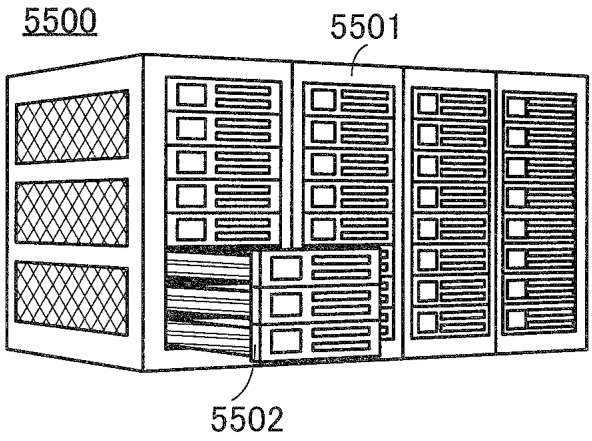
【圖 20B】



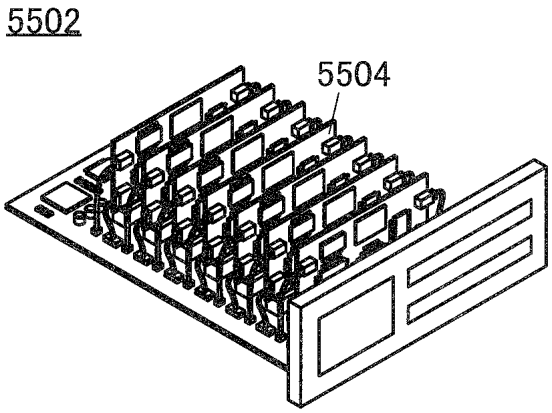
【圖 20C】



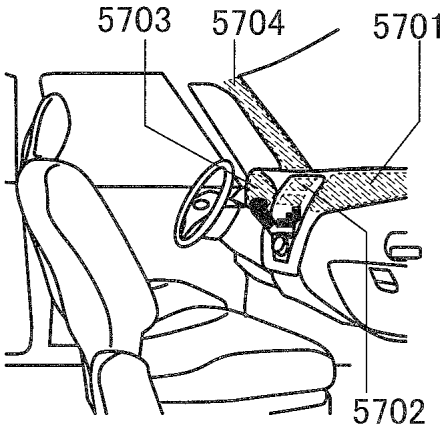
【圖 20D】



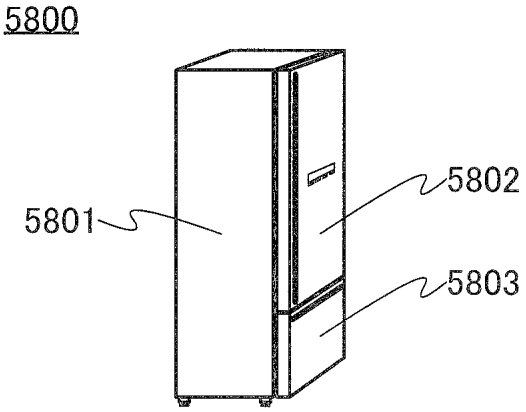
【圖 20E】



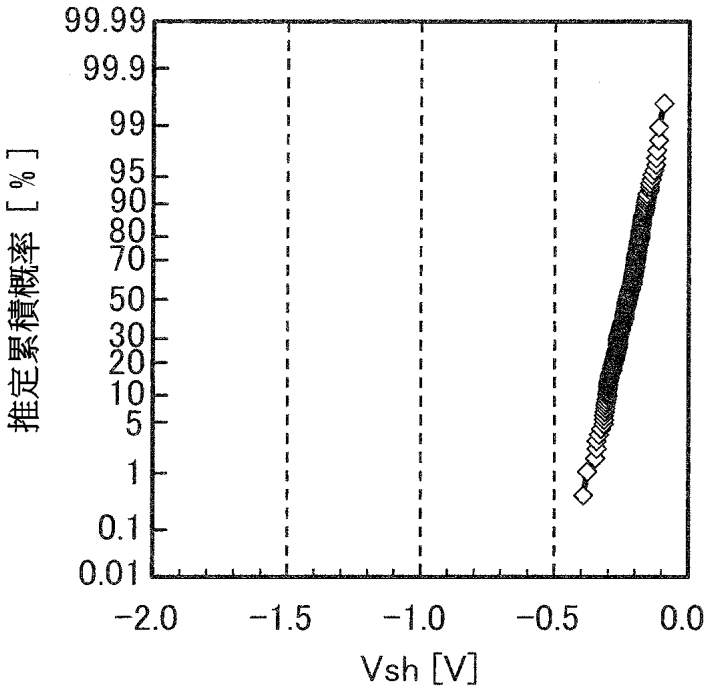
【圖 20F】



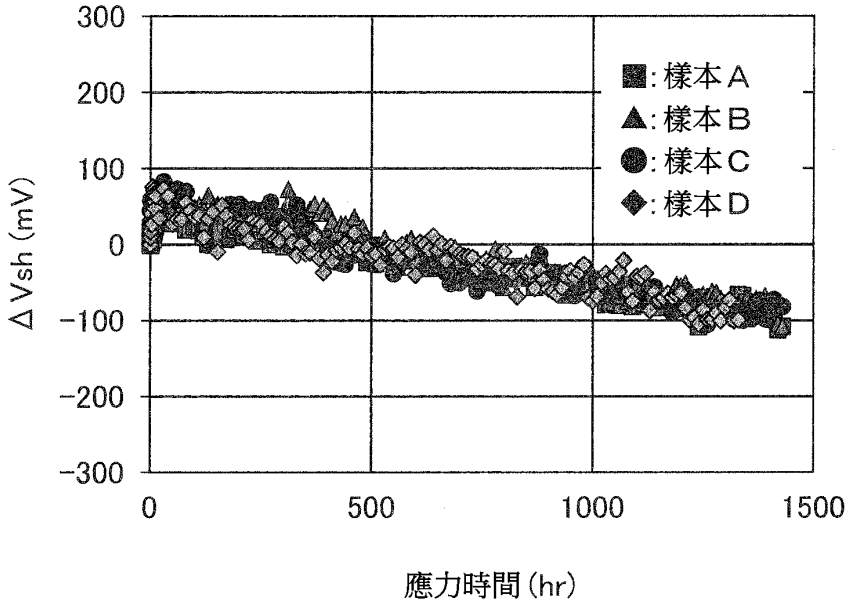
【圖 20G】


5800
5801
5802
5803

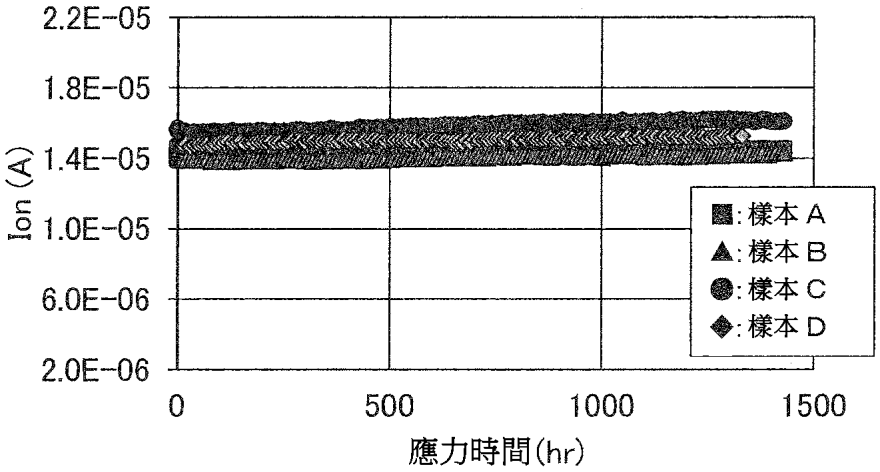
【圖 20H】


99.99
99.9
99
95
90
80
70
50
30
20
10
5
1
0.1
0.01
推定累積機率 [%]
−2.0
−1.5
−1.0
−0.5
0.0
Vsh [V]

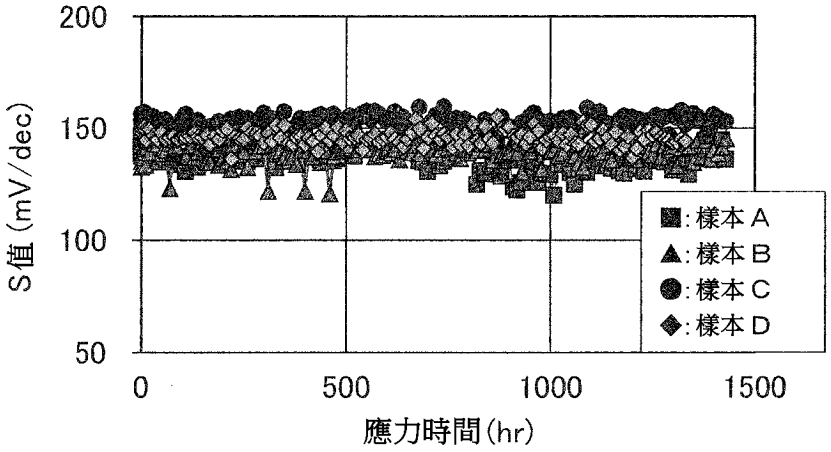
【圖 21】


300
200
100
0
-100
-200
-300
ΔVsh (mV)
0
500
1000
1500
應力時間(hr)
■:樣本A
▲:樣本B
●:樣本C
◆:樣本D

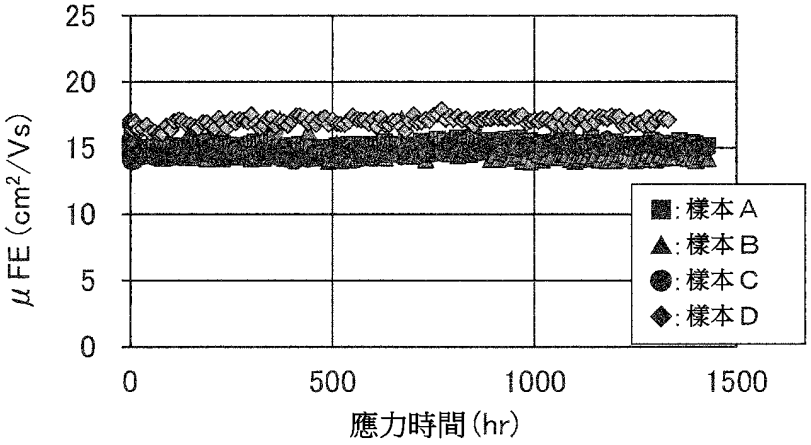
【圖 22】


2.2E-05
1.8E-05
1.4E-05
1.0E-05
6.0E-06
2.0E-06
Ion (A)
0
500
1000
1500
應力時間(hr)
■:樣本A
▲:樣本B
●:樣本C
◆:樣本D

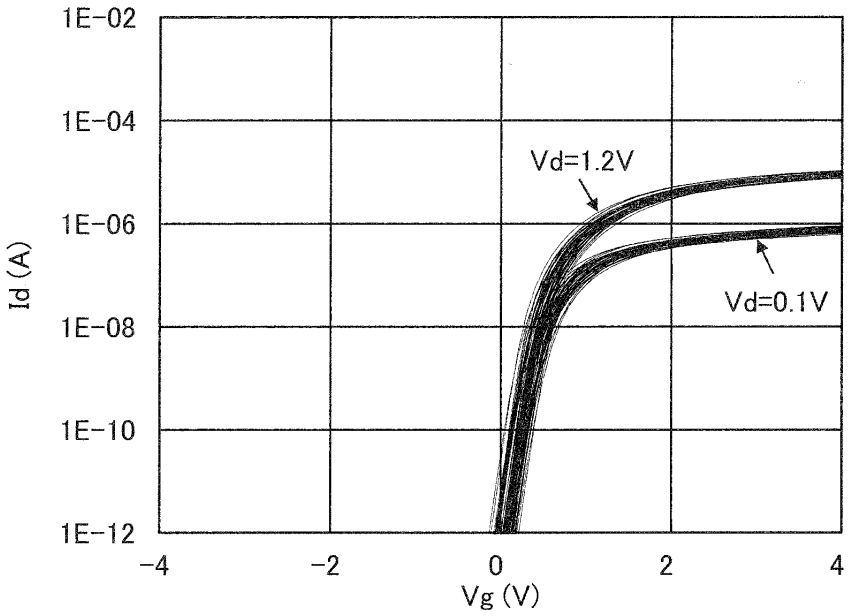
【圖 23A】


200
150
100
50
S值 (mV/dec)
0
500
1000
1500
應力時間(hr)
■: 樣本A
▲: 樣本B
●: 樣本C
◆: 樣本D

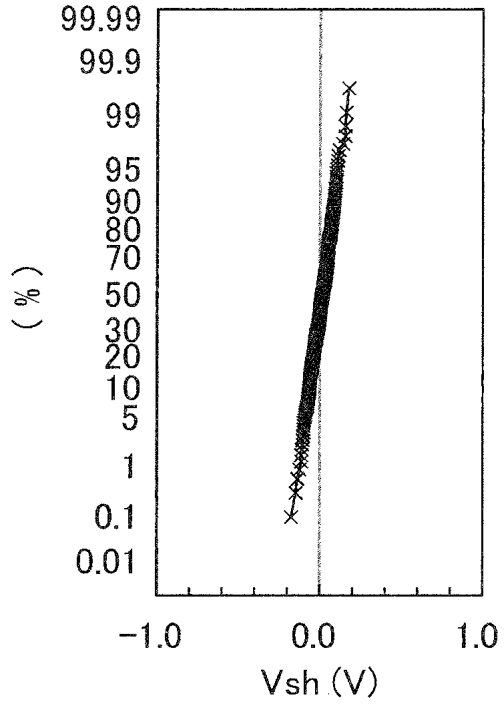
【圖 23B】


25
20
15
10
5
0
μFE (cm²/Vs)
0
500
1000
1500
應力時間(hr)
■: 樣本A
▲: 樣本B
●: 樣本C
◆: 樣本D

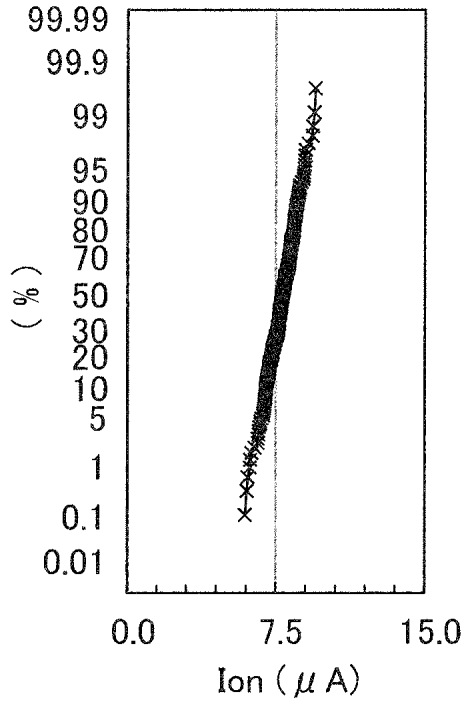
【圖 23C】


1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
Id (A)
Vd=1.2V
Vd=0.1V
−4
−2
0
2
4
Vg (V)

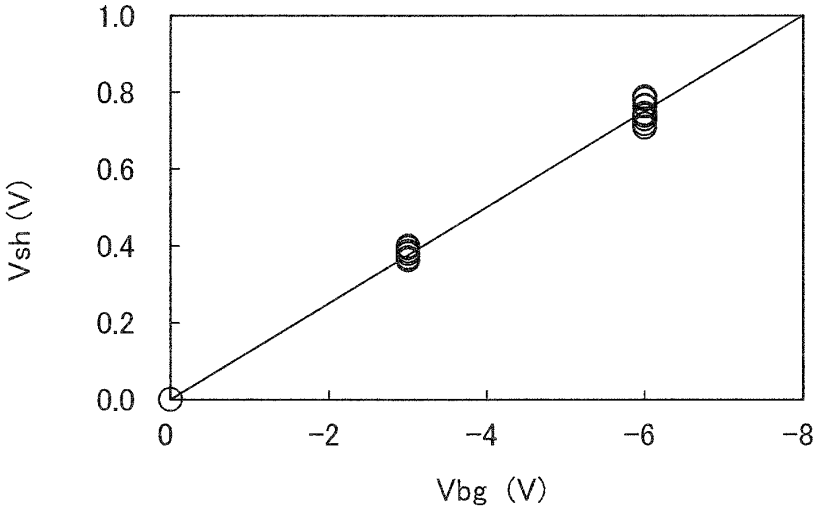
【圖 24】


99.99
99.9
99
95
90
80
70
50
30
20
10
5
1
0.1
0.01
(%)
−1.0
0.0
1.0
Vsh (V)

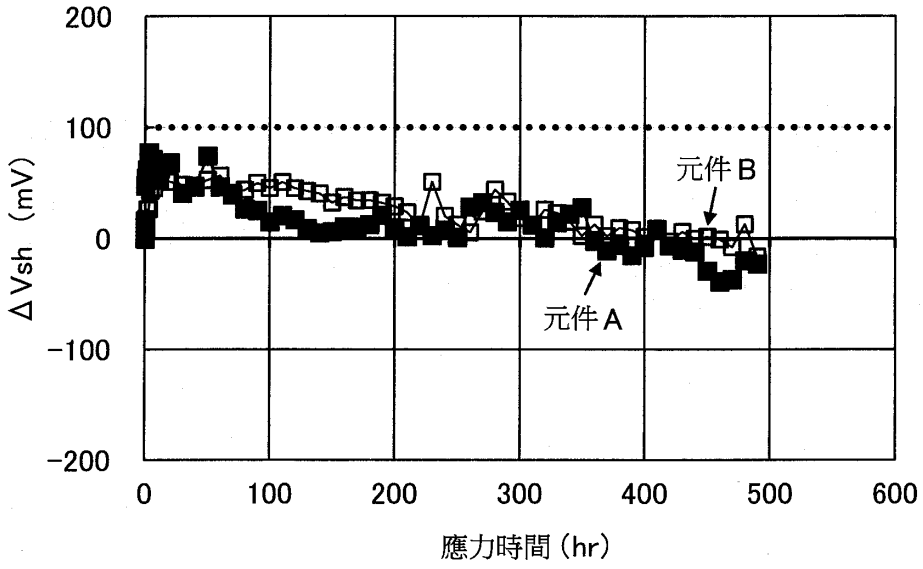
【圖 25A】


99.99
99.9
99
95
90
80
70
50
30
20
10
5
1
0.1
0.01
(%)
0.0
7.5
15.0
Ion (μ A)

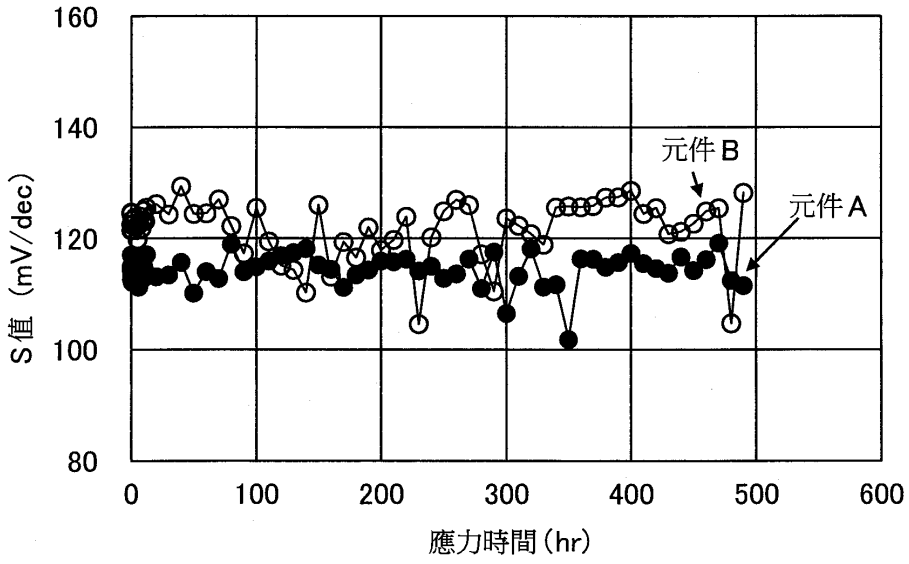
【圖 25B】


1.0
0.8
0.6
0.4
0.2
0.0
Vsh (V)
0
−2
−4
−6
−8
Vbg (V)

【圖 25C】


200
100
0
−100
−200
ΔVsh（mV）
元件B
元件A
0
100
200
300
400
500
600
應力時間（hr）

【圖 26A】


160
140
120
100
80
S值（mV/dec）
元件B
元件A
0
100
200
300
400
500
600
應力時間（hr）

【圖 26B】