【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I940993
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10D30/01 (2025.01)*　*H10D62/10 (2025.01)*
H10D84/01 (2026.01)　*H10D84/03 (2025.01)*
H10D84/85 (2025.01)

發明　　全 32 頁

【54】名　　稱：半導體裝置及其形成方法

【21】申請案號：113146412　【22】申請日： 中華民國 113 (2024) 年 11 月 29 日
【11】公開編號：202539407　【43】公開日期： 中華民國 114 (2025) 年 10 月 01 日
【30】優 先 權： 2023/12/15　美國　63/610,457
2024/05/13　美國　18/662,657

【72】發 明 人： 劉鎮瑋 (TW) LIU, CHENG-WEI；蔡濟印 (TW) TSAI, JI-YIN；游明華 (TW) YU, MING-HUA
【71】申 請 人： 台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.
新竹市新竹科學工業園區力行六路八號
【74】代 理 人： 李世章；秦建譜

【56】參考文獻：
TW　I777363B　　TW　I824237B

審查人員：陳志遠

【57】申請專利範圍

1. 一種形成半導體裝置之方法，包含：
在一第一鰭片中形成多個源極及汲極第一溝槽，其中該第一鰭片包含彼此交替形成於其上的複數個第一奈米結構與複數個第二奈米結構，其中該第一鰭片形成於一半導體基板上方；
在形成於該半導體基板上方的一第二鰭片中形成多個源極及汲極第二溝槽，其中該第二鰭片包含彼此交替形成於其上的複數個第一奈米結構與複數個第二奈米結構；
在該些第二奈米結構之多個側壁上形成多個內部間隔物；
在源極及汲極第一溝槽之多個底部部分處沉積一第一半導體層，其中該第一半導體層延伸至一最底奈米結構；
在該些源極及汲極第一溝槽中在該些第一奈米結構之多個側壁上方形成多個側壁鈍化層；
在該些源極及汲極第一溝槽中在該第一半導體層上方沉積一第二半導體層，其中該第二半導體層覆蓋該些源極及汲極第一溝槽之多個側壁處的一第一奈米結構中之該些側壁鈍化層；
在源極及汲極第二溝槽之多個底部部分處沉積一第三半導體層，其中該第三半導體層延伸至一最底奈米結構；
在該些源極及汲極第二溝槽中在該些第一奈米結構之該些側壁上方形成多個側壁鈍化層；及
在該些源極及汲極第二溝槽中在該第三半導體層上方沉積一第四半導體層，其中該第四半導體層覆蓋該些源極及汲極第二溝槽之多個側壁處的零個或零個以上第一奈米結構中之該些側壁鈍化層。

2. 如請求項 1 所述之方法，其中在該第一半導體層上方形成一頂部鈍化層，該方法更包含：
在沉積該第二半導體層之前，自該第一半導體層上方移除該頂部鈍化層。
3. 如請求項 1 所述之方法，其中該些側壁鈍化層包含結晶氮化矽。
4. 一種形成半導體裝置之方法，包含：
在一第一半導體鰭片中形成一源極/汲極第一溝槽，其中該第一半導體鰭片包含彼此交替形成於其上的複數個第一奈米結構與複數個第二奈米結構；
在一第二半導體鰭片中形成一源極/汲極第二溝槽，其中該第二半導體鰭片包含彼此交替形成於其上的複數個第一奈米結構與複數個第二奈米結構；
在該源極/汲極第一溝槽之一底部部分處沉積一第一 SiGe 層，其中該第一 SiGe 層延伸至一最底奈米結構；
在該源極/汲極第一溝槽中在該些第一奈米結構之多個側壁上方形成多個側壁鈍化層；
在該源極/汲極第一溝槽中在該第一 SiGe 層上方沉積一第二 SiGe 層，其中該第二 SiGe 層覆蓋該源極/汲極第一溝槽之多個側壁處的一或多個第一奈米結構之該些側壁鈍化層；
在該源極/汲極第二溝槽之一底部部分處沉積一第三 SiGe 層，其中該第三 SiGe 層延伸至一最底奈米結構；
在該源極/汲極第二溝槽中在該些第一奈米結構之多個側壁上方形成多個側壁鈍化層；以及
在該源極/汲極第二溝槽中在該第三 SiGe 層上方沉積一第四 SiGe 層，其中該第四 SiGe 層覆蓋該源極/汲極第二溝槽之多個側壁處的零個或零個以上第一奈米結構中之該些側壁鈍化層。
5. 如請求項 4 所述之方法，其中在該第一 SiGe 層上方形成一頂部鈍化層，該方法更包含：
在沉積該第二 SiGe 層之前，自該第一 SiGe 層上方移除該頂部鈍化層。
6. 如請求項 4 所述之方法，其中在沉積該第一 SiGe 層之前，在該源極/汲極第一溝槽中的該些第二奈米結構之多個側壁上形成多個內部間隔物。
7. 如請求項 4 所述之方法，更包含：
將氮電漿、矽電漿、碳電漿、或氧電漿中之一者引導至該源極/汲極第一溝槽中的該些第一奈米結構之該些側壁以形成該些側壁鈍化層，其中該些側壁鈍化層在 300 攝氏度與 700 攝氏度之間的一溫度下形成。
8. 一種半導體裝置，包含：
一第一半導體鰭片，在一半導體基板上方，其中該第一半導體鰭片包含複數個第一奈米結構；
一第二半導體鰭片，包含複數個第二奈米結構；
一閘電極，其圍繞該些第一奈米結構中之各者；
多個第一源極及汲極區，分別在該第一半導體鰭片的多個源極及汲極第一溝槽中，其中該些第一源極及汲極區中之各者包含：
一第一半導體層，位於該些源極及汲極第一溝槽之一者的底部部分；
一第二半導體層，位於該第一半導體層上，其中該第二半導體層覆蓋該些第一奈米結構中之至少一者；
多個第一側壁鈍化層，在該些第一奈米結構中之該至少一者之多個側壁上，其中該些第一側壁鈍化層在該第二半導體層與該些第一奈米結構中之該至少一者之間；
多個第二源極及汲極區，分別在該第二半導體鰭片的多個源極及汲極第二溝槽中，其中該些第二源極及汲極區中之各者包含：

一第三半導體層，位於該些源極及汲極第二溝槽之一者的底部部分；

多個第二側壁鈍化層，在該些第二奈米結構中之至少一者之多個側壁上；以及

一第四半導體層，位於該第三半導體層上，其中該第四半導體層覆蓋該些源極及汲極第二溝槽之多個側壁處的零個或零個以上第二奈米結構中之該些第二側壁鈍化層。

9. 如請求項 8 所述之半導體裝置，其中該些第一奈米結構包含最多 6 個第一奈米結構，且其中最多 2 個第一奈米結構包括該些側壁鈍化層並由該第一半導體層覆蓋。

10. 如請求項 8 所述之半導體裝置，其中該第一半導體鰭片中之該些第一奈米結構係 n 型半導體，且該第二半導體鰭片中之該些第二奈米結構係 p 型半導體。

圖式簡單說明

本揭露的態樣在與隨附諸圖一起研讀時自以下詳細描述內容來最佳地理解。應注意，根據行業中的標準規範，各種特徵未按比例繪製。實際上，各種特徵的維度可為了論述清楚經任意地增大或減小。

第 1 圖繪示根據本揭露的一些實施例的以三維視圖的奈米結構場效電晶體(nano-FET)之實例。

第 2 圖、第 3 圖、第 4 圖、及第 5 圖係根據本揭露的一些實施例的製造 nano-FET 的中間階段之剖面 A-A'視圖(第 1 圖中所示)。

第 6A 圖及第 6B 圖係根據本揭露的一些實施例的製造 nano-FET 的中間階段之剖面 B-B'視圖(第 1 圖中所示)。

第 7A 圖、第 7B 圖、第 8A 圖、第 8B 圖、第 9A 圖、第 9B 圖、第 10A 圖、第 10B 圖、第 11A 圖、第 11B 圖、第 11C 圖、第 12A 圖、第 12B 圖、第 12C 圖、第 12D 圖、第 12E 圖、第 12F 圖、第 12G 圖、第 13A 圖、第 13B 圖、第 13C 圖、第 14A 圖、第 14B 圖、第 15A 圖、第 15B 圖、第 16A 圖、第 16B 圖、第 17A 圖、第 17B 圖、第 18A 圖、第 18B 圖、第 18C 圖、第 19A 圖、第 19B 圖、第 19C 圖、第 20A 圖、第 20B 圖、及第 20C 圖係根據本揭露的一些實施例的製造 nano-FET 的中間階段之剖面圖。

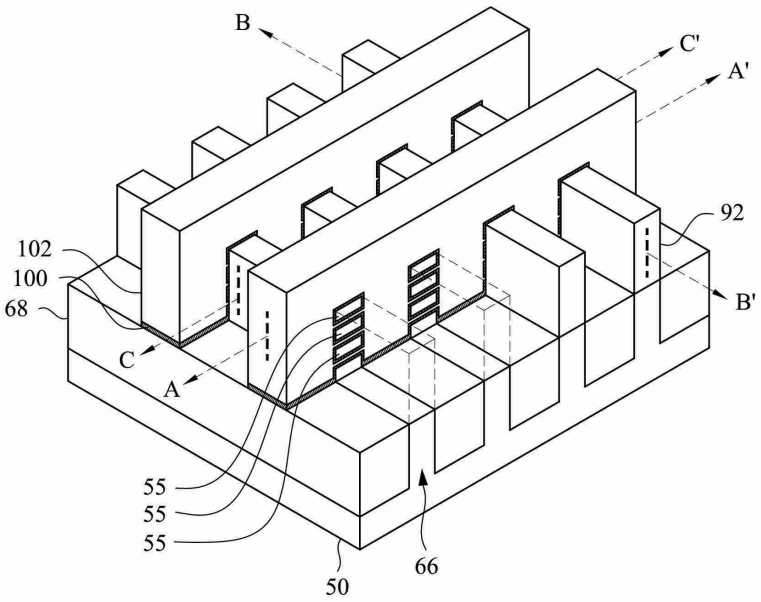
第 21A 圖、第 21B 圖、及第 21C 圖係根據本揭露的一些實施例的 nano-FET 之剖面圖。

第 22A 圖及第 22B 圖係根據本揭露的一些實施例的 nano-FET 之剖面圖。

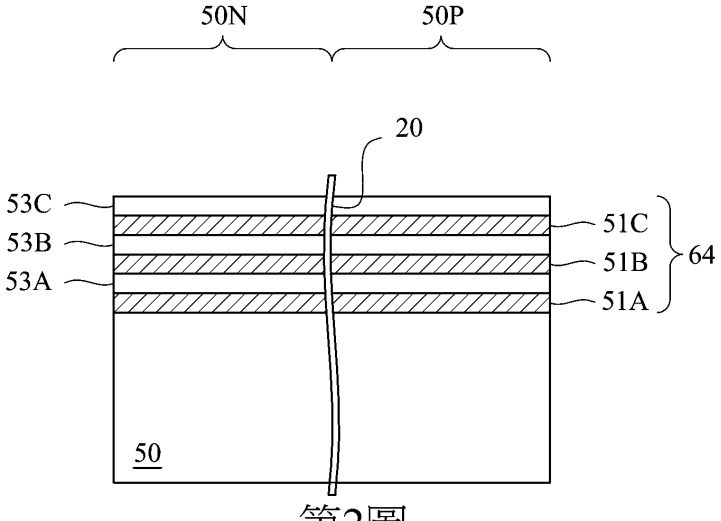
第 23A 圖、第 23B 圖、及第 23C 圖繪示根據本揭露的一些實施例的在基板上製造兩個或兩個以上 nano-FET 之源極/汲極區的中間階段之剖面圖。

第 24A 圖、第 24B 圖、第 25A 圖、第 25B 圖、第 26A 圖、第 26B 圖、第 27A 圖、及第 27B 圖繪示根據本揭露的一些實施例的 nano-FET 之源極/汲極區中的鈍化層之剖面圖。

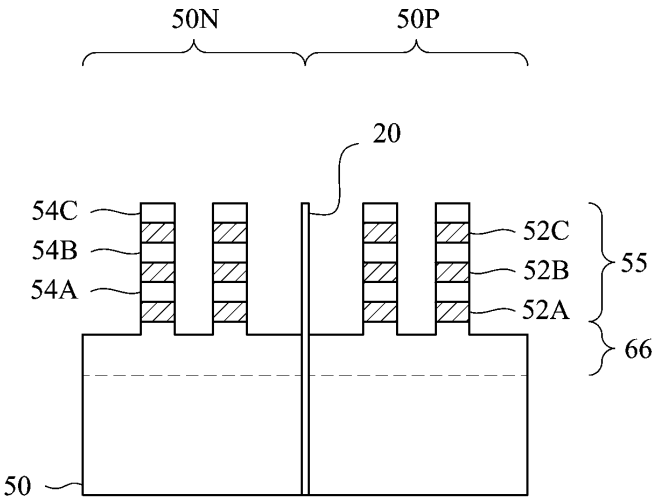
第 28 圖繪示根據本揭露的一些實施例的用於製造 nano-FET 的製程之流程圖。


B
C'
A'
92
102
100
68
B'
C
A
55
55
55
50
66

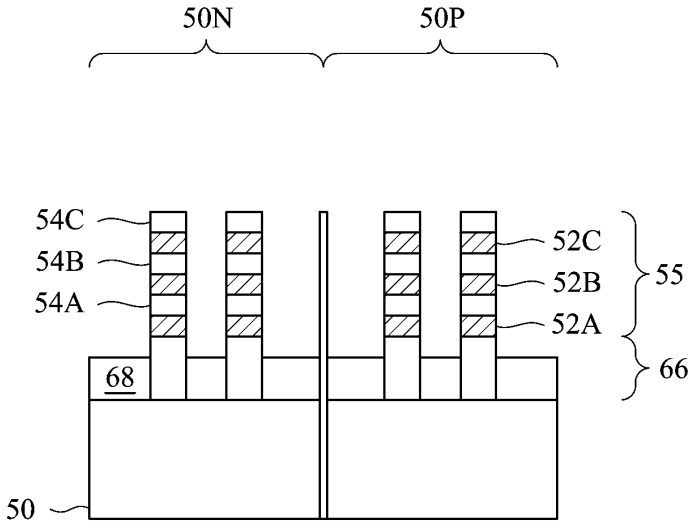
第1圖


50N
50P
20
53C
53B
53A
51C
51B
51A
64
50

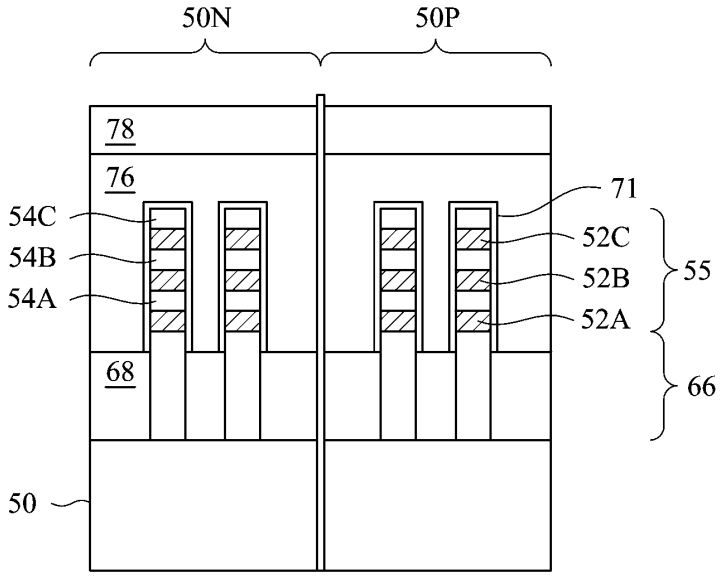
第2圖


50N
50P
20
54C
54B
54A
52C
52B
52A
55
66
50

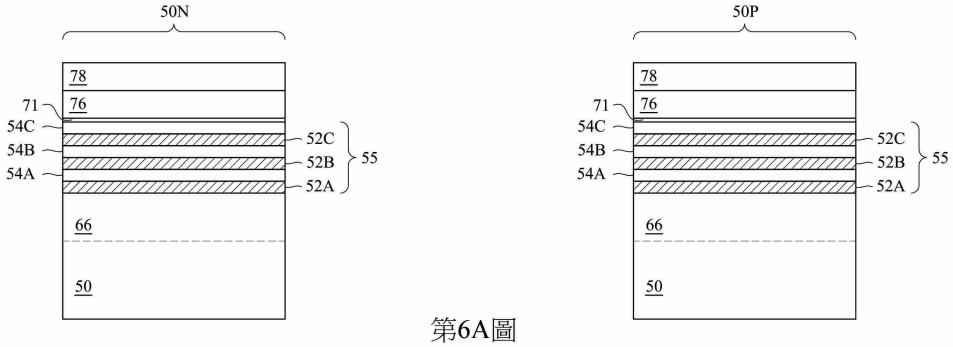
第3圖


50N
50P
54C
54B
54A
52C
52B
52A
55
66
68
50

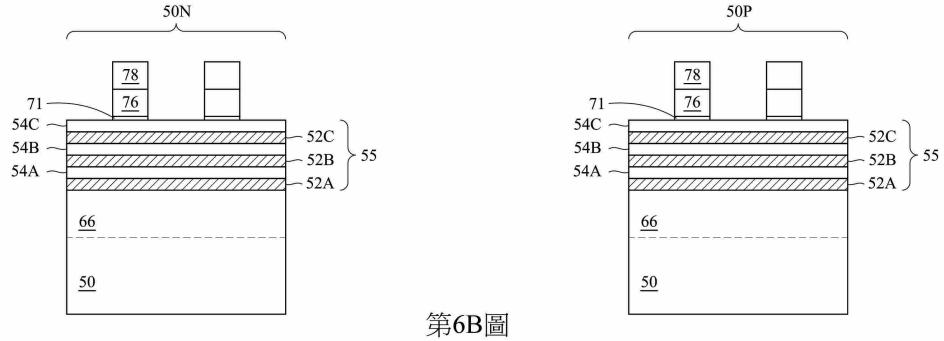
第4圖



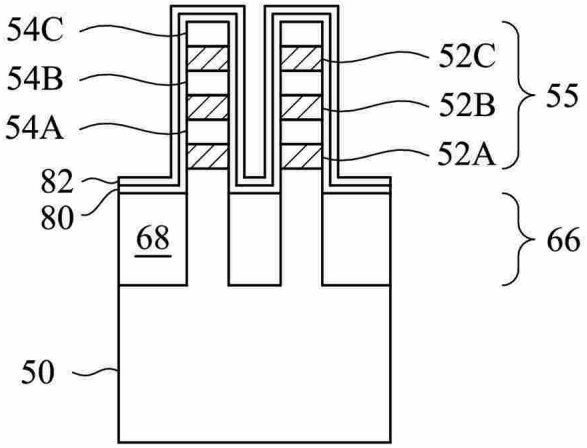
第5圖



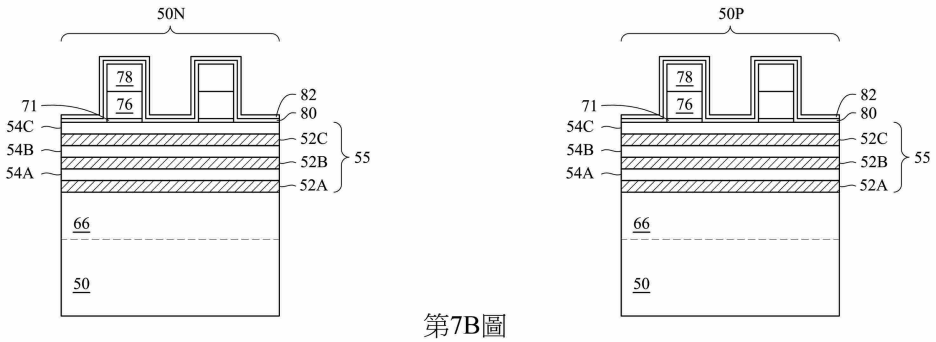
第6A圖



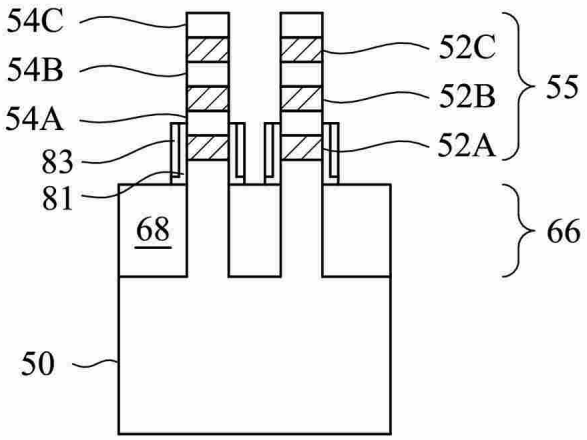
第6B圖



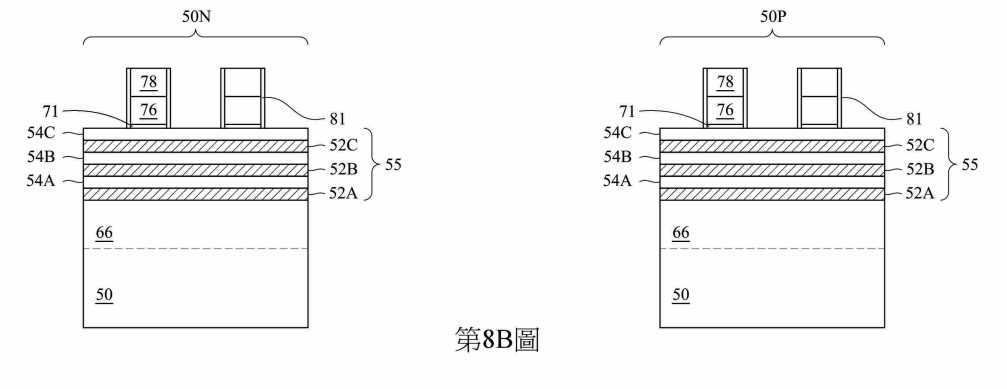
第7A圖



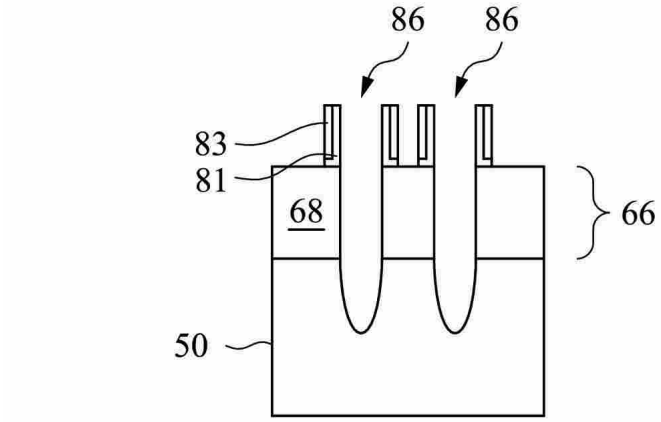
第7B圖



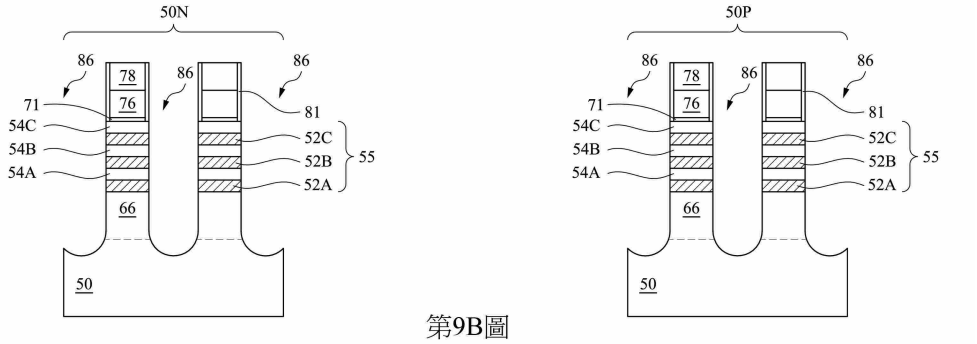
第8A圖



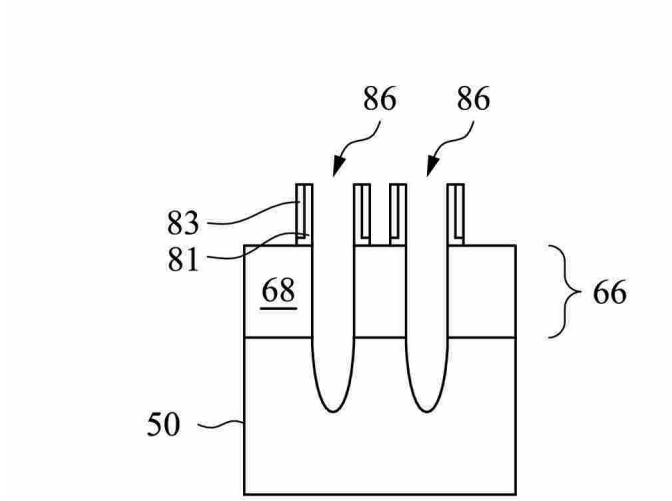
第8B圖



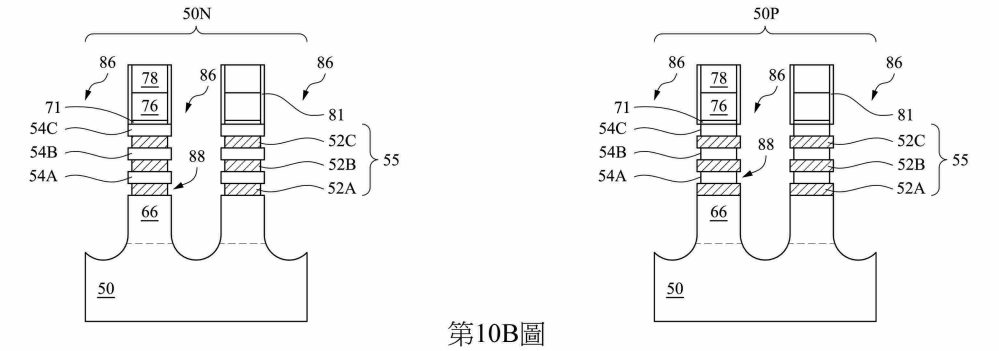
第9A圖



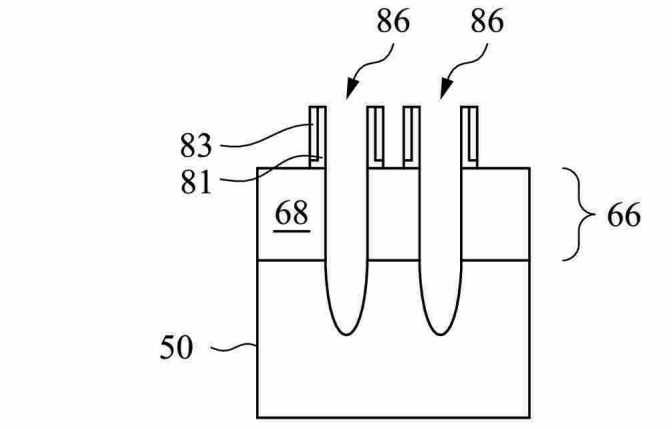
第9B圖



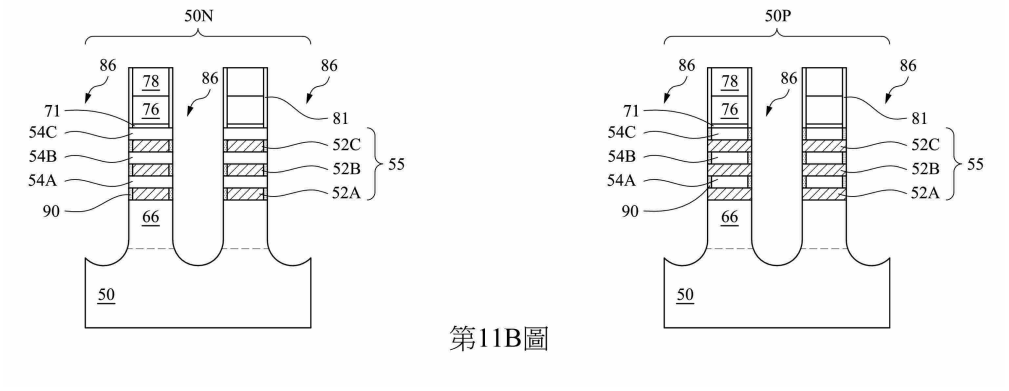
第10A圖



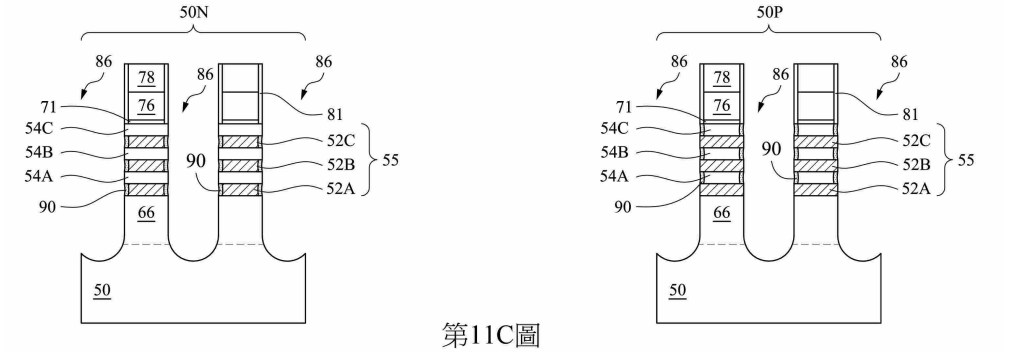
第10B圖



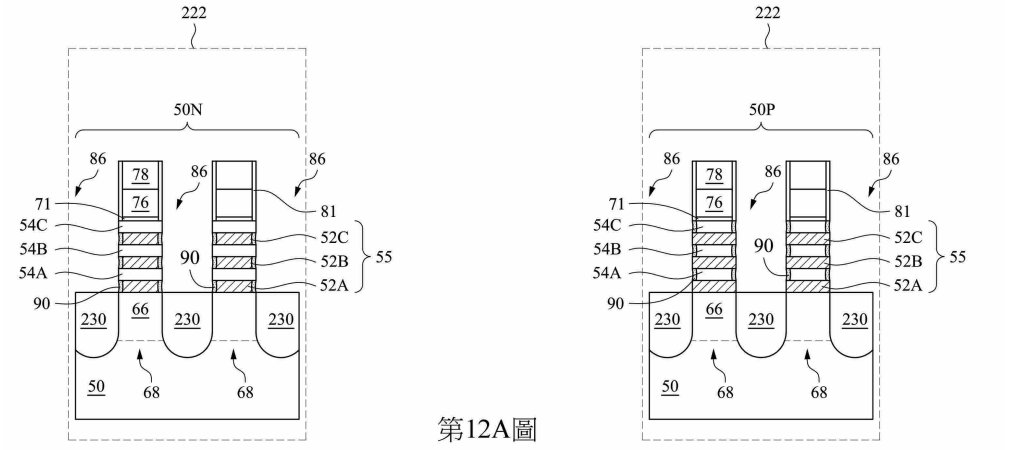
第11A圖



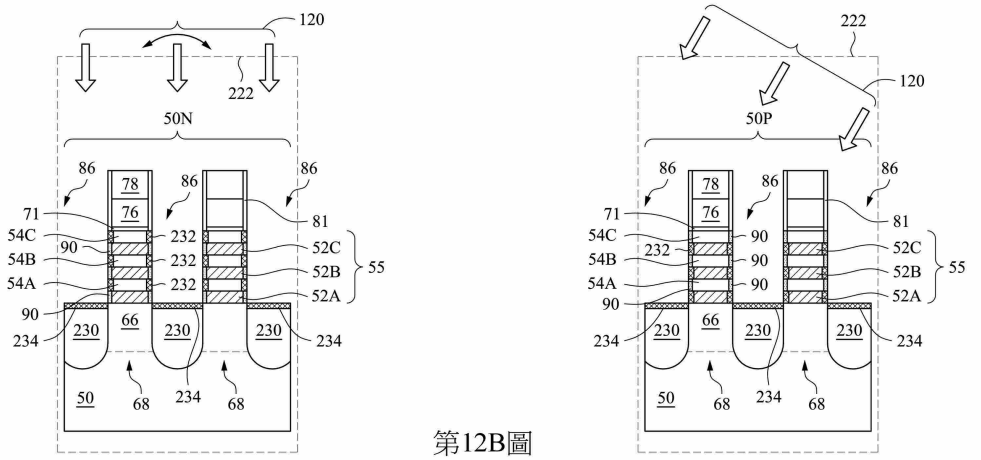
第11B圖



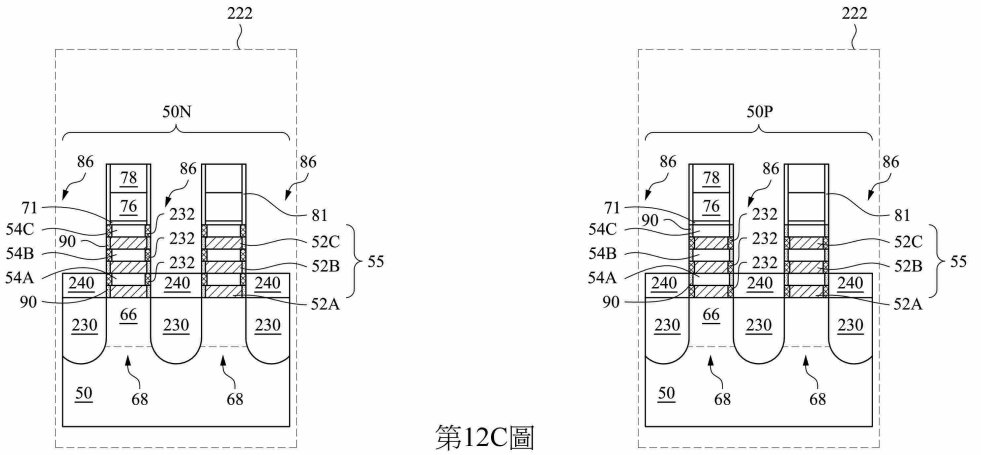
第11C圖



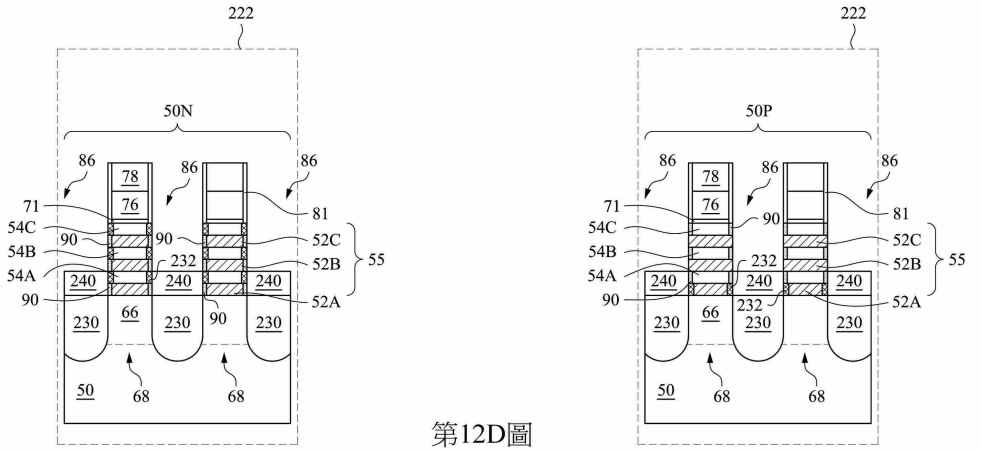
第12A圖



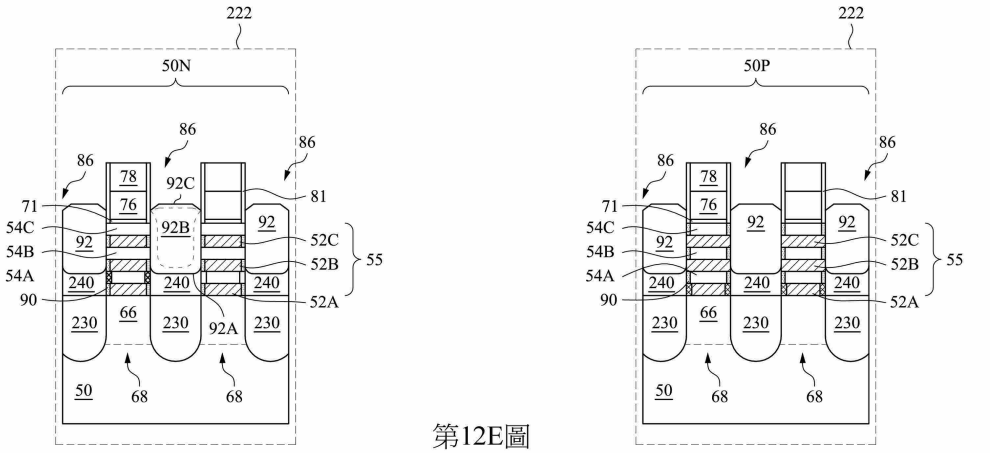
第12B圖



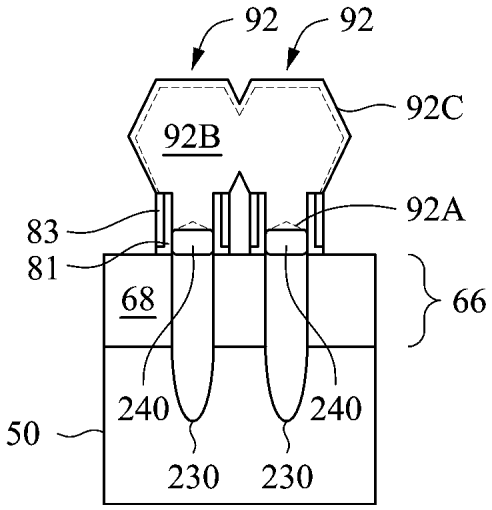
第12C圖



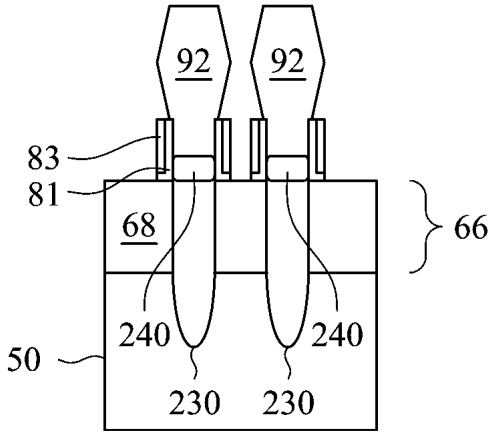
第12D圖


222
50N
50P
86
78
76
92C
92B
92
81
71
54C
54B
54A
90
52C
52B
52A
55
240
230
66
92A
50
68

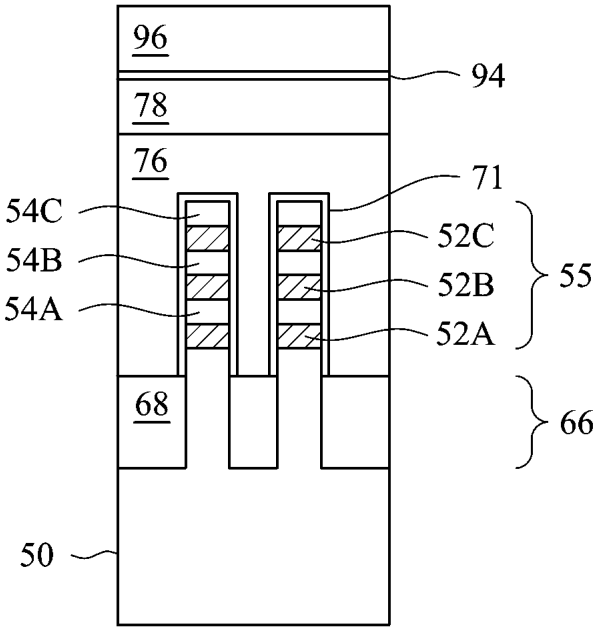
第12E圖


92
92C
92B
92A
83
81
68
66
240
230
50

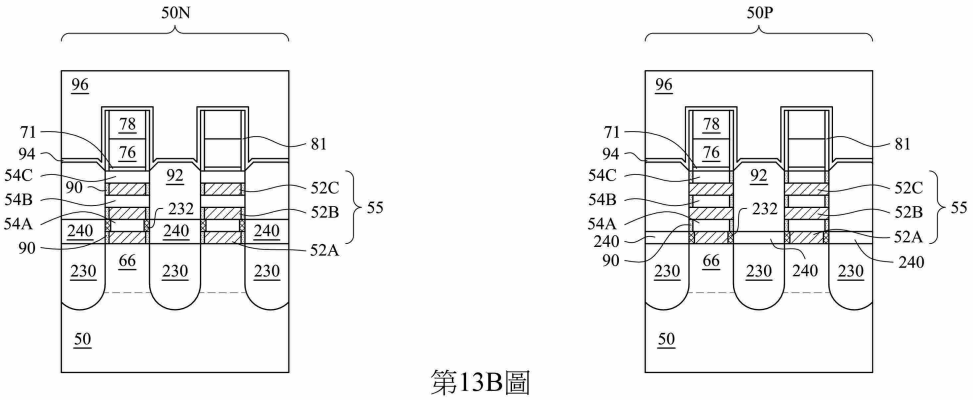
第12F圖


92
92
83
81
68
66
240
240
50
230
230

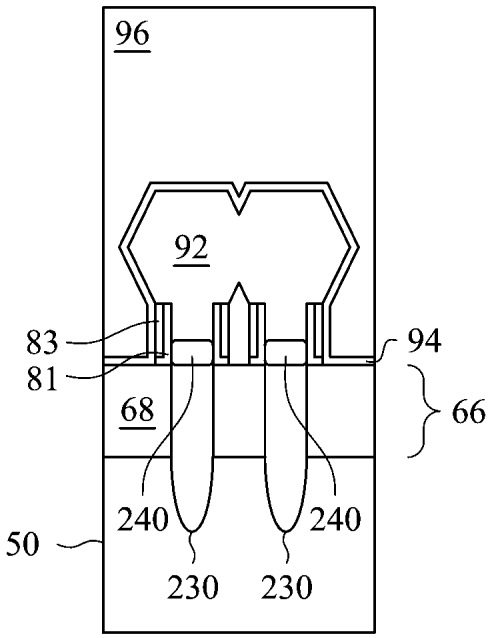
第12G圖


96
94
78
76
71
54C
52C
54B
52B
55
54A
52A
68
66
50

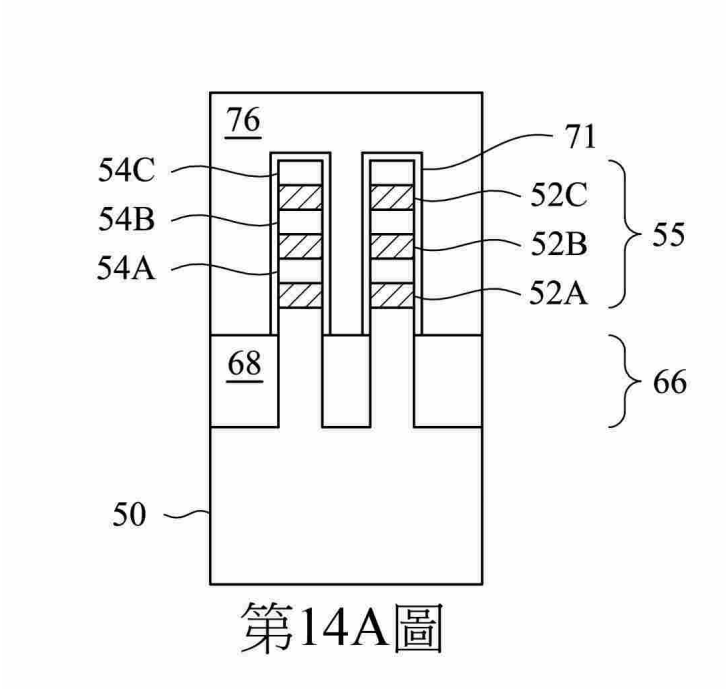
第13A圖


50N
50P
96
78
76
92
71
94
54C
90
54B
54A
240
232
66
230
50
81
52C
52B
52A
55

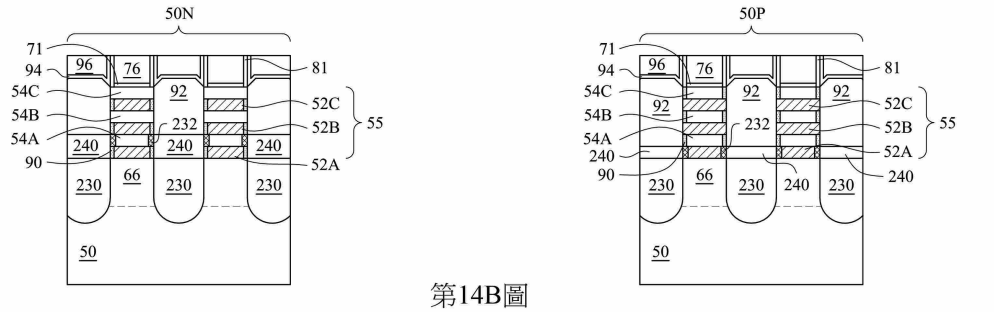
第13B圖


96
92
83
81
94
68
66
240
240
50
230
230

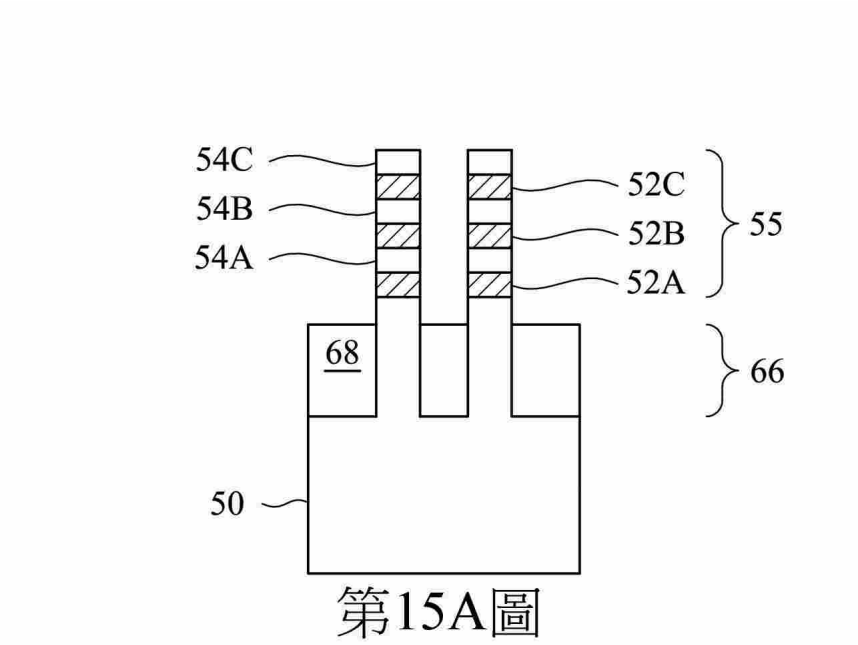
第13C圖



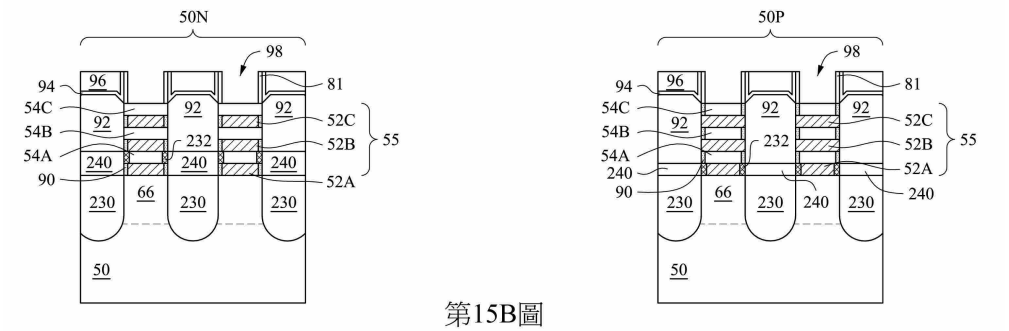
第14A圖



第14B圖



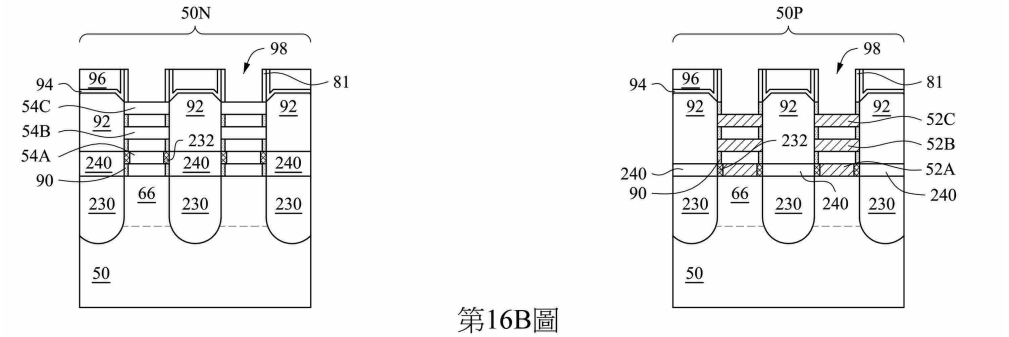
第15A圖



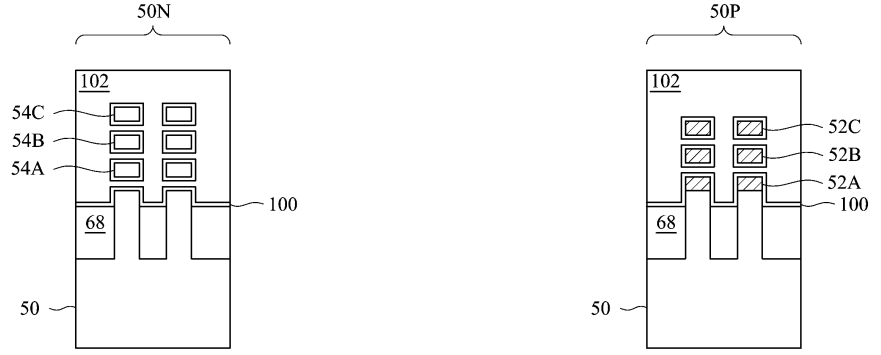
第15B圖



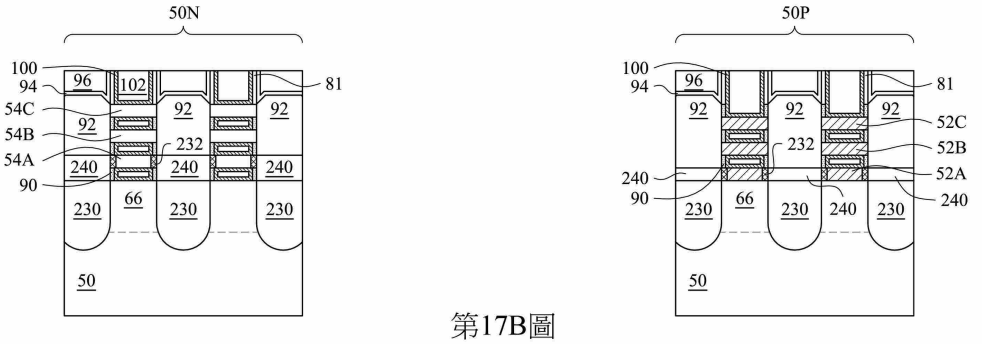
第16A圖



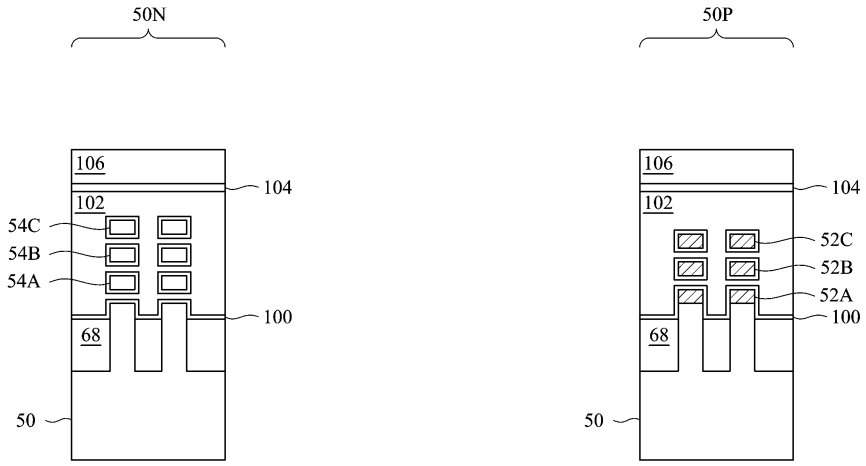
第16B圖



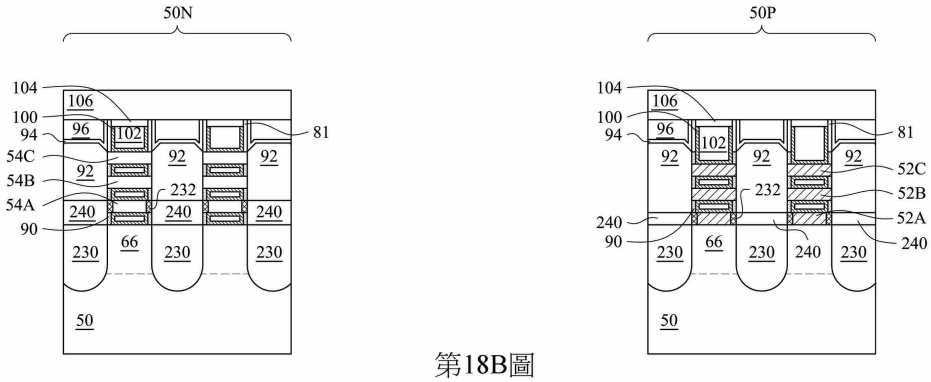
第17A圖



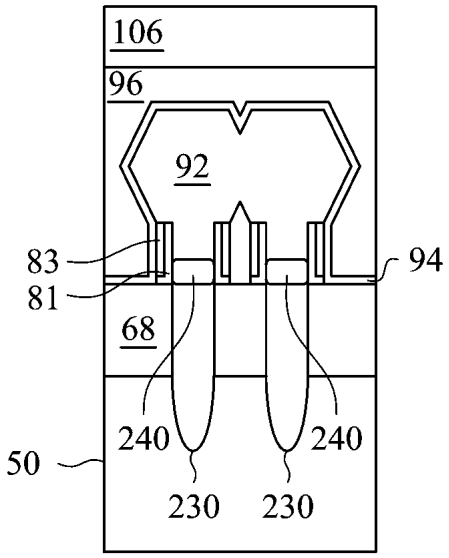
第17B圖



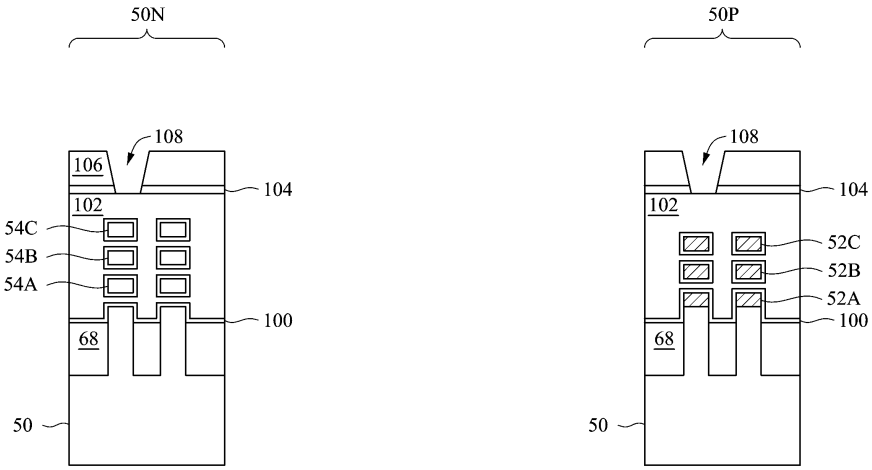
第18A圖



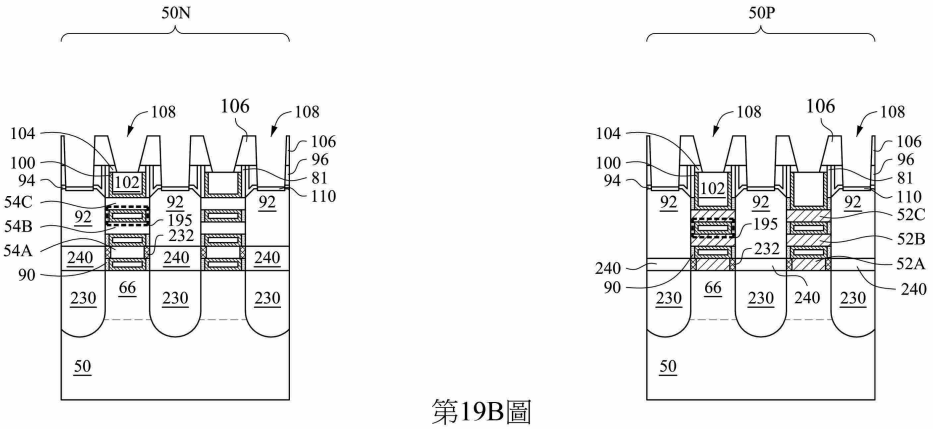
第18B圖


106
96
92
83
81
94
68
240
240
50
230
230

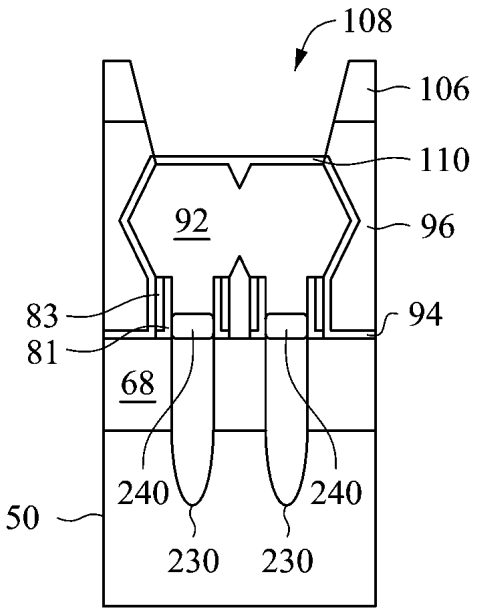
第18C圖


50N
50P
108
106
104
102
54C
54B
54A
100
68
50
108
104
102
52C
52B
52A
100
68
50

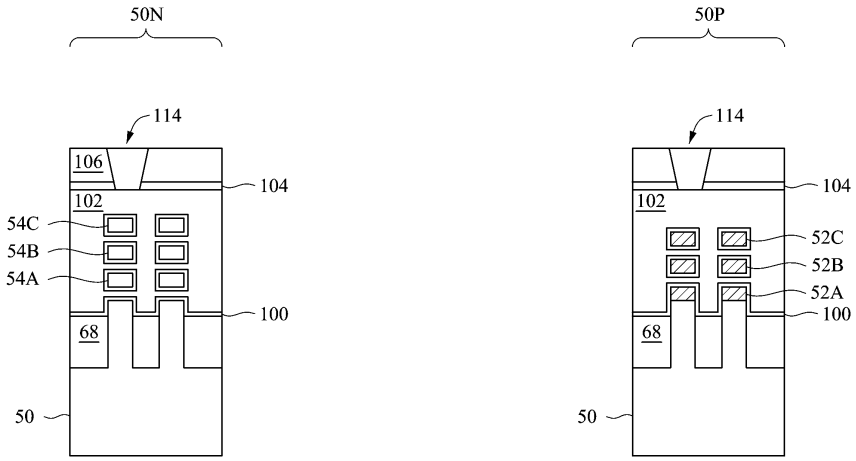
第19A圖


50N
50P
108
106
104
100
94
102
54C
92
54B
195
54A
232
240
90
66
230
96
81
110
52C
52B
52A
50

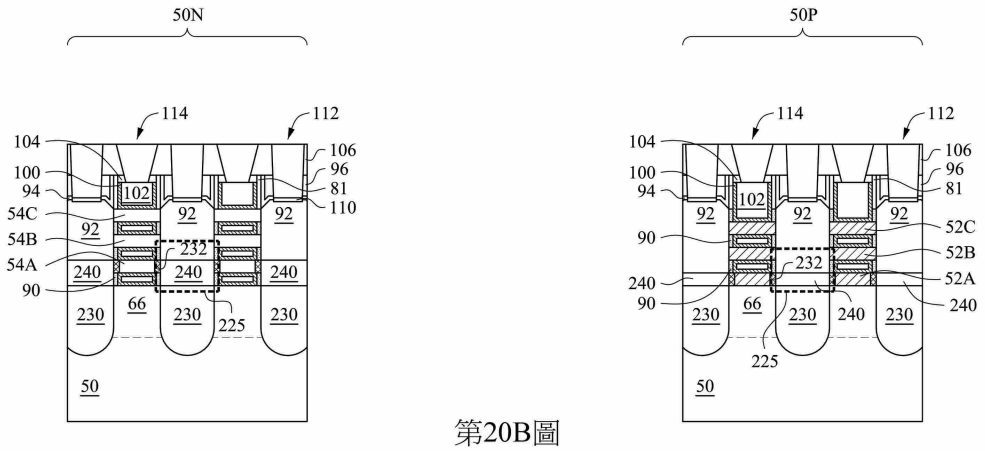
第19B圖


108
106
110
92
96
83
81
94
68
240
230
50

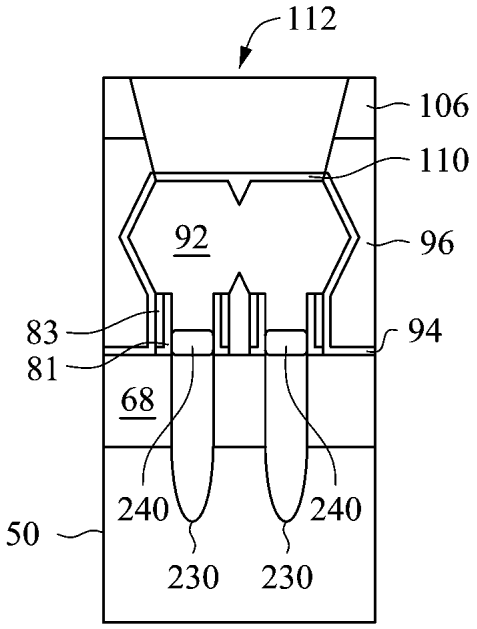
第19C圖


50N
50P
114
106
104
102
54C
54B
54A
100
68
50
52C
52B
52A

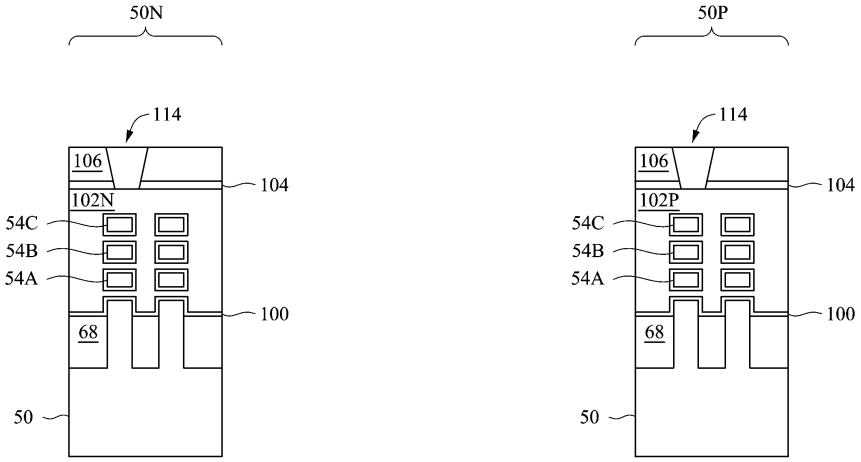
第20A圖


50N
50P
114
112
104
106
96
81
110
100
94
102
92
54C
54B
54A
232
240
90
66
230
225
50
52C
52B
52A

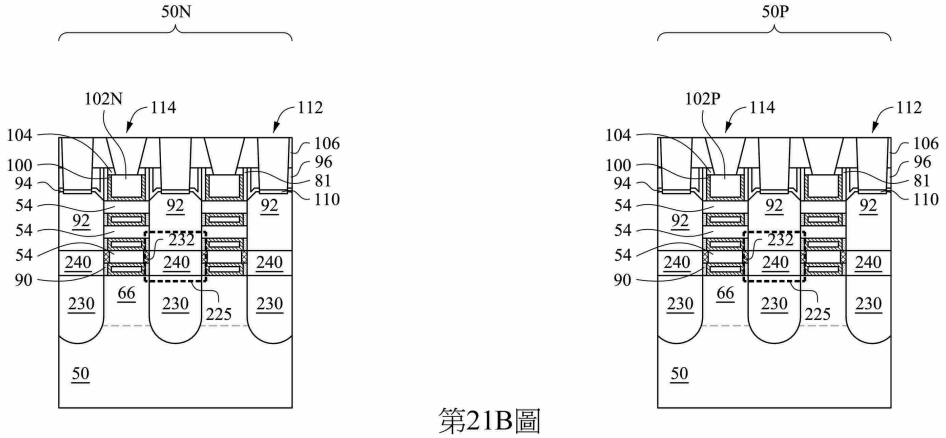
第20B圖


112
106
110
92
96
83
81
94
68
240
240
50
230
230

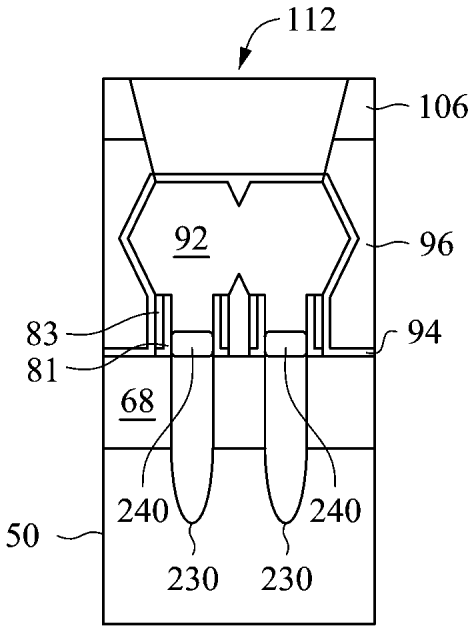
第20C圖


50N
50P
114
114
106
106
104
104
102N
102P
54C
54C
54B
54B
54A
54A
100
100
68
68
50
50

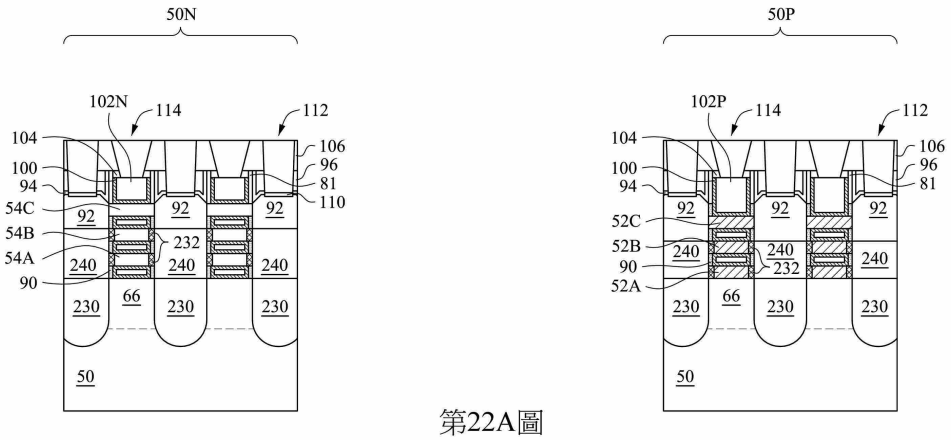
第21A圖


50N
50P
102N
102P
114
112
104
106
100
96
94
81
110
54
92
232
240
90
66
230
225
50

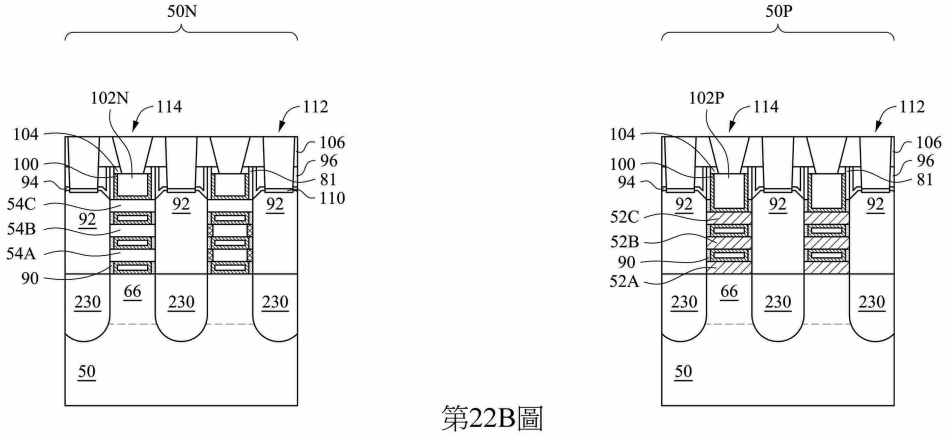
第21B圖


112
106
92
96
83
81
94
68
240
230
50

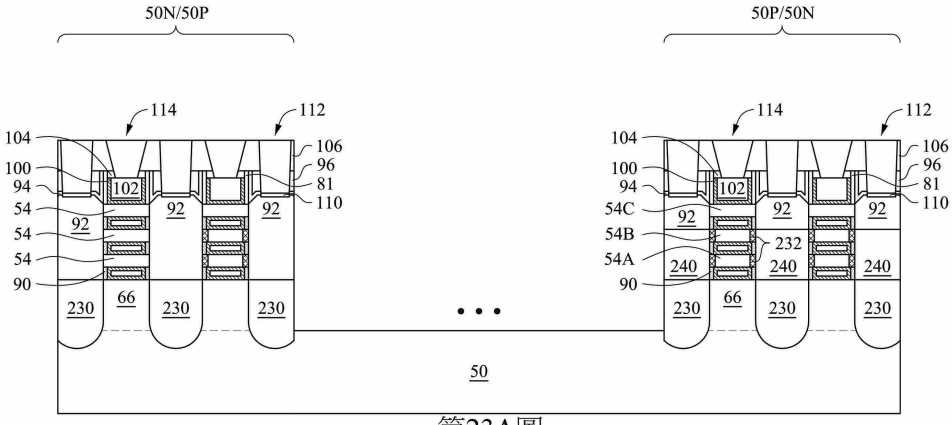
第21C圖



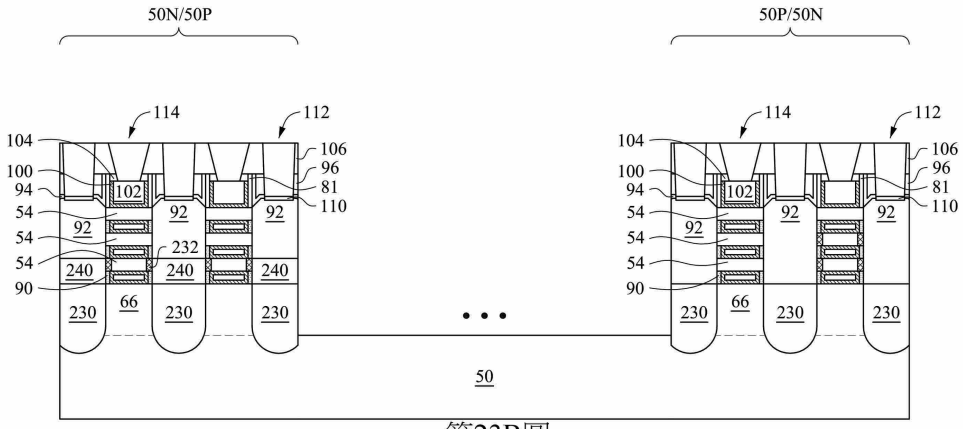
第22A圖



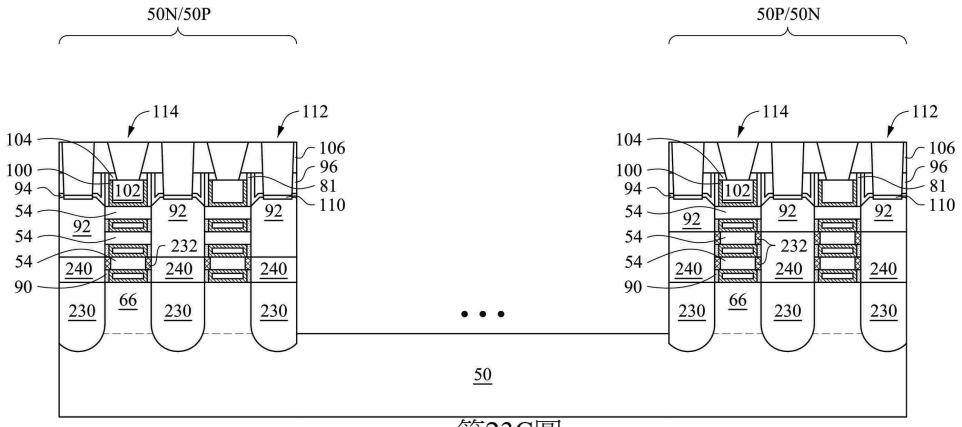
第22B圖



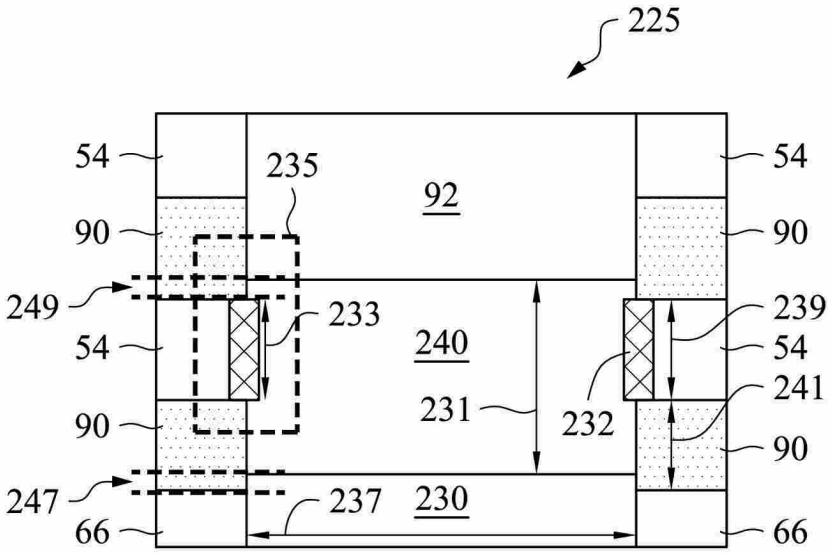
第23A圖


50N/50P
50P/50N
114
112
104
106
100
96
94
81
110
102
54
92
232
240
90
66
230
50

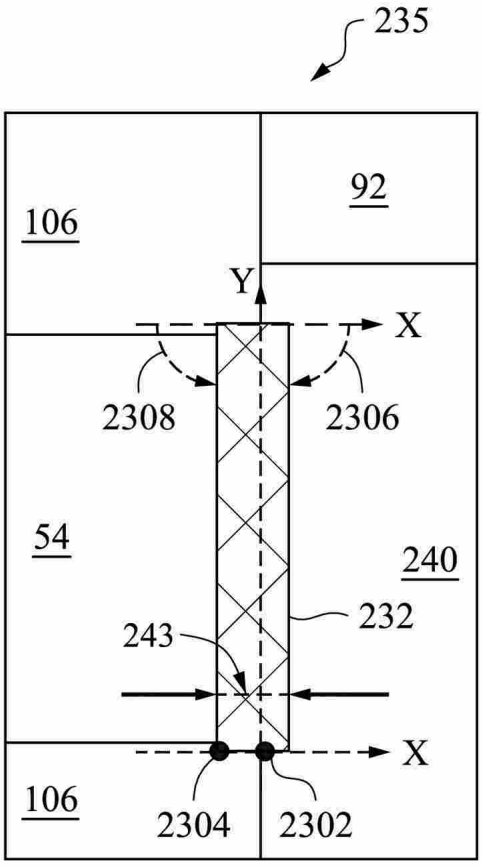
第23B圖


50N/50P
50P/50N
114
112
104
106
100
96
94
81
110
102
54
92
232
240
90
66
230
50

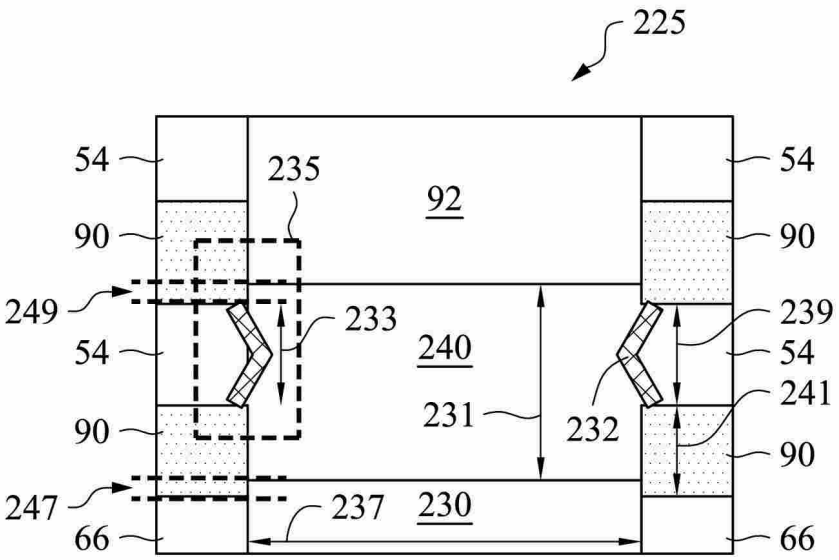
第23C圖


225
54
235
92
54
90
90
249
233
239
240
54
54
241
231
232
90
90
247
237
230
66
66

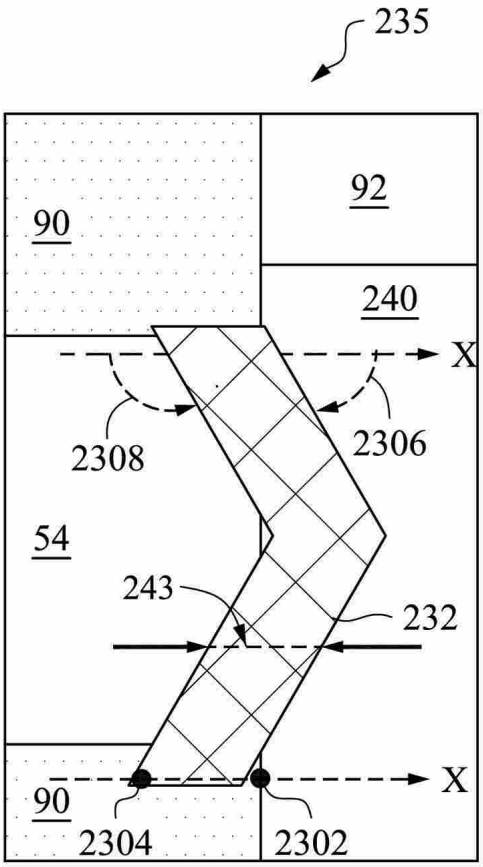
第24A圖



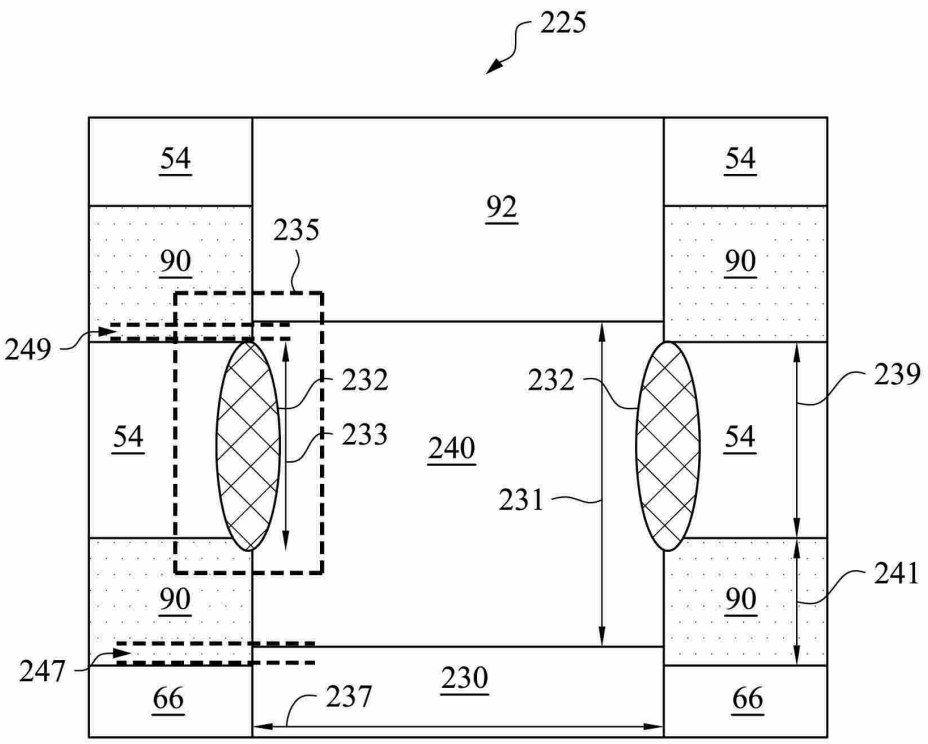
第24B圖


225
54
235
92
54
90
90
249
233
239
240
54
54
241
231
232
90
90
247
237
230
66
66

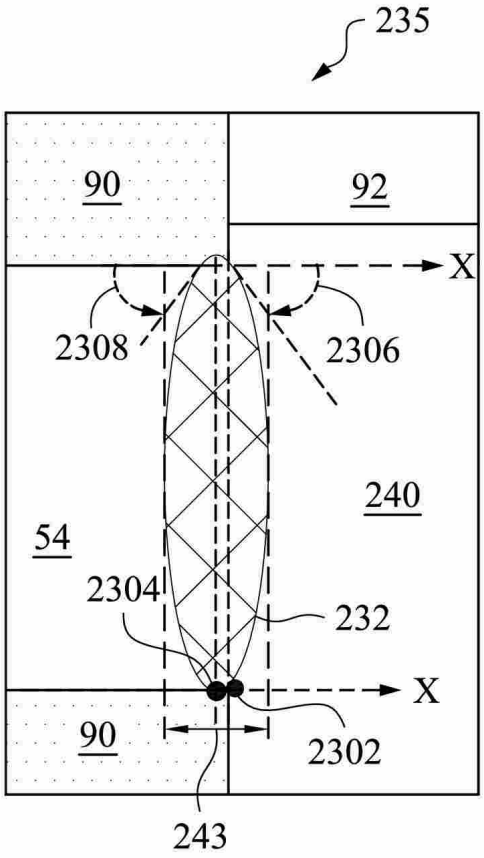
第25A圖



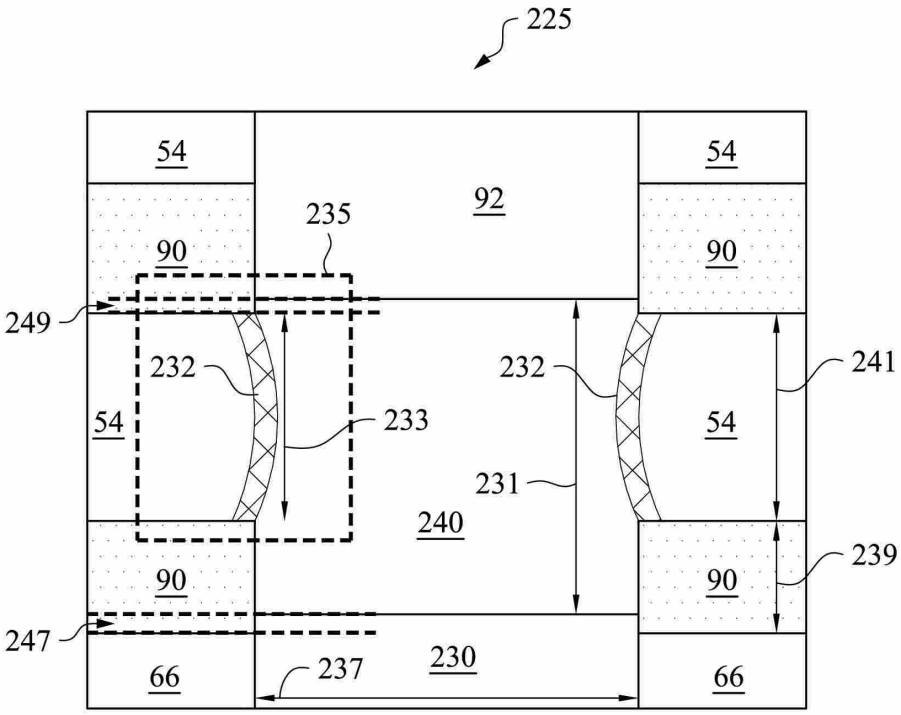
第25B圖


225
54
92
54
235
90
90
249
232
232
239
54
233
240
54
231
90
241
90
247
66
237
230
66

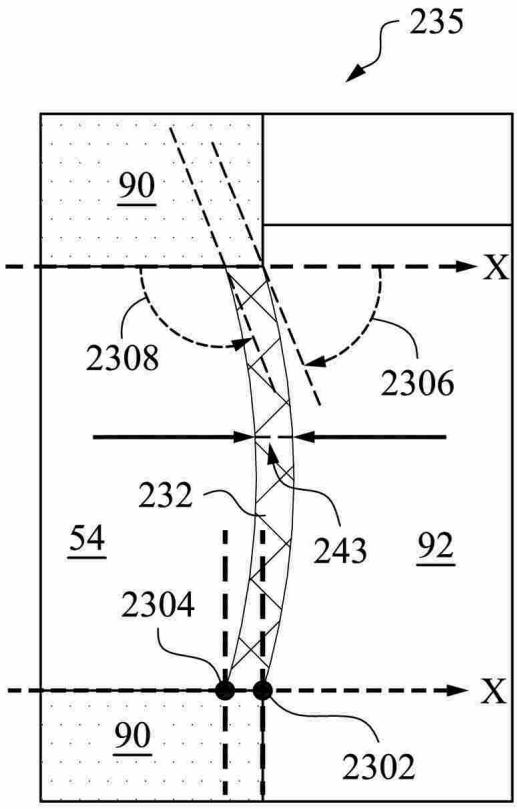
第26A圖



第26B圖


225
54
54
92
235
90
90
249
232
232
241
54
233
54
231
240
90
239
90
247
66
237
230
66

第27A圖


235
90
X
2308
2306
232
54
243
92
2304
X
90
2302

第27B圖


2800
在第一鰭片中形成源極及汲極溝槽，第一鰭片包括
彼此交替配置於其上的複數個
第一奈米結構與複數個第二奈米結構
2810
在複數個第二奈米結構之側壁上形成
內部間隔物
2820
在源極及汲極溝槽之底部部分處沉積
第一半導體層
2830
在源極及汲極溝槽中在複數個第一奈米結構之
側壁上方形成側壁鈍化層
2840
在源極及汲極溝槽中在第一半導體層上方
沉積第二半導體層，第二半導體層
覆蓋第一奈米結構中之側壁鈍化層
2850

第28圖