【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I941025
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*G11C11/41 (2006.01)*　*G11C7/10 (2006.01)*
G11C7/22 (2006.01)

發明　　全 11 頁

【54】名　稱：記憶體裝置及其操作方法
【21】申請案號：113151595　【22】申請日： 中華民國 113 (2024) 年 12 月 30 日
【11】公開編號：202609769　【43】公開日期： 中華民國 115 (2026) 年 03 月 01 日
【30】優 先 權： 2024/08/22　美國　18/812,676
【72】發 明 人： 原口大 (JP) HARAGUCHI, MASARU
【71】申 請 人： 台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.
新竹市新竹科學工業園區力行六路八號
【74】代 理 人： 李世章；秦建譜
【56】參考文獻：
TW　202326741A　US　4954951A
US　2021/0173647A1
審查人員：蔡夙勇

【57】申請專利範圍

1. 一種記憶體裝置，包含：
一記憶體陣列，用於將多個資料儲存在多個記憶體單元；
多個輸入/輸出(I/O)端；
一第一多工器集，用於從該些記憶體單元擷取出該些資料，並按照該記憶體陣列中的一第一資料列順序將該些資料傳輸至該些 I/O 端；
一第二多工器集，用於從該些記憶體單元擷取出該些資料，並按照從該第一資料列順序轉置而來的該記憶體陣列中的一第二資料行順序將該些資料傳輸至該些 I/O 端；以及
多個輸入多工器，用於接收一外部資料並選擇性地將一輸入多工器輸出資料提供給該些 I/O 端。
2. 如請求項 1 所述之記憶體裝置，其中該些 I/O 端包含一第一 I/O 端、一第二 I/O 端、一第三 I/O 端以及一第四 I/O 端。
3. 如請求項 2 所述之記憶體裝置，其中該第一多工器集包含：
一第一多工器，具有選擇性連接至該記憶體陣列的多個輸入端以及選擇性連接至該第一 I/O 端的一輸出端；
一第二多工器，具有選擇性連接至該記憶體陣列的多個輸入端以及選擇性連接至該第二 I/O 端的一輸出端；
一第三多工器，具有選擇性連接至該記憶體陣列的多個輸入端以及選擇性連接至該第三 I/O 端的一輸出端；以及
一第四多工器，具有選擇性連接至該記憶體陣列的多個輸入端以及選擇性連接至該第四 I/O 端的一輸出端。
4. 如請求項 3 所述之記憶體裝置，其中該第二多工器集包含：
一第五多工器，具有選擇性連接至該記憶體陣列的多個輸入端以及選擇性連接至該第一 I/O 端的一輸出端；

一第六多工器，具有選擇性連接至該記憶體陣列的多個輸入端以及選擇性連接至該第二 I/O 端的一輸出端；

一第七多工器，具有選擇性連接至該記憶體陣列的多個輸入端以及選擇性連接至該第三 I/O 端的一輸出端；以及

一第八多工器，具有選擇性連接至該記憶體陣列的多個輸入端以及選擇性連接至該第四 I/O 端的一輸出端。

5. 如請求項 1 所述之記憶體裝置，其中該記憶體陣列包含至少二記憶體單元庫，其中：

一第一記憶體單元庫選擇性地連接至該第一多工器集以及該第二多工器集；以及

一第二記憶體單元庫選擇性地連接到一第三多工器集以及一第四多工器集。

6. 如請求項 5 所述之記憶體裝置，其中：

該第一多工器集用於按照該第一資料列順序從該第一記憶體單元庫擷取出該些資料，並按照該第一資料列順序將該些資料傳輸至該些 I/O 端，以及

該第二多工器集用於按照該第二資料行順序從該第一記憶體單元庫擷取出該些資料，並按照該第二資料行順序將該些資料傳輸至該些 I/O 端。

7. 如請求項 5 所述之記憶體裝置，其中：

該第三多工器集用於按照該第一資料列順序從該第二記憶體單元庫擷取出該些資料，並按照該第一資料列順序將該些資料傳輸至該些 I/O 端；以及

該第四多工器集用於按照該第二資料行順序從該第二記憶體單元庫擷取出該些資料，並按照該第二資料行順序將該些資料傳輸至該些 I/O 端。

8. 如請求項 1 所述之記憶體裝置，其中該記憶體陣列為一靜態隨機存取記憶體陣列。

9. 一種記憶體裝置，包含：

一記憶體陣列，用於將多個資料儲存在多個記憶體單元；

多個讀取電路，用於從該些記憶體單元讀出該些資料；

多個輸入/輸出(I/O)端，包含一第一 I/O 端和一第二 I/O 端；

一第一多工器集，包含一第一多工器以及一第二多工器，該第一多工器具有選擇性連接至該記憶體陣列的多個第一輸入端以及選擇性連接至該第一 I/O 端的一第一輸出端，該第二多工器具有選擇性連接至該記憶體陣列的多個第二輸入端以及選擇性連接至該第二 I/O 端的一第二輸出端，該第一多工器以及該第二多工器用於傳輸多個資料列的資料至該第一 I/O 端以及該第二 I/O 端；以及

一第二多工器集，包含一第三多工器以及一第四多工器，該第三多工器具有選擇性連接至該記憶體陣列的多個第三輸入端以及選擇性連接至該第一 I/O 端的一第三輸出端，該第四多工器具有選擇性連接至該記憶體陣列的多個第四輸入端以及選擇性連接至該第二 I/O 端的一第四輸出端，該第三多工器以及該第四多工器用於傳輸多個資料行的資料至該第一 I/O 端以及該第二 I/O 端，其中該多個資料行的資料是從該多個資料列的資料轉置的。

10. 一種記憶體裝置的操作方法，該操作方法包含：

將多個資料儲存在一記憶體陣列的多個記憶體單元；

選擇一第一多工器集或一第二多工器集；

其中當選擇該第一多工器集：

透過該第一多工器集，從該些記憶體單元擷取出該些資料；以及

透過該第一多工器集，按照該記憶體陣列中的一第一資料列順序將該些資料傳輸至多個 I/O 端；以及

其中當選擇第二多工器集：

透過該第二多工器集，從該些記憶體單元擷取出該些資料；

透過該第二多工器集，按照從該第一資料列順序轉置而來的該記憶體陣列中的一第二資料行順序將該些資料傳輸至該些 I/O 端；以及

透過多個輸入多工器，接收一外部資料並選擇性地將一輸入多工器輸出資料提供給該些 I/O 端。

圖式簡單說明

結合圖式解讀本揭示文件，便可透過下文的技術內容最好地理解本揭露文件。需要注意的是，依照本領域的習知慣例，本揭示文件之圖式中的各項元件並未按照實際比例繪製。為了清楚揭露本揭示文件的技術特徵，圖式中的各項特徵的尺寸會適情況變大或縮小。此外，圖式係做為本揭示文件之實施例的範例，並不旨在對本揭示文件的權利範圍進行限制。

第 1 圖為依據本揭示文件一實施例的用於從記憶體陣列依照列式和行式存取資料之記憶體裝置的示意圖。

第 2 圖為依據本揭示文件一實施例的電性耦接至記憶體裝置電路的 SRAM 記憶體陣列的示意圖。

第 3 圖為依據本揭示文件一實施例的記憶體裝置的示意圖，其中該記憶憶體裝置包含一控制電路，該控制電路係用於對記憶體裝置中的記憶體陣列進行列式資料存取操作和行式資料存取操作。

第 4 圖為依據本揭示文件一實施例的第 1 圖和第 3 圖之記憶體裝置所使用的 SRAM 單元的示意圖。

第 5 圖為依據本揭示文件一實施例的連接到記憶體陣列之控制電路的示意圖。

第 6 圖為依據本揭示文件一實施例的多工器和 I/O 端的示意圖。

第 7 圖為依據本揭示文件一實施例中控制電路對記憶體陣列進行寫入操作的示意圖。

第 8 圖為依據本揭示文件一實施例的寫入記憶體陣列之資料的外部資料對映表的示意圖。

第 9 圖為依據本揭示文件一實施例的控制電路對記憶體陣列進行「正常」列式存取操作的示意圖。

第 10 圖為依據本揭示文件一實施例的控制電路對記憶體陣列進行「轉置」行式存取操作的示意圖。

第 11 圖為依據本揭示文件一實施例的讀取記憶體陣列之資料的外部資料對映表的示意圖。

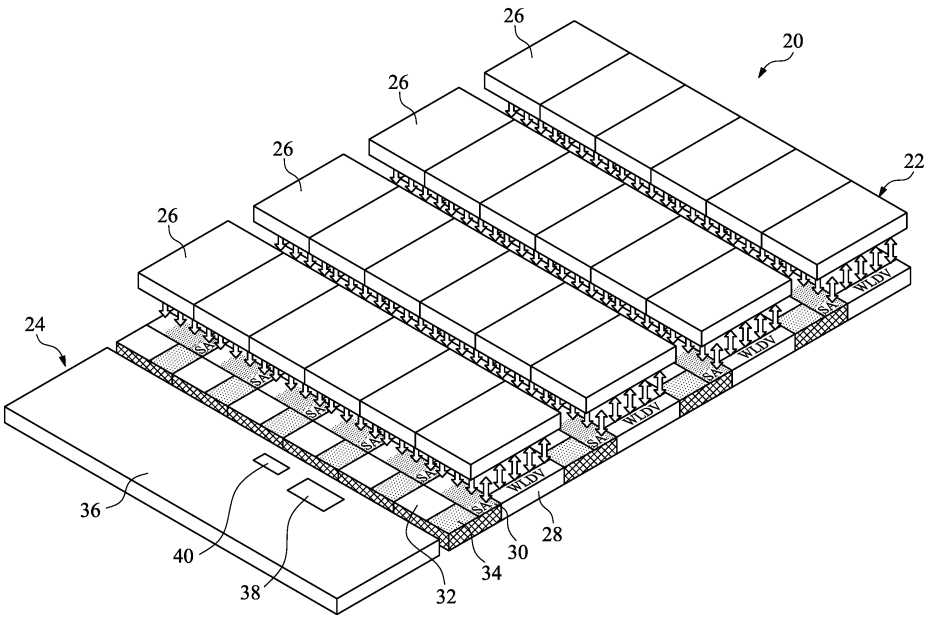
第 12 圖為依據本揭示文件一實施例中連接至包含第一記憶體庫（庫 0）和第二記憶體庫（庫 1）的記憶體陣列的控制電路的示意圖。

第 13 圖為依據本揭示文件一實施例中透過「轉置」行式存取操作從第一記憶體庫和第二記憶體庫讀取的資料的外部資料對映表的示意圖。

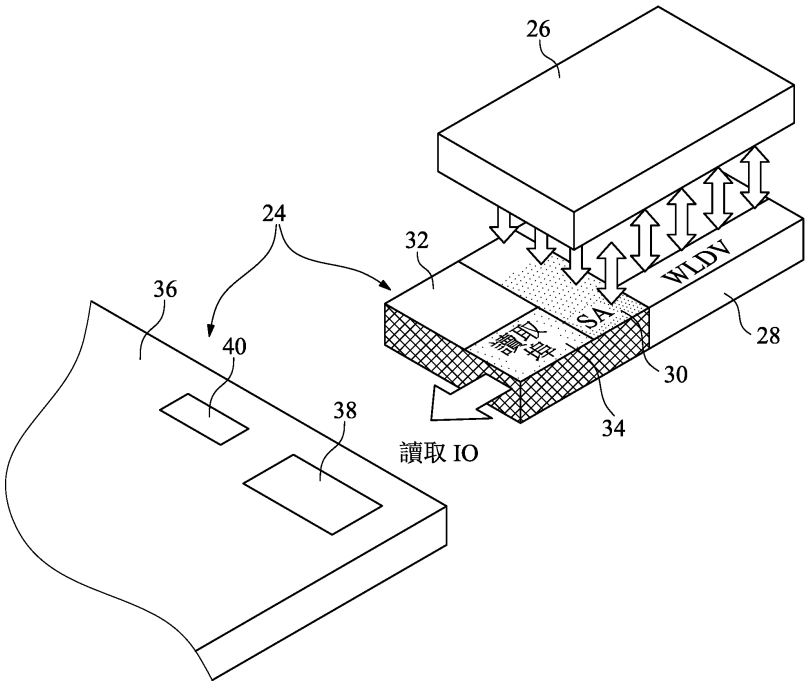
第 14 圖為依據本揭示文件一實施例的記憶體裝置的操作方法流程圖。

第 15 圖為依據本揭示文件一實施例的用於提供電子裝置、半導體裝置以及方法的電腦系統的方塊示意圖。

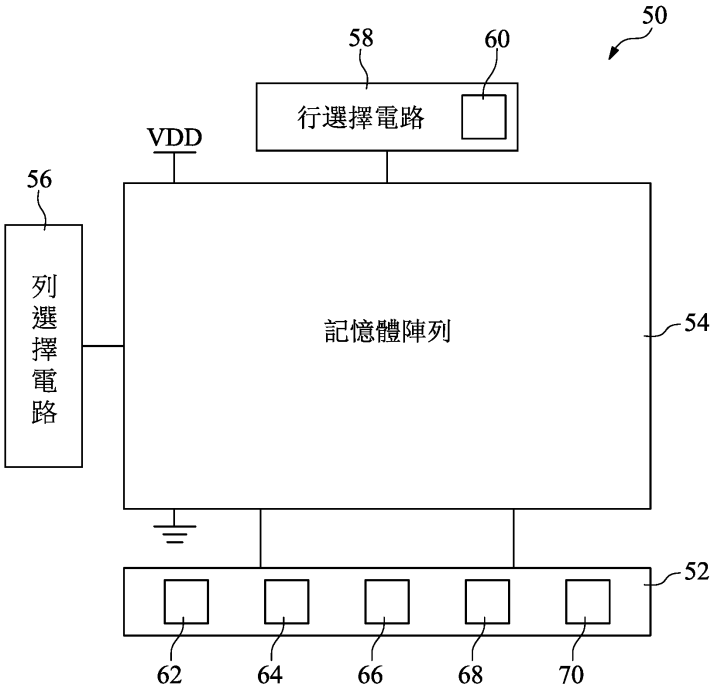
第 16 圖為依據本揭示文件一實施例的半導體裝置製造系統跟與其相關之半導體裝置製造流程的方塊示意圖。


26
20
26
22
26
26
24
SA
WLDV
36
40
38
32
34
30
28

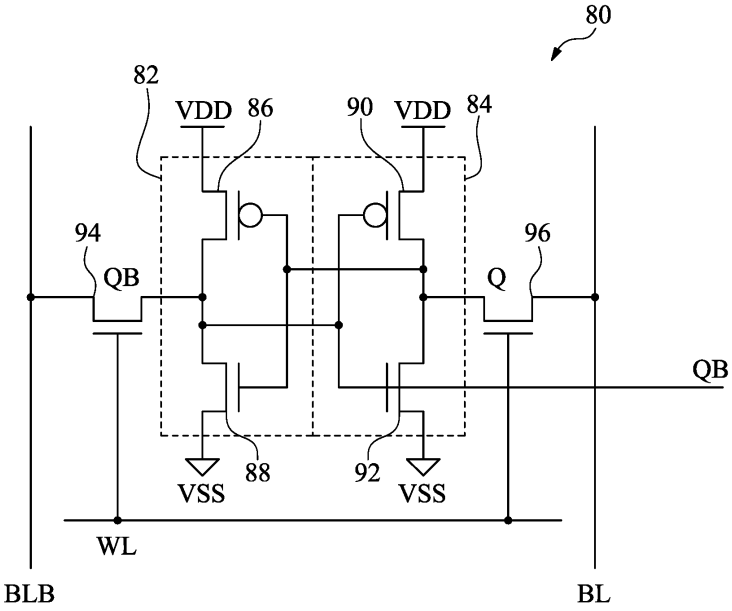
第 1 圖


26
24
32
WLDV
36
SA
40
30
28
38
34
讀取 IO

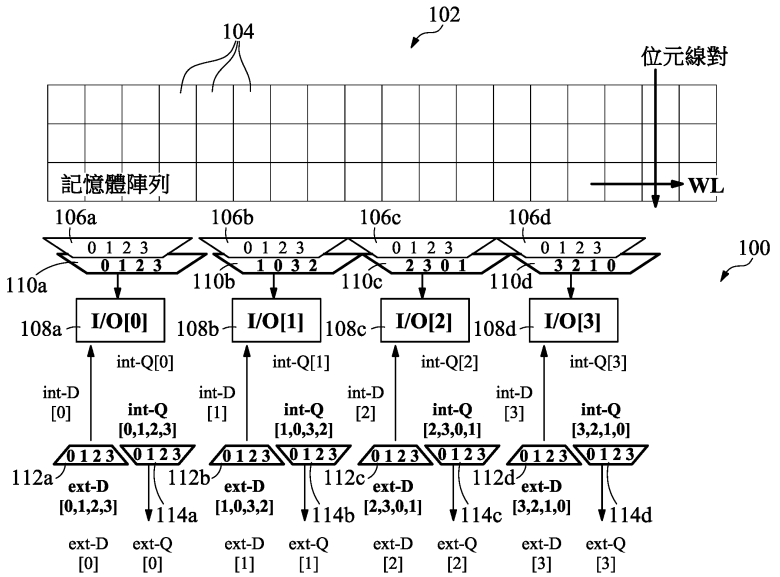
第 2 圖


50
58
60
行選擇電路
VDD
56
列選擇電路
記憶體陣列
54
52
62
64
66
68
70

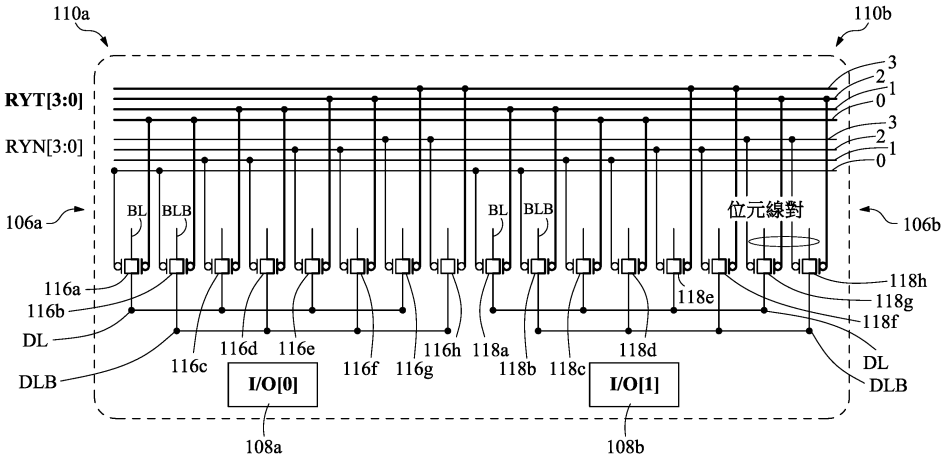
第 3 圖


80
82
VDD
86
90
VDD
84
94
QB
96
Q
QB
88
92
VSS
VSS
WL
BLB
BL

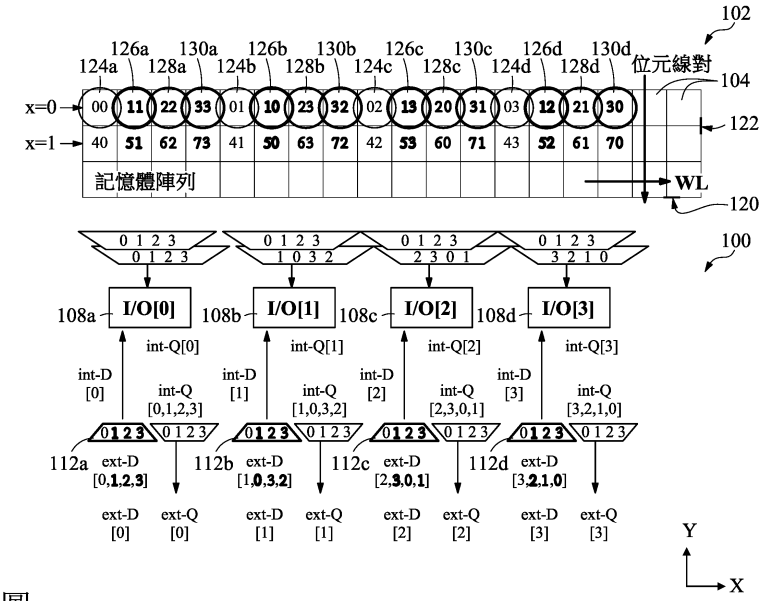
第 4 圖


102
104
位元線對
記憶體陣列
WL
106a
106b
106c
106d
100
110a
110b
110c
110d
I/O[0]
I/O[1]
I/O[2]
I/O[3]
108a
108b
108c
108d
int-Q[0]
int-Q[1]
int-Q[2]
int-Q[3]
int-D [0]
int-D [1]
int-D [2]
int-D [3]
int-Q [0,1,2,3]
int-Q [1,0,3,2]
int-Q [2,3,0,1]
int-Q [3,2,1,0]
ext-D [0,1,2,3]
ext-D [1,0,3,2]
ext-D [2,3,0,1]
ext-D [3,2,1,0]
112a
112b
112c
112d
114a
114b
114c
114d
ext-D [0]
ext-Q [0]
ext-D [1]
ext-Q [1]
ext-D [2]
ext-Q [2]
ext-D [3]
ext-Q [3]

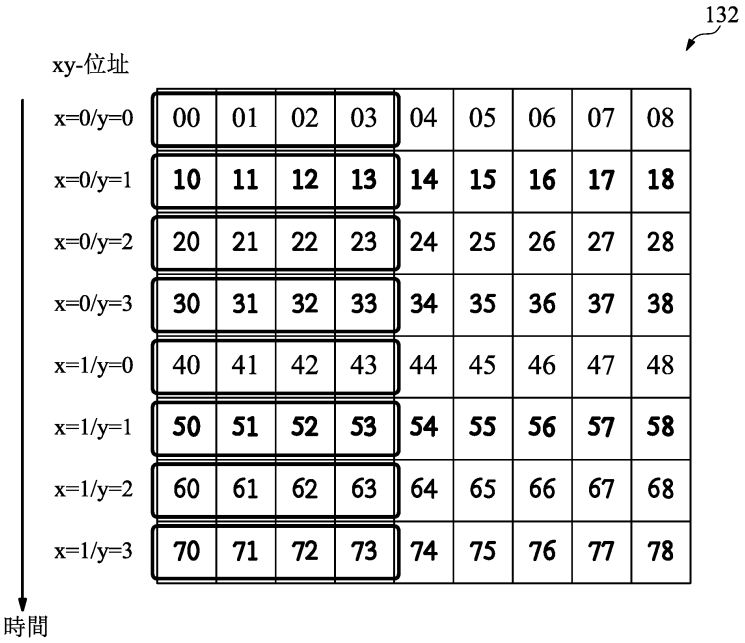
第 5 圖


110a
110b
RYT[3:0]
RYN[3:0]
106a
106b
BL
BLB
位元線對
116a
116b
DL
DLB
116c
116d
116e
116f
116g
116h
118a
118b
118c
118d
118e
118f
118g
118h
I/O[0]
I/O[1]
108a
108b

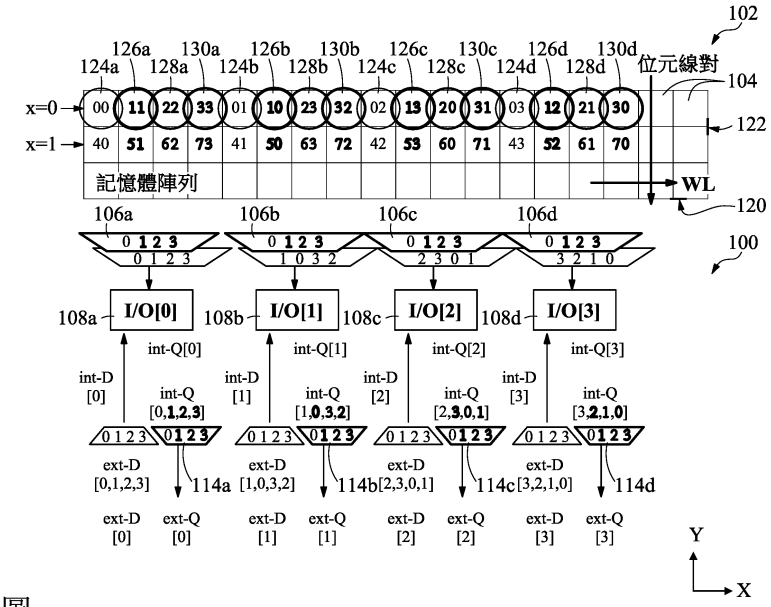
第 6 圖


102
126a 130a 126b 130b 126c 130c 126d 130d
124a 128a 124b 128b 124c 128c 124d 128d
位元線對
104
x=0
00 11 22 33 01 10 23 32 02 13 20 31 03 12 21 30
x=1
40 51 62 73 41 50 63 72 42 53 60 71 43 52 61 70
122
記憶體陣列
WL
120
100
0 1 2 3
0 1 2 3
1 0 3 2
2 3 0 1
3 2 1 0
108a I/O[0]
108b I/O[1]
108c I/O[2]
108d I/O[3]
int-Q[0]
int-Q[1]
int-Q[2]
int-Q[3]
int-D [0]
int-Q [0,1,2,3]
int-D [1]
int-Q [1,0,3,2]
int-D [2]
int-Q [2,3,0,1]
int-D [3]
int-Q [3,2,1,0]
112a ext-D [0,1,2,3]
112b ext-D [1,0,3,2]
112c ext-D [2,3,0,1]
112d ext-D [3,2,1,0]
ext-D [0]
ext-Q [0]
ext-D [1]
ext-Q [1]
ext-D [2]
ext-Q [2]
ext-D [3]
ext-Q [3]
Y
X

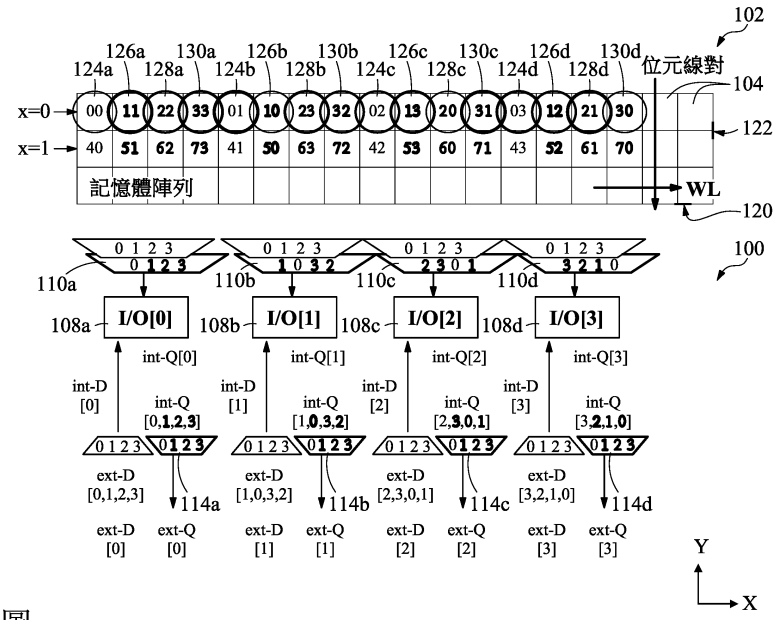
第 7 圖


132
xy-位址
x=0/y=0 00 01 02 03 04 05 06 07 08
x=0/y=1 10 11 12 13 14 15 16 17 18
x=0/y=2 20 21 22 23 24 25 26 27 28
x=0/y=3 30 31 32 33 34 35 36 37 38
x=1/y=0 40 41 42 43 44 45 46 47 48
x=1/y=1 50 51 52 53 54 55 56 57 58
x=1/y=2 60 61 62 63 64 65 66 67 68
x=1/y=3 70 71 72 73 74 75 76 77 78
時間

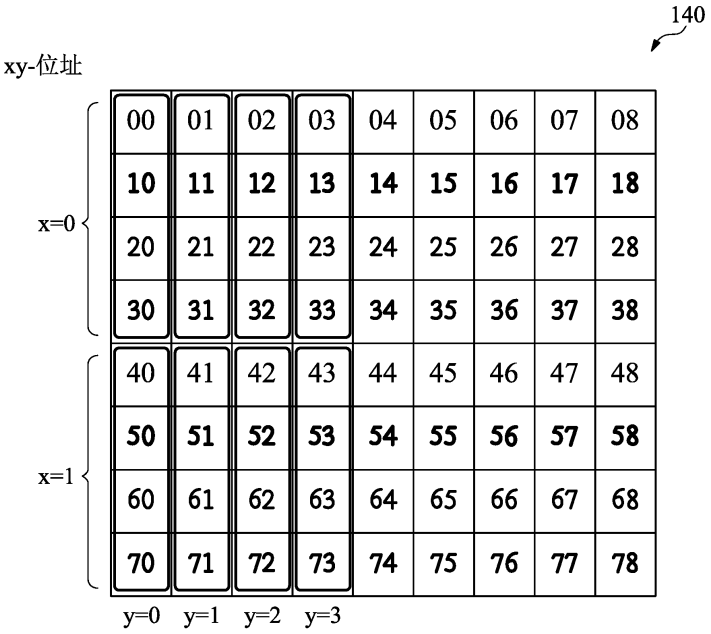
第 8 圖


102
126a 130a 126b 130b 126c 130c 126d 130d
124a 128a 124b 128b 124c 128c 124d 128d
位元線對
104
x=0
00 11 22 33 01 10 23 32 02 13 20 31 03 12 21 30
122
x=1
40 51 62 73 41 50 63 72 42 53 60 71 43 52 61 70
記憶體陣列
WL
120
106a 106b 106c 106d
0 1 2 3
0 1 2 3
1 0 3 2
2 3 0 1
3 2 1 0
100
108a I/O[0] 108b I/O[1] 108c I/O[2] 108d I/O[3]
int-Q[0] int-Q[1] int-Q[2] int-Q[3]
int-D [0] int-Q [0,1,2,3]
int-D [1] int-Q [1,0,3,2]
int-D [2] int-Q [2,3,0,1]
int-D [3] int-Q [3,2,1,0]
ext-D [0,1,2,3] 114a
ext-D [1,0,3,2] 114b
ext-D [2,3,0,1] 114c
ext-D [3,2,1,0] 114d
ext-D [0] ext-Q [0]
ext-D [1] ext-Q [1]
ext-D [2] ext-Q [2]
ext-D [3] ext-Q [3]
Y
X

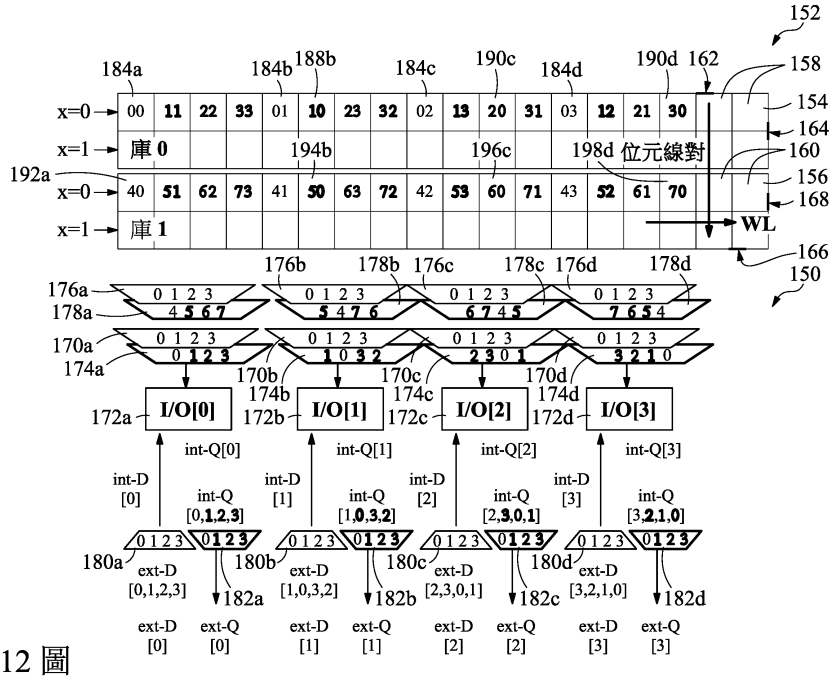
第 9 圖


102
126a 130a 126b 130b 126c 130c 126d 130d
124a 128a 124b 128b 124c 128c 124d 128d
位元線對
104
x=0
00 11 22 33 01 10 23 32 02 13 20 31 03 12 21 30
122
x=1
40 51 62 73 41 50 63 72 42 53 60 71 43 52 61 70
記憶體陣列
WL
120
0 1 2 3
0 1 2 3
1 0 3 2
2 3 0 1
3 2 1 0
100
110a 110b 110c 110d
108a I/O[0] 108b I/O[1] 108c I/O[2] 108d I/O[3]
int-Q[0] int-Q[1] int-Q[2] int-Q[3]
int-D [0] int-Q [0,1,2,3]
int-D [1] int-Q [1,0,3,2]
int-D [2] int-Q [2,3,0,1]
int-D [3] int-Q [3,2,1,0]
ext-D [0,1,2,3] 114a
ext-D [1,0,3,2] 114b
ext-D [2,3,0,1] 114c
ext-D [3,2,1,0] 114d
ext-D [0] ext-Q [0]
ext-D [1] ext-Q [1]
ext-D [2] ext-Q [2]
ext-D [3] ext-Q [3]
Y
X

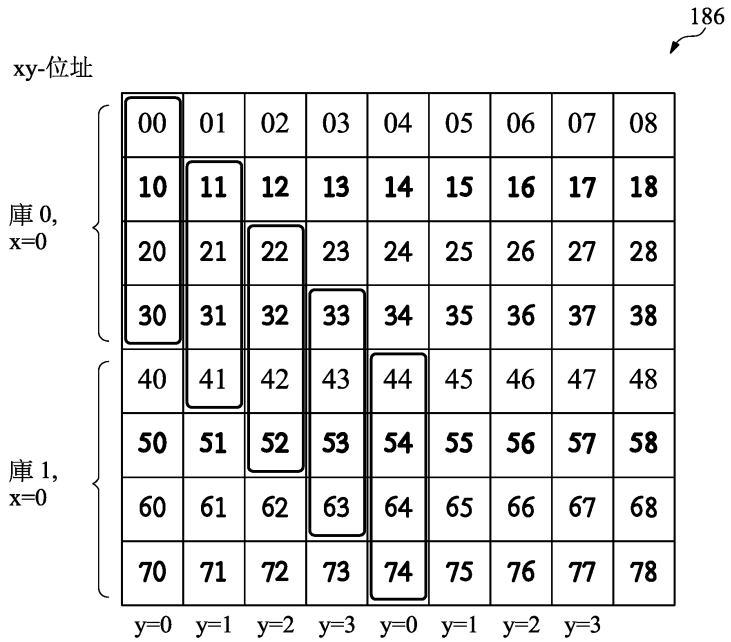
第 10 圖


140
xy-位址
x=0
x=1
00 01 02 03 04 05 06 07 08
10 11 12 13 14 15 16 17 18
20 21 22 23 24 25 26 27 28
30 31 32 33 34 35 36 37 38
40 41 42 43 44 45 46 47 48
50 51 52 53 54 55 56 57 58
60 61 62 63 64 65 66 67 68
70 71 72 73 74 75 76 77 78
y=0 y=1 y=2 y=3

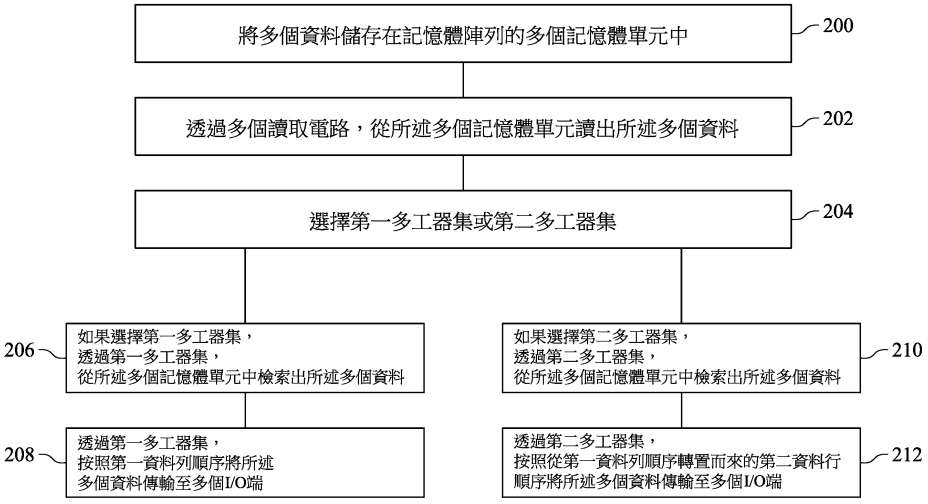
第 11 圖


152
158
154
164
160
156
168
166
150
WL
位元線對
庫 0
庫 1
I/O[0]
I/O[1]
I/O[2]
I/O[3]
int-Q[0]
int-Q[1]
int-Q[2]
int-Q[3]
ext-D [0,1,2,3]
ext-D [1,0,3,2]
ext-D [2,3,0,1]
ext-D [3,2,1,0]

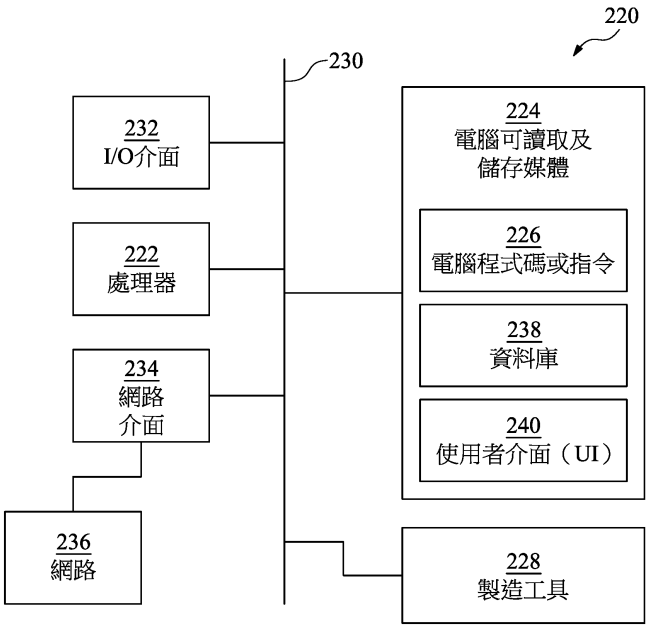
第 12 圖


186
xy-位址
庫 0,
x=0
庫 1,
x=0
00 01 02 03 04 05 06 07 08
10 11 12 13 14 15 16 17 18
20 21 22 23 24 25 26 27 28
30 31 32 33 34 35 36 37 38
40 41 42 43 44 45 46 47 48
50 51 52 53 54 55 56 57 58
60 61 62 63 64 65 66 67 68
70 71 72 73 74 75 76 77 78
y=0 y=1 y=2 y=3 y=0 y=1 y=2 y=3

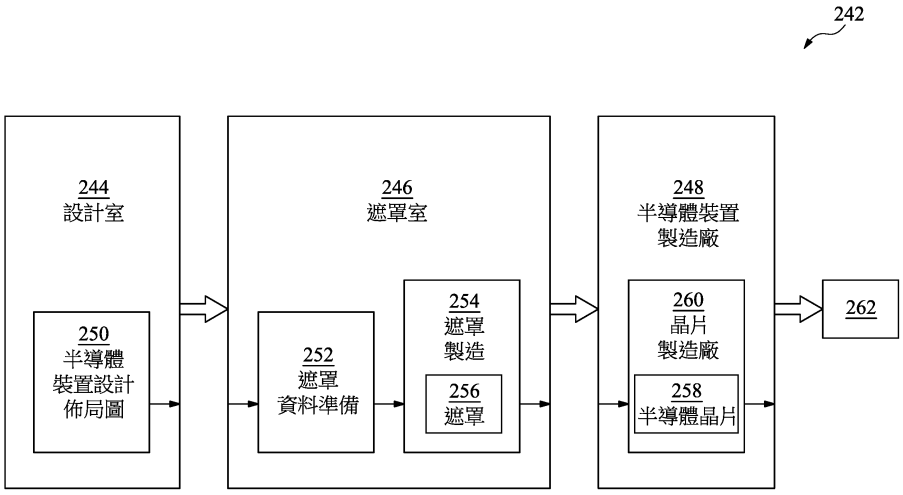
第 13 圖


將多個資料儲存在記憶體陣列的多個記憶體單元中
200
透過多個讀取電路，從所述多個記憶體單元讀出所述多個資料
202
選擇第一多工器集或第二多工器集
204
如果選擇第一多工器集，
透過第一多工器集，
從所述多個記憶體單元中檢索出所述多個資料
206
透過第一多工器集，
按照第一資料列順序將所述
多個資料傳輸至多個I/O端
208
如果選擇第二多工器集，
透過第二多工器集，
從所述多個記憶體單元中檢索出所述多個資料
210
透過第二多工器集，
按照從第一資料列順序轉置而來的第二資料行
順序將所述多個資料傳輸至多個I/O端
212

第 14 圖


220
230
232
I/O介面
222
處理器
234
網路
介面
236
網路
224
電腦可讀取及
儲存媒體
226
電腦程式碼或指令
238
資料庫
240
使用者介面（UI）
228
製造工具

第 15 圖


242
244
設計室
250
半導體
裝置設計
佈局圖
246
遮罩室
252
遮罩
資料準備
254
遮罩
製造
256
遮罩
248
半導體裝置
製造廠
260
晶片
製造廠
258
半導體晶片
262

第 16 圖