【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I941041
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10D62/00 (2026.01)*　*H10D62/815 (2025.01)*
H10P70/00 (2026.01)

發明　　全 13 頁

【54】名　稱：包含具超晶格層的化合物半導體材料的半導體元件，以及用於製造此類半導體元件之方法

【21】申請案號：114102060　【22】申請日： 中華民國 114 (2025) 年 01 月 17 日
【11】公開編號：202543418　【43】公開日期： 中華民國 114 (2025) 年 11 月 01 日
【30】優 先 權：　2024/01/18　美國　63/622,133
2024/01/30　美國　63/626,703
2024/04/08　美國　63/631,149

【72】發 明 人：強生　傑瑞維恩 (US) JOHNSON, JERRY WAYNE；海太　馬瑞克 (US) HYTHA, MAREK；米爾斯　羅勃Ｊ (GB) MEARS, ROBERT J.；柯迪　奈爾斯溫 (US) CODY, NYLES WYNN
【71】申 請 人：美商安托梅拉公司　ATOMERA INCORPORATED
美國
【74】代 理 人：陳絲倩；郭建中

【56】參考文獻：

TW	200638542A	TW	201407787A
TW	201724509A	US	2023/0411557A1

審查人員：陳聖

【57】申請專利範圍

1. 一種半導體元件，包括：一單晶矽底材，其具有(111)晶向且偏離角度為 0.5°或更小；該單晶矽底材上之一超晶格層，其包括複數個堆疊之層群組，各層群組包含界定出一基底半導體部分之複數個堆疊之基底半導體單層，以及被拘束在相鄰的基底半導體部分之一晶格內之至少一非半導體單層，以及一頂蓋層，其位於該複數個堆疊之層群組當中最高者的上面，該頂蓋層之厚度在 3 奈米至 5 奈米的範圍內；及一 III 族氮化物半導體堆疊，其位於該超晶格層上方並包括鄰接該頂蓋層之一 III 族氮化物半導體成核層、鄰接該 III 族氮化物半導體成核層之一 III 族氮化物半導體過渡層，以及鄰接該 III 族氮化物半導體過渡層之至少一 III 族氮化物半導體緩衝層。
2. 如請求項 1 之半導體元件，其中該 III 族氮化物半導體成核層包括氮化鋁。
3. 如請求項 1 之半導體元件，其中該 III 族氮化物半導體過渡層包括氮化鋁、氮化鎵、氮化鋁鎵當中至少一者。
4. 如請求項 1 之半導體元件，其中該至少一 III 族氮化物半導體緩衝層包括氮化鎵。
5. 如請求項 1 之半導體元件，其中該 III 族氮化物半導體堆疊更包括：鄰接該至少一 III 族氮化物半導體緩衝層之一 III 族氮化物半導體間隔層；及鄰接該 III 族氮化物半導體間隔層之一 III 族氮化物半導體阻障層。
6. 如請求項 5 之半導體元件，其中該 III 族氮化物半導體間隔層包括氮化鋁。
7. 如請求項 5 之半導體元件，其中該 III 族氮化物半導體阻障層包括氮化鋁鎵。
8. 如請求項 1 之半導體元件，其中該些基底半導體單層包括矽。

9. 如請求項 1 之半導體元件，其中該至少一非半導體單層包括氧。
10. 如請求項 1 之半導體元件，其中該至少一非半導體單層包括碳。
11. 一種用於製造一半導體元件之方法，包括：在具有(111)晶向且偏離角度為 0.5°或更小之一單晶矽底材上形成一超晶格層，該超晶格層包括複數個堆疊之層群組，各層群組包含界定出一基底半導體部分之複數個堆疊之基底半導體單層，以及被拘束在相鄰的基底半導體部分之一晶格內之至少一非半導體單層，並形成一頂蓋層，使其位於該複數個堆疊之層群組當中最高者的上面，該頂蓋層之厚度在 3 奈米至 5 奈米的範圍內；及形成一 III 族氮化物半導體堆疊，使其位於該超晶格層上方並包括鄰接該頂蓋層之一 III 族氮化物半導體成核層、鄰接該 III 族氮化物半導體成核層之一 III 族氮化物半導體過渡層，以及鄰接該 III 族氮化物半導體過渡層之至少一 III 族氮化物半導體緩衝層。
12. 如請求項 11 之方法，其中該 III 族氮化物半導體成核層包括氮化鋁。
13. 如請求項 11 之方法，其中該 III 族氮化物半導體過渡層包括氮化鋁、氮化鎵、氮化鋁鎵當中至少一者。
14. 如請求項 11 之方法，其中該至少一 III 族氮化物半導體緩衝層包括氮化鎵。
15. 如請求項 11 之方法，其中形成該 III 族氮化物半導體堆疊更包括：形成鄰接該至少一 III 族氮化物半導體緩衝層之一 III 族氮化物半導體間隔層；及形成鄰接該 III 族氮化物半導體間隔層之一 III 族氮化物半導體阻障層。
16. 如請求項 15 之方法，其中該 III 族氮化物半導體間隔層包括氮化鋁。
17. 如請求項 15 之方法，其中該 III 族氮化物半導體阻障層包括氮化鋁鎵。
18. 如請求項 11 之方法，其中該些基底半導體單層包括矽。
19. 如請求項 11 之方法，其中該至少一非半導體單層包括氧。
20. 如請求項 11 之方法，其中該至少一非半導體單層包括碳。

圖式簡單說明

圖 1 為依照一示例實施例之半導體元件用超晶格之放大概要剖視圖。

圖 2 為圖 1 所示超晶格之一部份之透視示意原子圖。

圖 3 為依照另一示例實施例之超晶格放大概要剖視圖。

圖 4 是半導體元件的示意剖面圖，該元件包括具超晶格層的 III 族氮化物半導體堆疊，該超晶格層在示例實施例中提供優勢。

圖 5 是另一半導體元件的示意剖面圖，該元件包括具有超晶格層的 III 族氮化物半導體堆疊，該超晶格層在示例實施例中提供增強的應力/應變控制。

圖 6 是依照一示例實施例繪示圖 4 的 III 族氮化物半導體堆疊與矽(111)底材在超晶格層處分離以與第二底材耦合的示意剖面圖。

圖 7 為繪示製造圖 4 至圖 6 實施例之方法流程圖。

圖 8 及圖 9 是示例性壓電元件的示意剖面圖，該元件包括位於超晶格層上的 III 族氮化物壓電層。

圖 10 為繪示製造圖 8 及圖 9 壓電元件之示例方法的流程圖。

圖 11 是半導體元件的示意剖面圖，該元件在超晶格上方同時包含 III 族氮化物和矽電路區域。

圖 12 為繪示製造圖 11 半導體元件之方法流程圖。

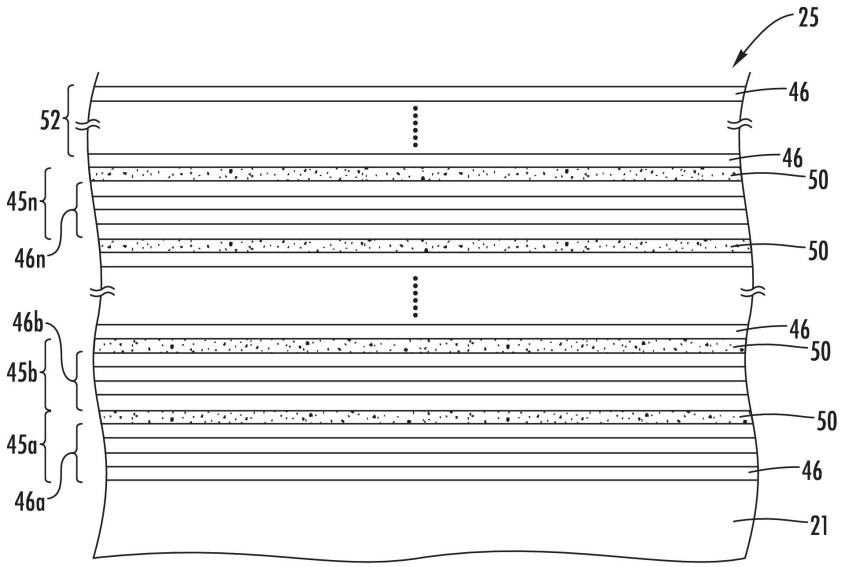


圖1

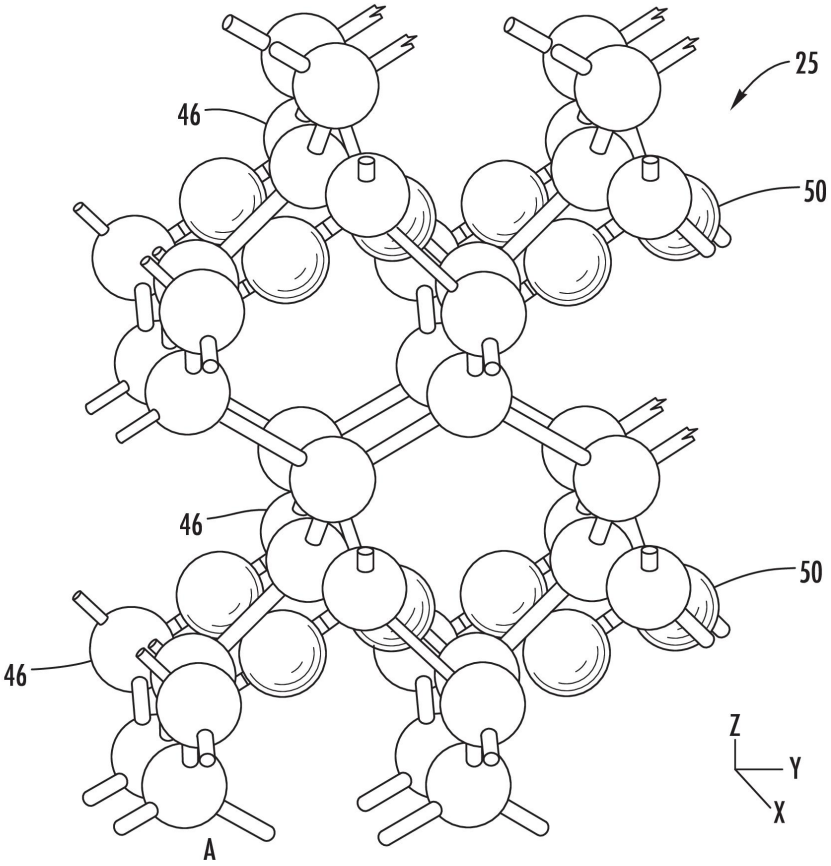


圖2

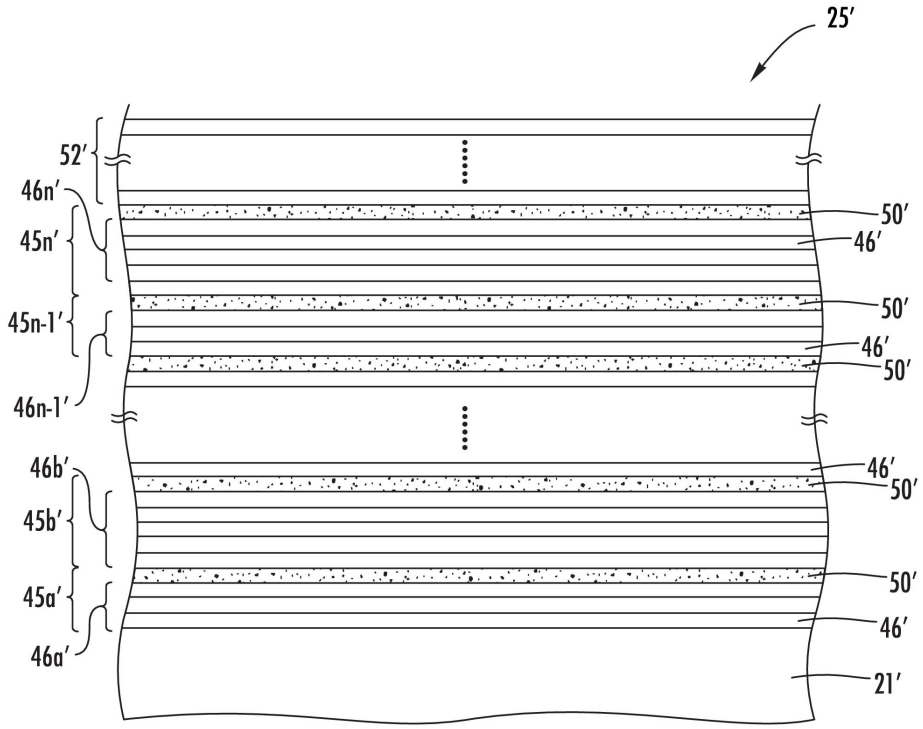

25′
52′
46n′
45n′
45n-1′
46n-1′
46b′
45b′
45a′
46a′
50′
46′
50′
46′
50′
46′
50′
50′
46′
21′

圖3

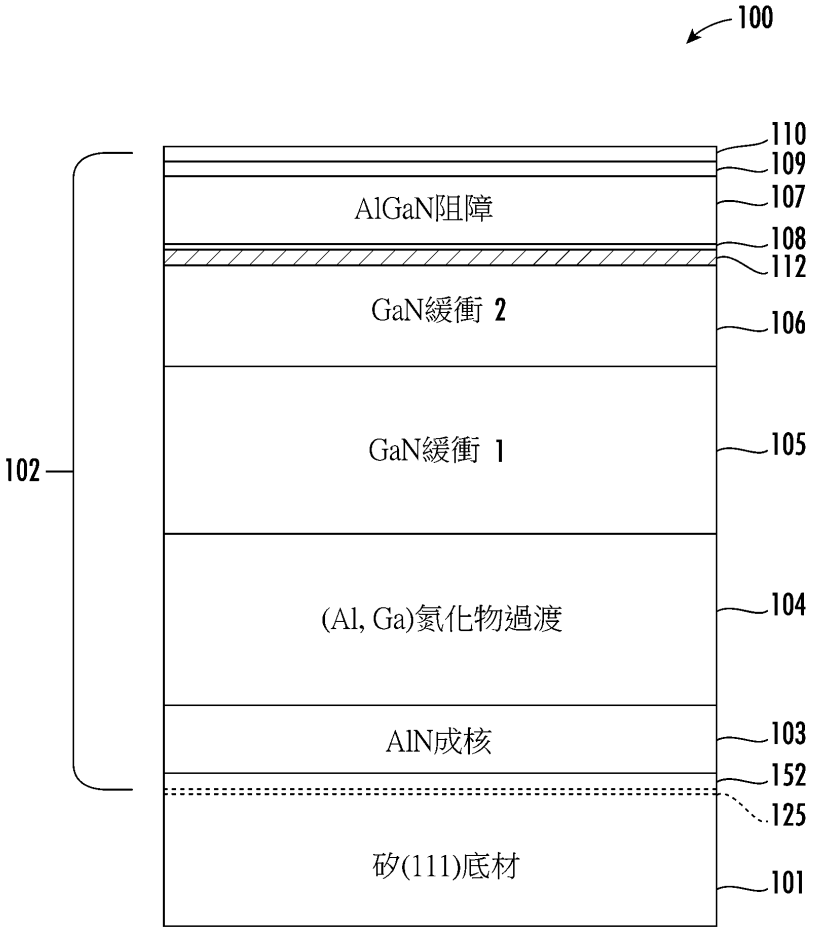

100
110
109
AlGaN阻障
107
108
112
GaN緩衝 2
106
GaN緩衝 1
105
102
(Al, Ga)氮化物過渡
104
AlN成核
103
152
125
矽(111)底材
101

圖4

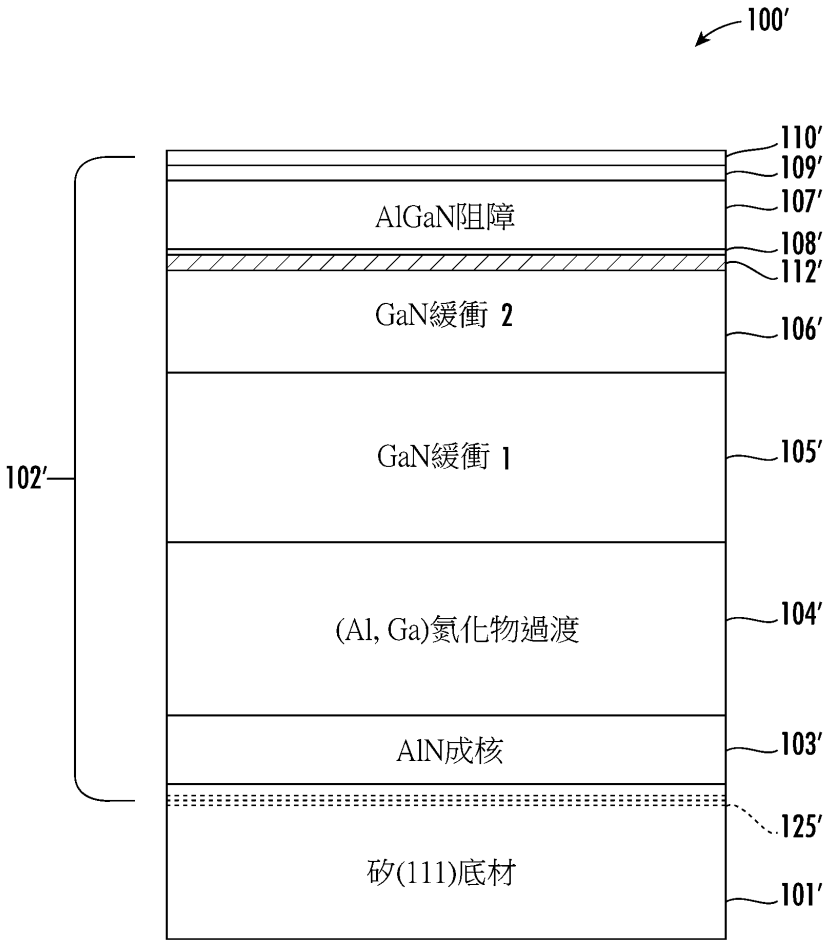

100′
110′
109′
AlGaN阻障
107′
108′
112′
GaN緩衝 2
106′
GaN緩衝 1
105′
102′
(Al, Ga)氮化物過渡
104′
AlN成核
103′
125′
矽(111)底材
101′

圖5

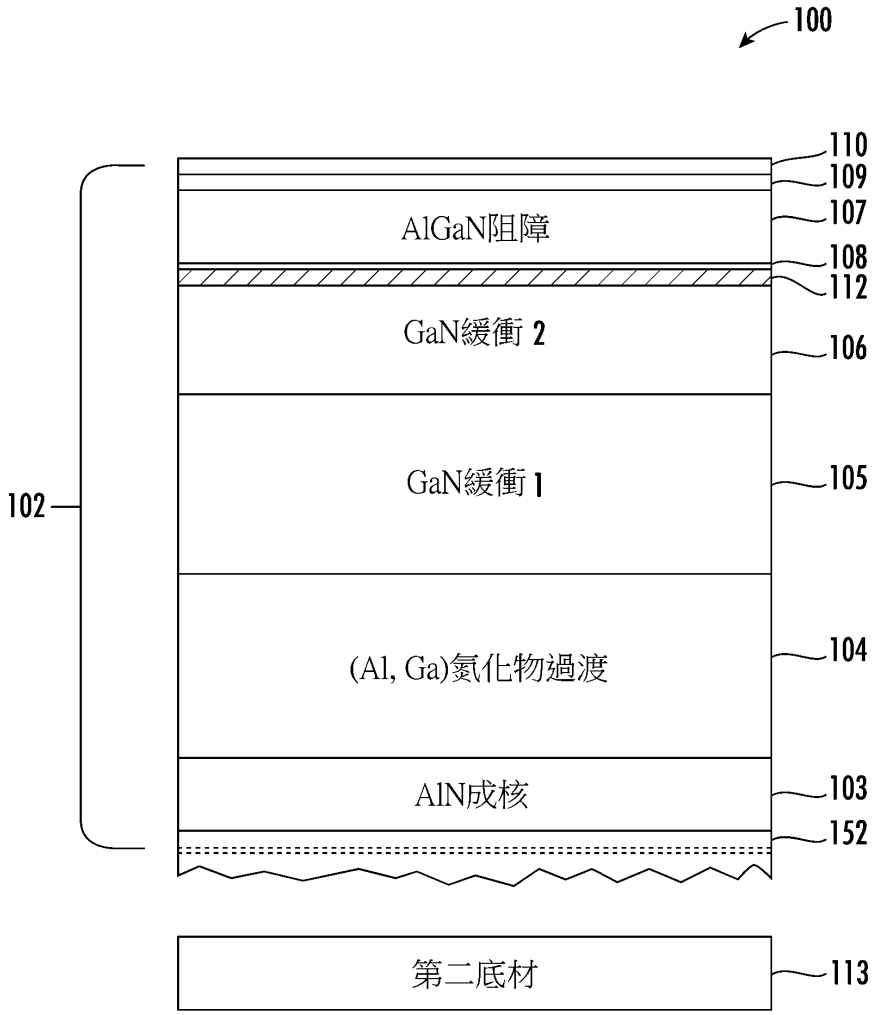

100
110
109
AlGaN阻障
107
108
112
GaN緩衝 2
106
GaN緩衝 1
105
102
(Al, Ga)氮化物過渡
104
AlN成核
103
152
第二底材
113

圖6

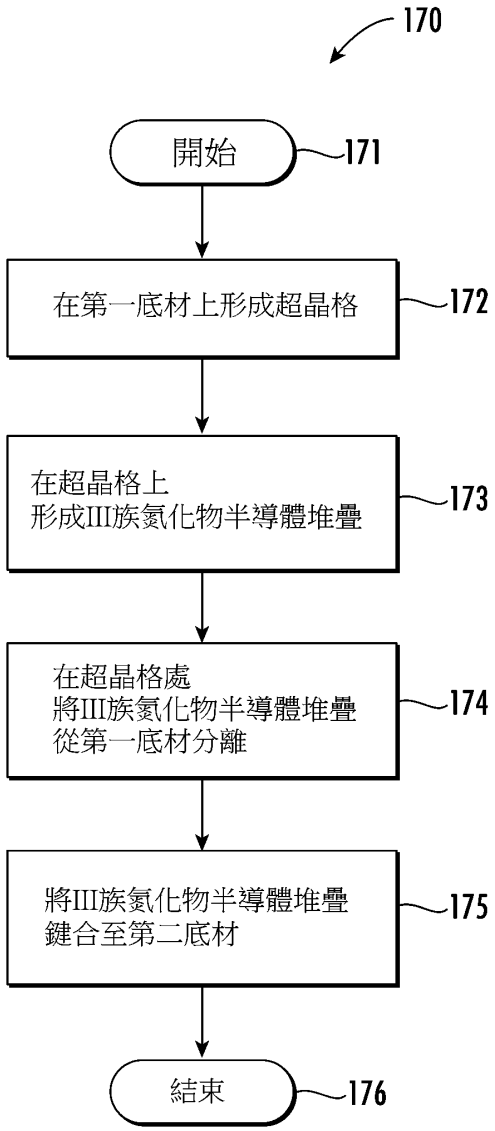

170
開始
171
在第一底材上形成超晶格
172
在超晶格上
形成III族氮化物半導體堆疊
173
在超晶格處
將III族氮化物半導體堆疊
從第一底材分離
174
將III族氮化物半導體堆疊
鍵合至第二底材
175
結束
176

圖7

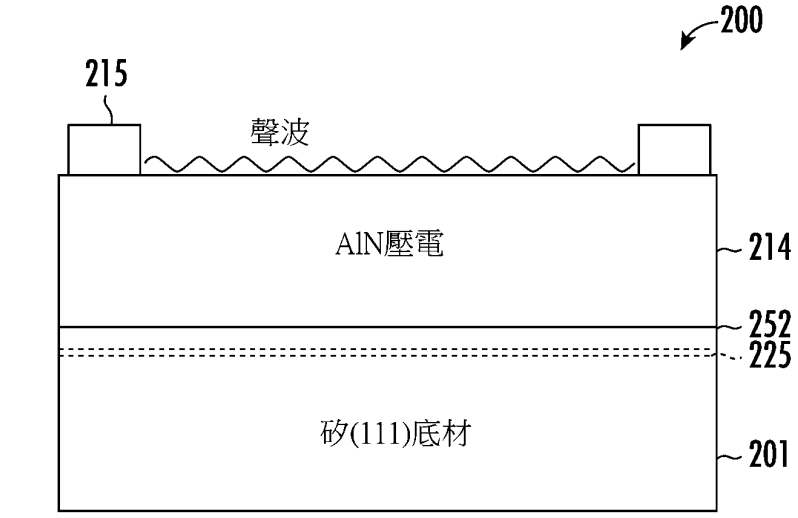

200
215
聲波
AlN壓電
214
252
225
矽(111)底材
201

圖8

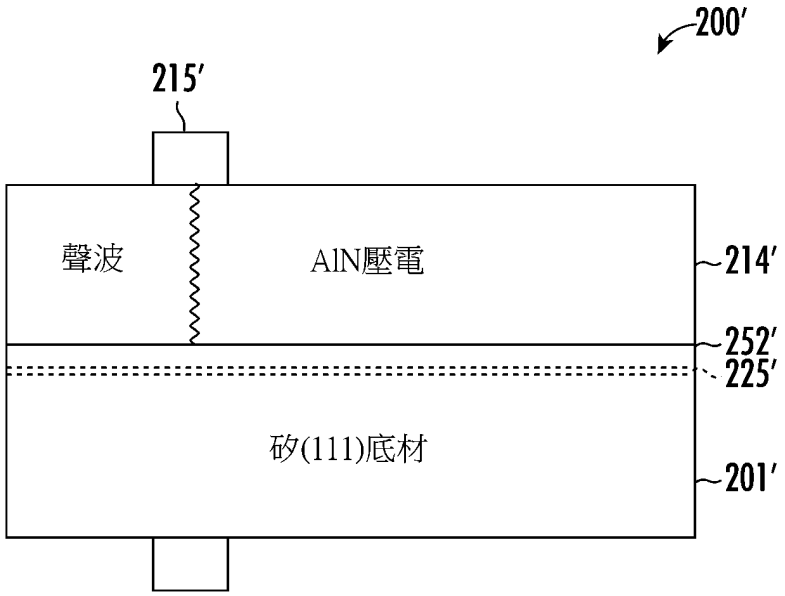

200′
215′
聲波
AlN壓電
214′
252′
225′
矽(111)底材
201′

圖9

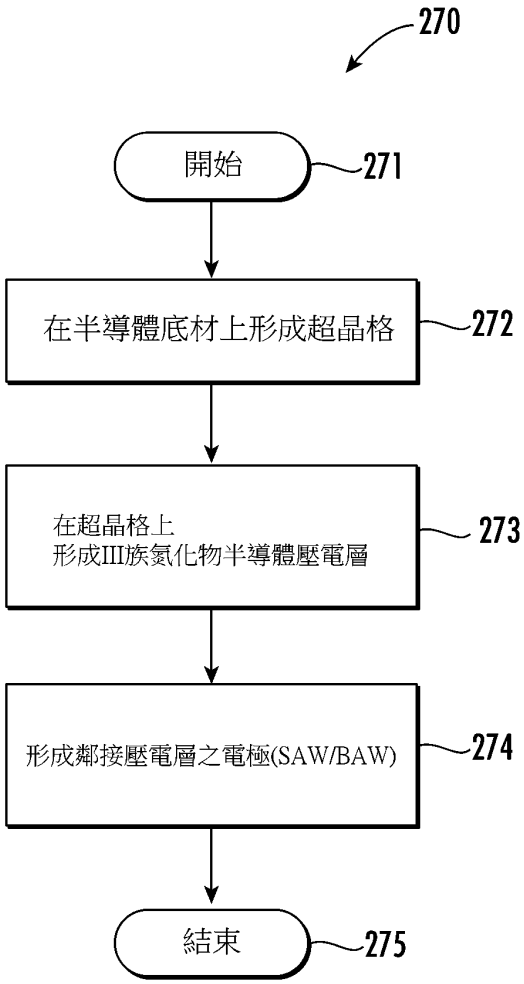

270
開始
271
在半導體底材上形成超晶格
272
在超晶格上
形成III族氮化物半導體壓電層
273
形成鄰接壓電層之電極(SAW/BAW)
274
結束
275

圖10

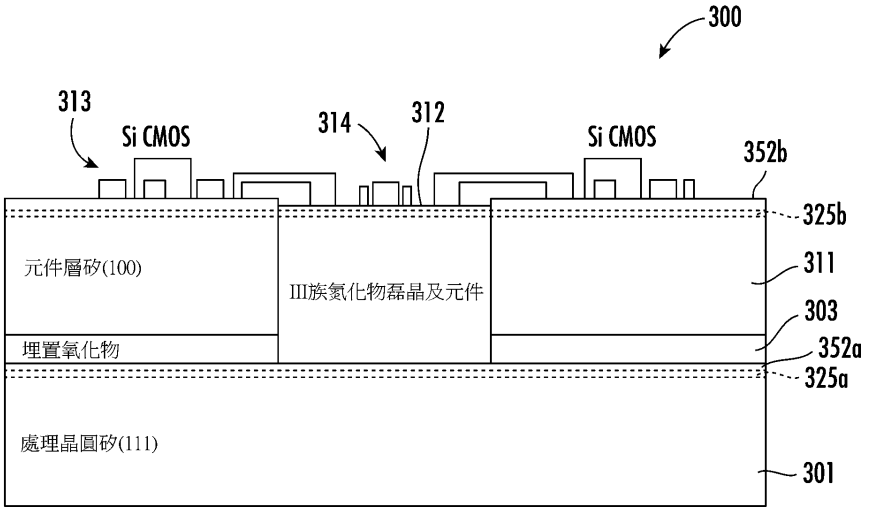

300
313
Si CMOS
314
312
Si CMOS
352b
325b
元件層矽(100)
III族氮化物磊晶及元件
311
303
埋置氧化物
352a
325a
處理晶圓矽(111)
301

圖11

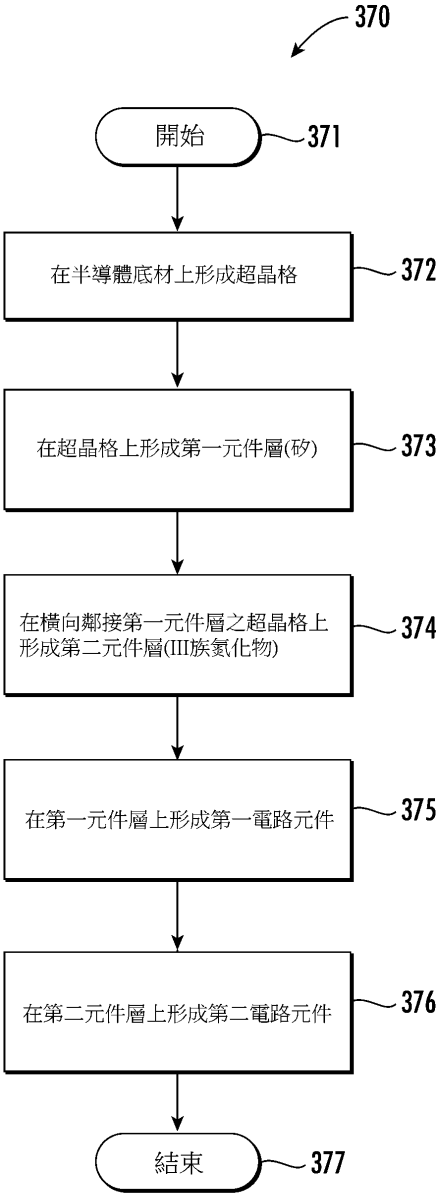

370
開始
371
在半導體底材上形成超晶格
372
在超晶格上形成第一元件層(矽)
373
在橫向鄰接第一元件層之超晶格上形成第二元件層(III族氮化物)
374
在第一元件層上形成第一電路元件
375
在第二元件層上形成第二電路元件
376
結束
377

圖12