【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I941050
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10W20/40 (2026.01)*　*H10B41/27 (2023.01)*
*H10B43/27 (2023.01)*

發明　　全 40 頁

【54】名　稱：半導體記憶裝置

【21】申請案號：114103695　【22】申請日： 中華民國 114 (2025) 年 02 月 03 日
【11】公開編號：202614425　【43】公開日期： 中華民國 115 (2026) 年 04 月 01 日
【30】優 先 權： 2024/09/18　日本　2024-161170

【72】發 明 人： 井上奉紀 (JP) INOUE, TOMONORI；窪田吉孝 (JP) KUBOTA, YOSHITAKA
【71】申 請 人： 日商鎧俠股份有限公司　KIOXIA CORPORATION
日本
【74】代 理 人： 卓俊傑；鮑亞嵐

【56】參考文獻：

| | | | |
|---|---|---|---|
| TW | 202137396A | TW | 202333357A |
| TW | 202339225A | TW | 202415228A |

審查人員：范士隆

【57】申請專利範圍

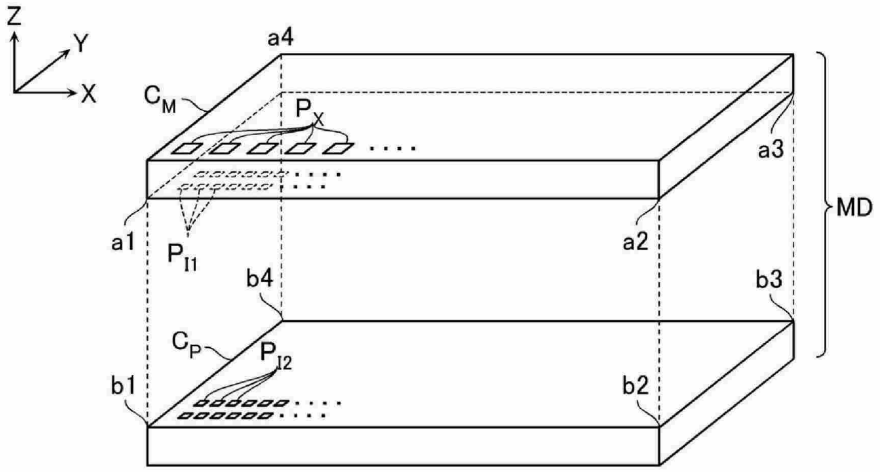
1. 一種半導體記憶裝置，包括經由多個貼合電極而貼合的第一晶片及第二晶片， 所述第一晶片及所述第二晶片包括： 記憶體區域，包含記憶胞元陣列或連接於所述記憶胞元陣列的周邊電路；以及 封邊區域，以包圍所述記憶體區域的周圍的方式而設， 所述第一晶片包括： 半導體基板；以及 多個第一導電層，設在所述封邊區域，分別在與所述半導體基板的表面交叉的第一方向上與所述半導體基板連接， 所述第二晶片包括： 多個封邊，在所述封邊區域中，分別沿著所述第一方向延伸，且以自所述第一方向觀察包圍所述記憶體區域的周圍的方式而設，自所述封邊區域的內周側朝向外周側而隔開地排列； 第一配線層，相對於所述多個封邊而設在所述第一晶片側；以及 第二配線層，相對於所述第一配線層而設在所述第一晶片側，包括包含鎢（W）的多個配線， 所述第一配線層包括多個第二導電層，所述多個第二導電層設在所述封邊區域，且設在自所述第一方向觀察與所述多個封邊中的、自所述第一方向觀察除了最外周以外的多個第一封邊重合的位置，並與所述多個第一封邊電性連接， 所述第二配線層包括： 多個第三導電層，設在所述封邊區域，且設在自所述第一方向觀察與所述多個第一封邊重合的位置，並與所述多個第一封邊電性連接；以及 第四導電層，設在所述封邊區域，且設在自所述第一方向觀察較所述多個第三導電層更靠外周側，不與所述多個封邊中的自所述第一方向觀察為最外周的第二封邊電性連接，並與所述第二封邊隔開。
2. 如請求項 1 所述的半導體記憶裝置，其中 所述多個第一封邊中的一個經由所述多個第二導電層中的一個及所述多個第三導電層中的一個而與所述多個貼合電極中的一個電性連接， 所述多個第一封邊中的另一個與所述多個貼合電極中的任一者均不電性連接。
3. 如請求項 1 所述的半導體記憶裝置，其中 所述第四導電層包含自所述第一方向觀察與所述第二封邊重合的部分。
4. 如請求項 1 所述的半導體記憶裝置，其中 所述第四導電層包含自所述第一方向觀察不與所述第二封邊重合的部分。

5. 如請求項 1 所述的半導體記憶裝置，其中 所述第二封邊包括沿與所述第一方向交叉的第二方向延伸的第一延伸部， 所述第四導電層包括沿所述第二方向延伸的第二延伸部， 所述第二延伸部的、與所述第一方向及所述第二方向交叉的第三方向上的寬度大於所述第一延伸部的所述第二方向上的寬度。
6. 如請求項 1 所述的半導體記憶裝置，其中 所述第二配線層更包括第五導電層， 所述第五導電層設在所述封邊區域，且設在自所述第一方向觀察較所述第二封邊更靠外周側，不與所述第二封邊電性連接，並與所述第二封邊隔開， 所述第四導電層設在自所述第一方向觀察較所述第二封邊更靠內周側。
7. 如請求項 6 所述的半導體記憶裝置，其中 所述第四導電層及所述第五導電層自所述第一方向觀察不與所述第二封邊重合。
8. 如請求項 1 所述的半導體記憶裝置，其中 所述第四導電層自所述第一方向觀察與所述第二封邊局部重合且蛇行。
9. 如請求項 8 所述的半導體記憶裝置，其中 所述第四導電層具有自所述第一方向觀察分別與所述第二封邊具有規定角度的多個局部區域， 所述多個局部區域自所述第一方向觀察與所述第二封邊局部重合。
10. 如請求項 8 所述的半導體記憶裝置，其中 所述第四導電層是包含自所述第一方向觀察分別隔開的多個局部區域的配線， 所述多個局部區域自所述第一方向觀察與所述第二封邊至少局部重合。
11. 一種半導體記憶裝置，包括經由多個貼合電極而貼合的第一晶片及第二晶片， 所述第一晶片及所述第二晶片包括： 記憶體區域，包含記憶胞元陣列或連接於所述記憶胞元陣列的周邊電路；以及 封邊區域，以包圍所述記憶體區域的周圍的方式而設， 所述第一晶片包括： 半導體基板；以及 多個第一導電層，設在所述封邊區域，且分別在與所述半導體基板的表面交叉的第一方向上與所述半導體基板連接， 所述第二晶片包括： 多個封邊，在所述封邊區域中，分別沿著所述第一方向延伸，且以自所述第一方向觀察包圍所述記憶體區域的周圍的方式而設，自所述封邊區域的內周側朝向外周側而隔開地排列； 第一配線層，相對於所述多個封邊而設在所述第一晶片側；以及 第二配線層，相對於所述第一配線層而設在所述第一晶片側，包括包含鎢（W）的多個配線， 所述第一配線層包括多個第二導電層，所述多個第二導電層設在所述封邊區域，且設在自所述第一方向觀察與所述多個封邊重合的位置，並與所述多個封邊電性連接， 所述第二配線層包括： 多個第三導電層，設在所述封邊區域，且設在自所述第一方向觀察與所述多個封邊重合的位置，並與所述多個封邊電性連接；以及 第四導電層，設在所述封邊區域，在較設在與所述多個封邊中的自所述第一方向觀察為最外周的第一封邊重合的位置的所述第三導電層更靠外周側及內周側，與所述第三導電層隔開而設，不與所述第一封邊電性連接，並與所述第一封邊隔開。
12. 如請求項 11 所述的半導體記憶裝置，其中 所述第一配線層包括第五導電層，所述第五導電層設在所述封邊區域，且在較設在自所述第一方向觀察與所述第一封邊重合的位置的所述第二導電層更靠外周側及內周側，與所述第二導電層隔開而設，不與所述第一封邊電性連接，並與所述第一封邊隔開。

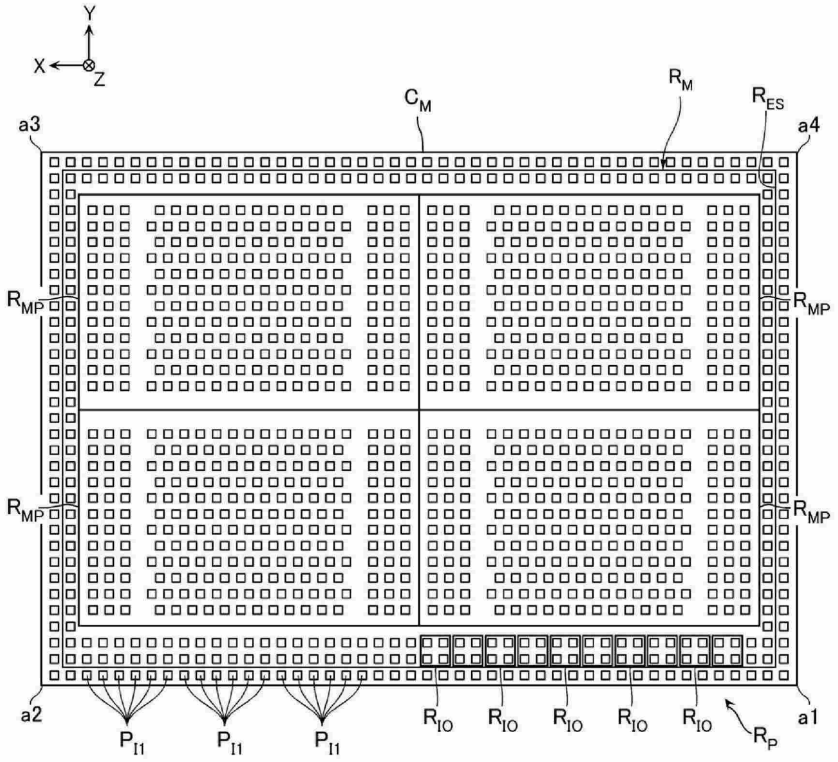
圖式簡單說明

圖 1 是表示第一實施方式的半導體記憶裝置的結構例的示意分解立體圖。 圖 2 是表示晶片 $C_M$ 的結構例的示意底面圖。 圖 3 是表示晶片 $C_M$ 的結構例的示意底面圖。 圖 4 是將圖 2 的一部分放大表示的示意底面圖。 圖 5 是表示晶片 $C_P$ 的結構例的示意平面圖。 圖 6 是將圖 5 的一部分放大表示的示意平面圖。 圖 7 是表示記憶體晶粒 MD 的一部分的結構的示意剖面圖。 圖 8 是將圖 7 的一部分放大表示的示意剖面圖。 圖 9 是將圖 8 的一部分放大表示的示意

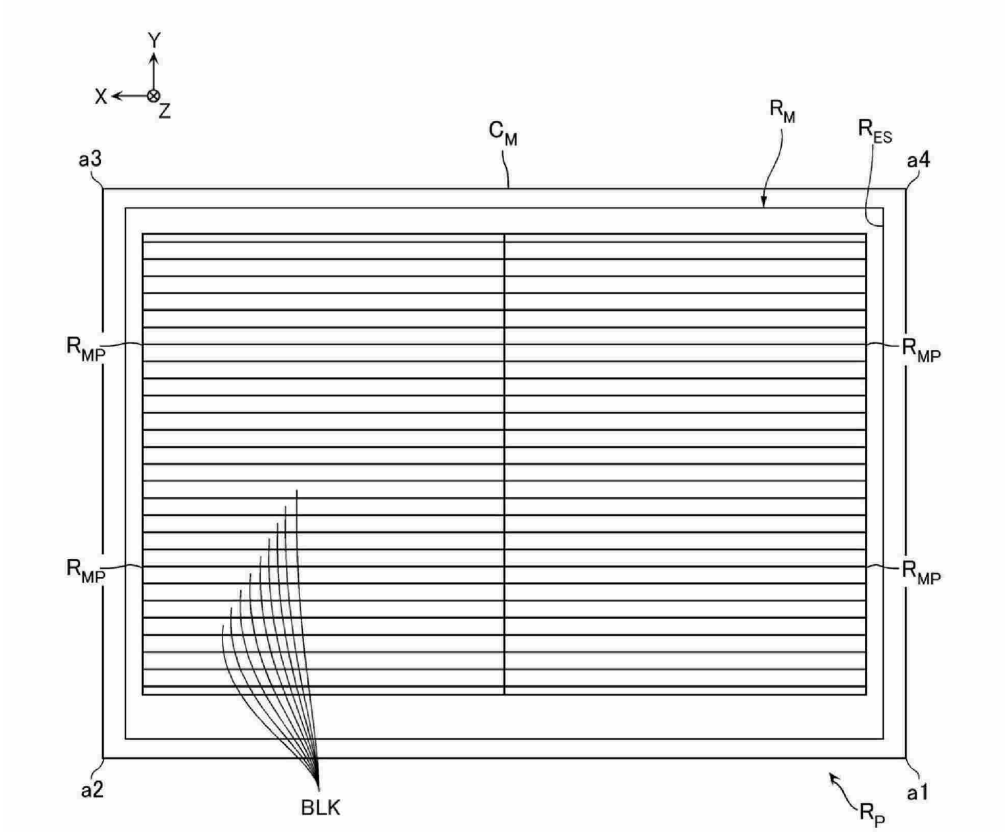
剖面圖。 圖 10 是表示第一實施方式的封邊區域及切口區域的結構例的示意剖面圖。 圖 11 是用於對第一實施方式的半導體記憶裝置的製造方法進行說明的示意仰視圖。 圖 12 是用於對所述製造方法進行說明的示意剖面圖。 圖 13 是用於對所述製造方法進行說明的示意剖面圖。 圖 14 是用於對所述製造方法進行說明的示意剖面圖。 圖 15 是用於對所述製造方法進行說明的示意剖面圖。 圖 16 是用於對所述製造方法進行說明的示意剖面圖。 圖 17 是用於對所述製造方法進行說明的示意剖面圖。 圖 18 是用於對所述製造方法進行說明的示意剖面圖。 圖 19 是用於對所述製造方法進行說明的示意剖面圖。 圖 20 是用於對所述製造方法進行說明的示意剖面圖。 圖 21 是用於對所述製造方法進行說明的示意剖面圖。 圖 22 是用於對所述製造方法進行說明的示意剖面圖。 圖 23 是用於對所述製造方法進行說明的示意剖面圖。 圖 24 是用於對所述製造方法進行說明的示意剖面圖。 圖 25 是用於對所述製造方法進行說明的示意平面圖。 圖 26 是用於對所述製造方法進行說明的示意立體圖。 圖 27 是用於對所述製造方法進行說明的示意立體圖。 圖 28 是用於對所述製造方法進行說明的示意剖面圖。 圖 29 是用於對所述製造方法進行說明的示意剖面圖。 圖 30 是用於對所述製造方法進行說明的示意剖面圖。 圖 31 是表示第一實施方式的實施例 1 的封邊區域的多個封邊的配置與配線層 M1 的配置的示意平面圖。 圖 32 是將圖 31 的一部分放大表示的示意平面圖。 圖 33 是表示沿著圖 31 的 E-E'虛線切斷時的、設在封邊 ES6 下方的配線層 M1 的結構的示意剖面圖。 圖 34 是表示第一實施方式的實施例 2 的封邊區域的多個封邊的配置與配線層 M1 的配置的示意平面圖。 圖 35 是將圖 34 的一部分放大表示的示意平面圖。 圖 36 是表示沿著圖 34 的 F-F'虛線切斷時的、設在封邊 ES6 下方的配線層 M1 的結構的示意剖面圖。 圖 37 是表示第一實施方式的實施例 3 的封邊區域的多個封邊的配置與配線層 M1 的配置的示意平面圖。 圖 38 是將圖 37 的一部分放大表示的示意平面圖。 圖 39 是沿著圖 37 的 G-G'虛線切斷時的、設在封邊 ES6 下方的配線層 M1 的結構的示意剖面圖。 圖 40 是表示第一實施方式的實施例 4 的封邊區域的多個封邊的配置與配線層 M1 的配置的示意平面圖。 圖 41 是將圖 40 的一部分放大表示的示意平面圖。 圖 42 是沿著圖 40 的 H-H'虛線切斷時的、設在封邊 ES6 下方的配線層 M1 的結構的示意剖面圖。 圖 43 是表示第一實施方式的實施例 5 的封邊區域的多個封邊的配置與配線層 M1 的配置的示意平面圖。 圖 44 是將圖 43 的一部分放大表示的示意平面圖。 圖 45 是示意性地表示其他實施方式的封邊 ES6 與封邊 ES6 下方的導電層的結構的剖面圖。 圖 46 是示意性地表示其他實施方式的封邊 ES6 與封邊 ES6 下方的導電層的結構的剖面圖。 圖 47 是示意性地表示其他實施方式的封邊 ES6 與封邊 ES6 下方的導電層的結構的剖面圖。 圖 48 是示意性地表示其他實施方式的封邊 ES6 與封邊 ES6 下方的導電層的結構的剖面圖。 圖 49 是表示其他實施方式的封邊區域的多個封邊的配置與配線層 M0、配線層 M1 的配置的示意平面圖。 圖 50 是表示沿著圖 49 的 I-I'虛線切斷時的、設在封邊 ES6 下方的配線層 M0、配線層 M1 的結構的示意剖面圖。


Z
Y
X
a4
$C_M$
$P_X$
a3
MD
a1
$P_{I1}$
a2
b4
b3
$C_P$
$P_{I2}$
b1
b2

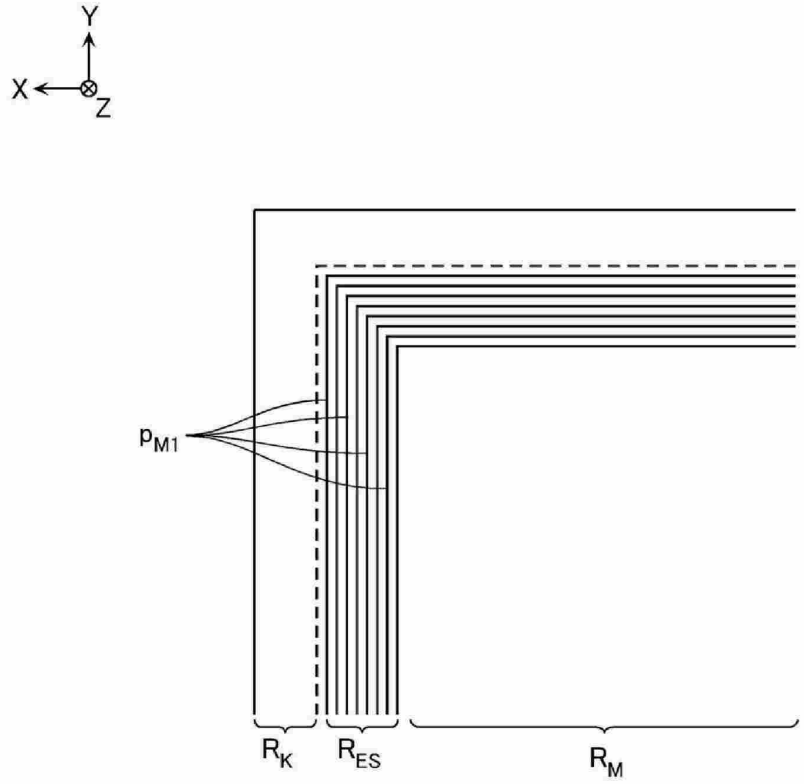
【圖1】


Y
X
Z
$C_M$
$R_M$
$R_{ES}$
a3
a4
$R_{MP}$
$R_{MP}$
$R_{MP}$
$R_{MP}$
a2
a1
$P_{I1}$
$P_{I1}$
$P_{I1}$
$R_{IO}$
$R_{IO}$
$R_{IO}$
$R_{IO}$
$R_{IO}$
$R_P$

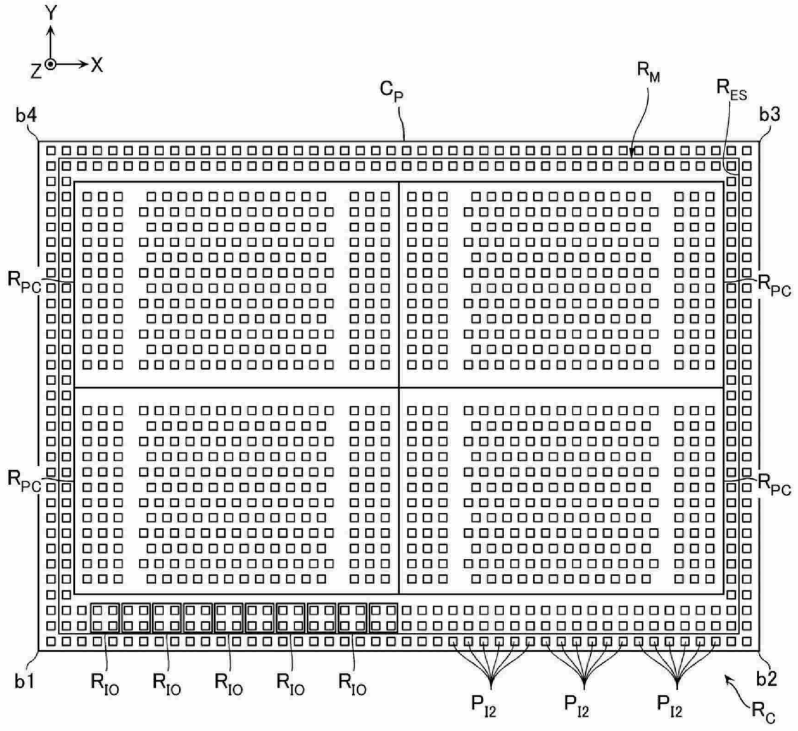
【圖2】



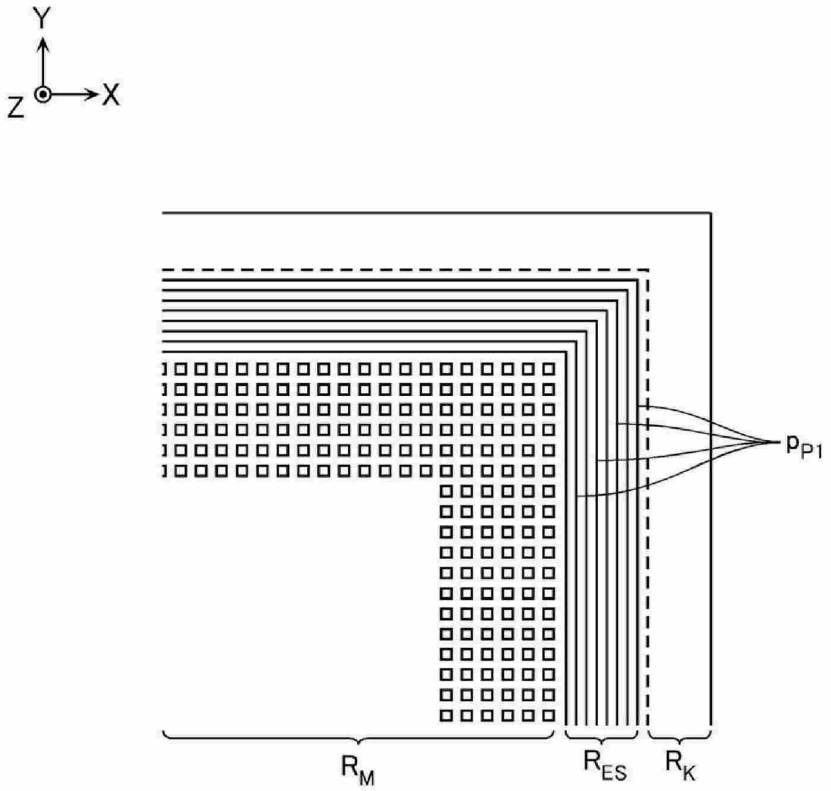

【圖3】



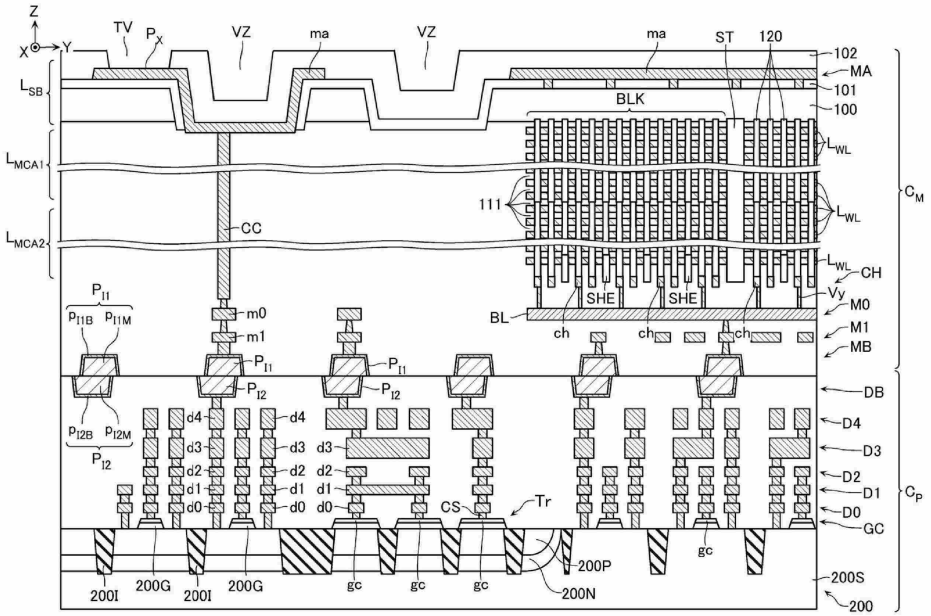

【圖4】


Y
Z
X
$C_P$
$R_M$
$R_{ES}$
b4
b3
$R_{PC}$
$R_{PC}$
$R_{PC}$
$R_{PC}$
b1
$R_{IO}$
$R_{IO}$
$R_{IO}$
$R_{IO}$
$R_{IO}$
$P_{I2}$
$P_{I2}$
$P_{I2}$
b2
$R_C$

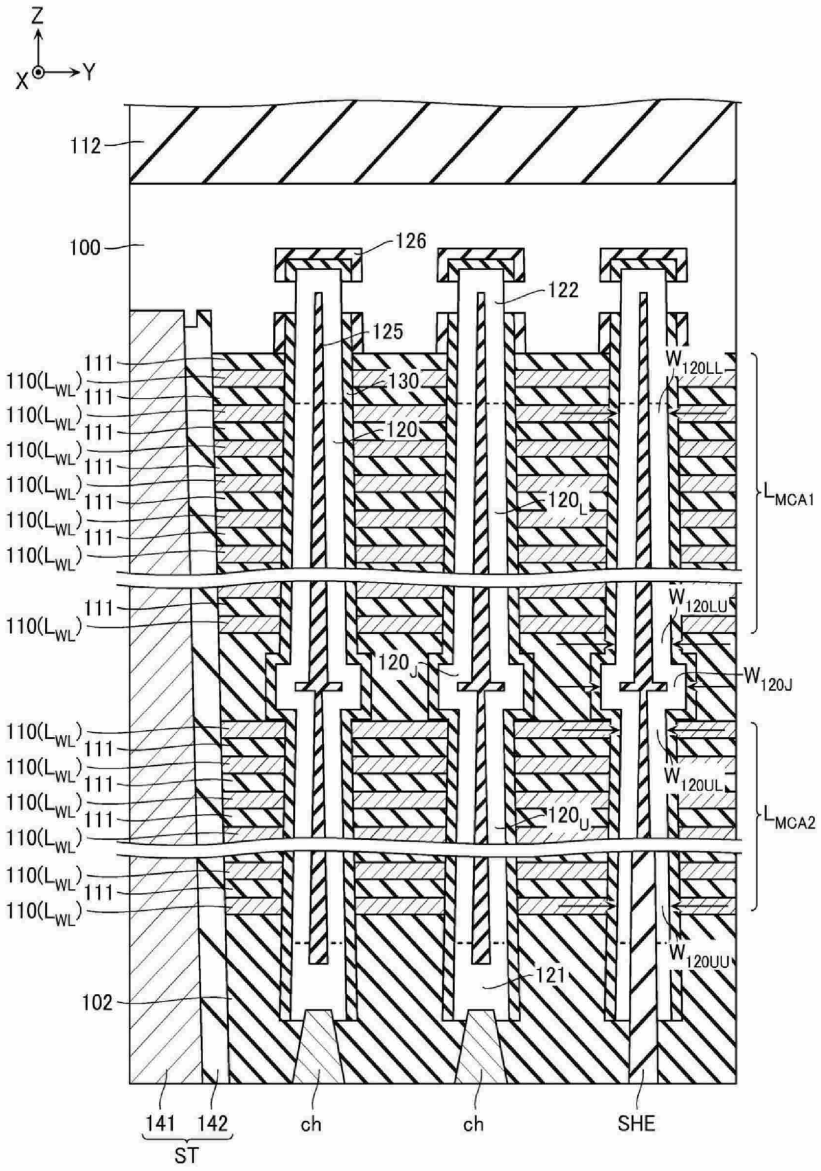
【圖5】



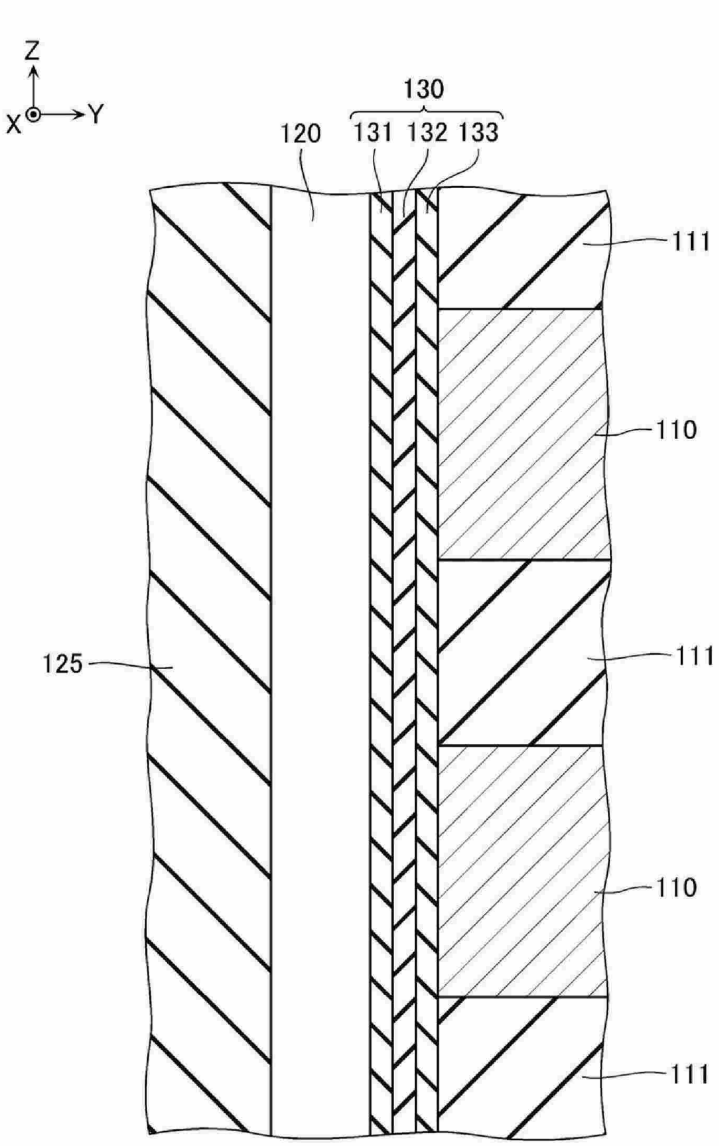

【圖6】


Z
X
Y
TV
PX
VZ
ma
VZ
ma
ST
120
102
MA
101
100
BLK
LSB
LMCA1
LMCA2
LWL
111
CC
CM
CH
Vy
M0
M1
MB
SHE
SHE
BL
ch
ch
ch
PI1
PI1B
PI1M
m0
m1
PI2
PI2B
PI2M
d4
d3
d2
d1
d0
CS
Tr
DB
D4
D3
D2
D1
D0
GC
CP
200P
200N
200S
200
200I
200G
200I
200G
gc
gc
gc
gc

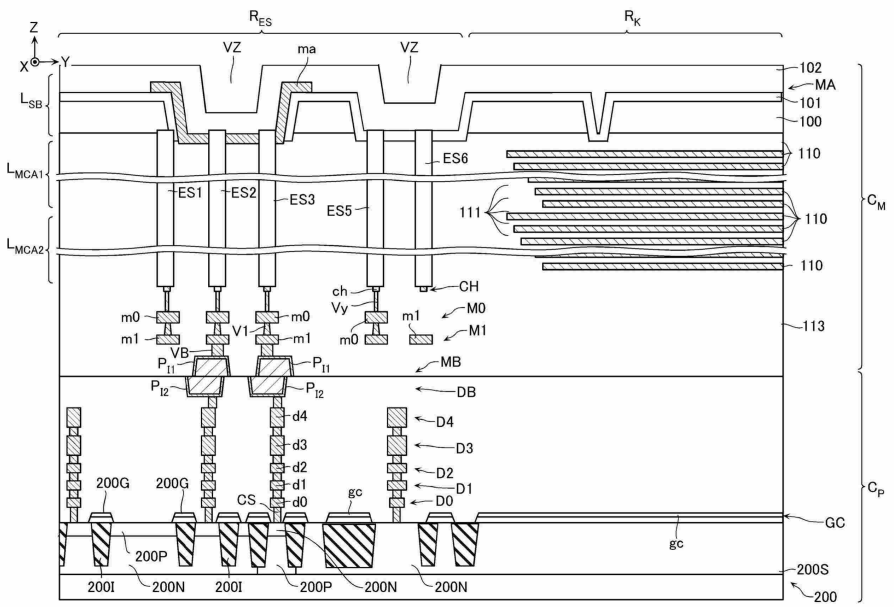
【圖7】


Z
X
Y
112
100
126
122
125
130
120
111
110(L_WL)
W120LL
W120LU
W120J
W120UL
W120UU
120L
120J
120U
L_MCA1
L_MCA2
121
102
141
142
ST
ch
ch
SHE

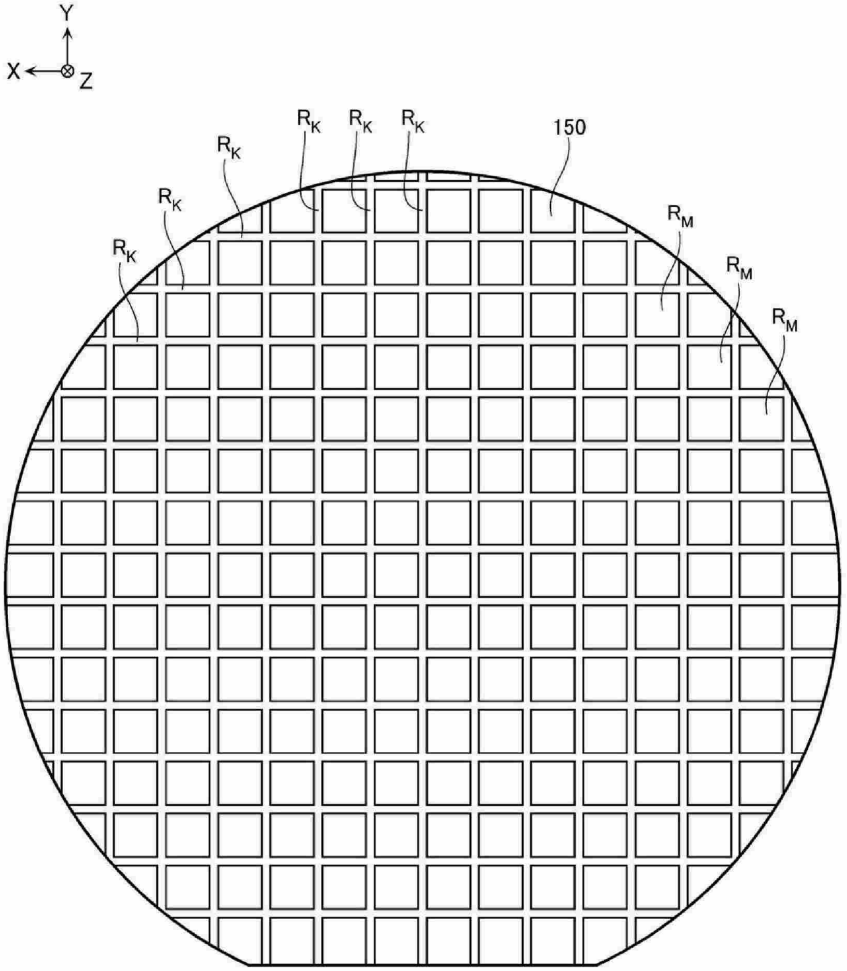
【圖8】



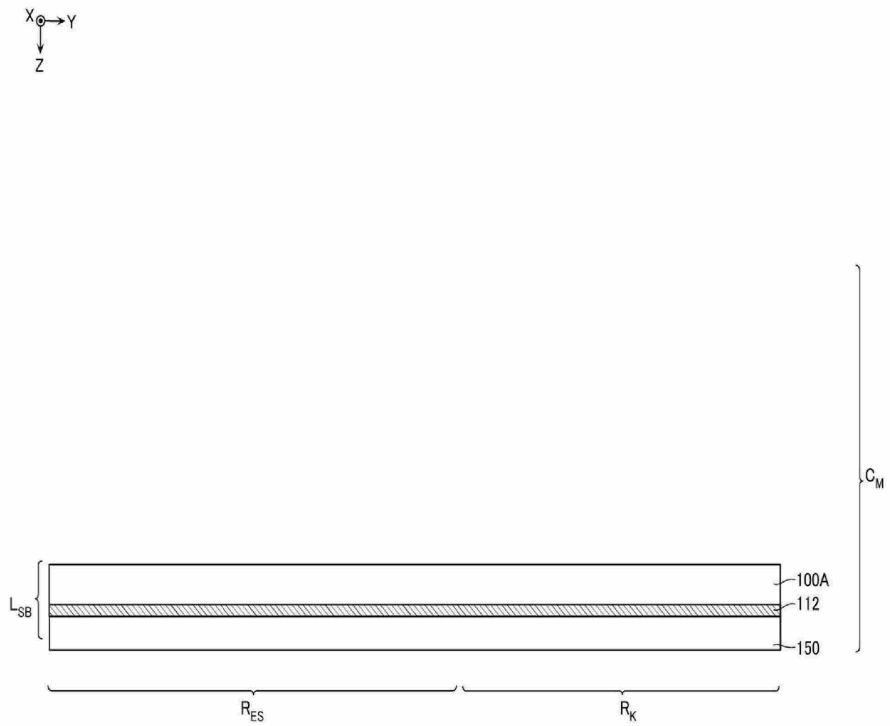

【圖9】


Z
X
Y
$R_{ES}$
$R_K$
VZ
ma
VZ
$L_{SB}$
$L_{MCA1}$
$L_{MCA2}$
ES1
ES2
ES3
ES5
ES6
111
102
MA
101
100
110
110
110
$C_M$
113
ch
Vy
CH
M0
M1
m0
m1
V1
VB
$P_{I1}$
$P_{I2}$
MB
DB
d4
d3
d2
d1
d0
D4
D3
D2
D1
D0
CS
gc
200G
200G
200P
200I
200N
200I
200P
200N
200N
GC
gc
200S
200
$C_P$

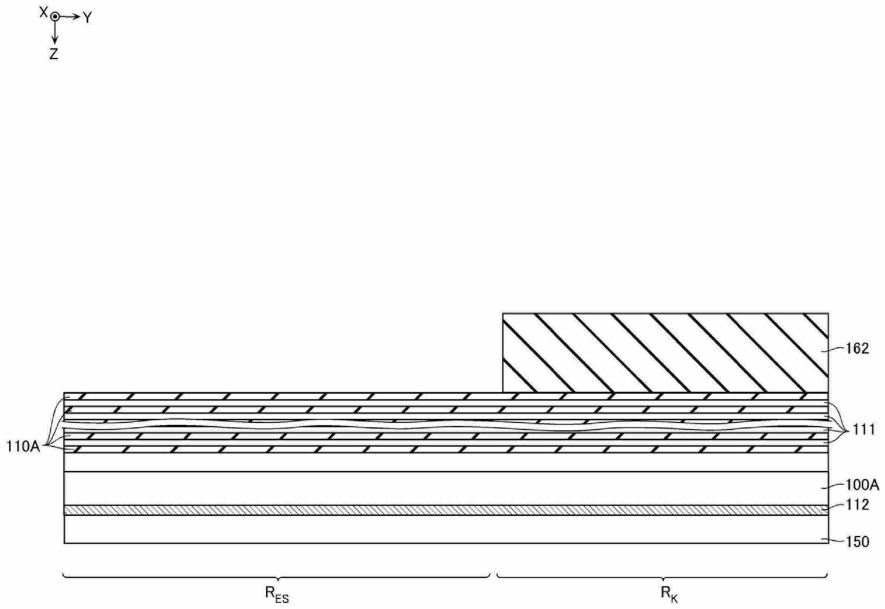
【圖10】



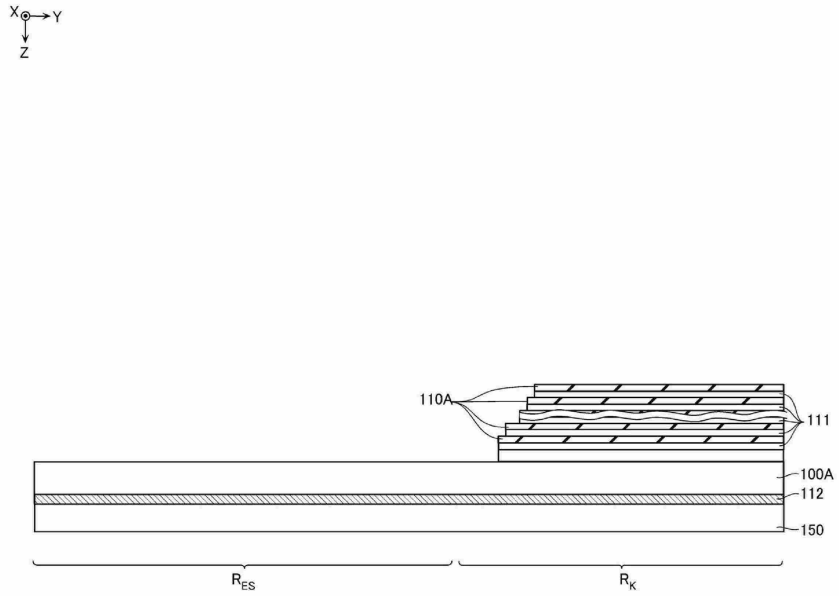

【圖11】


X
Y
Z
$C_M$
$L_{SB}$
100A
112
150
$R_{ES}$
$R_K$

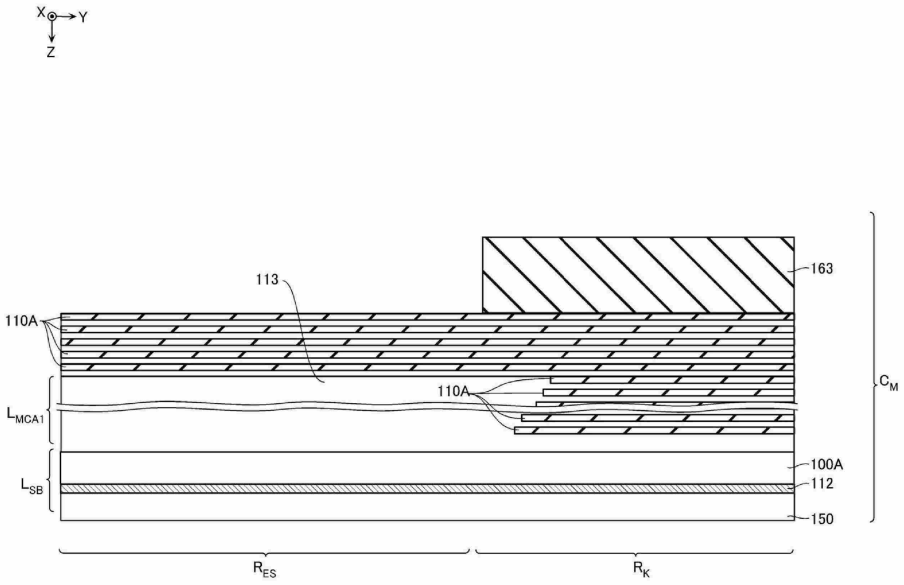
【圖12】


X
Y
Z
162
110A
111
100A
112
150
$R_{ES}$
$R_K$

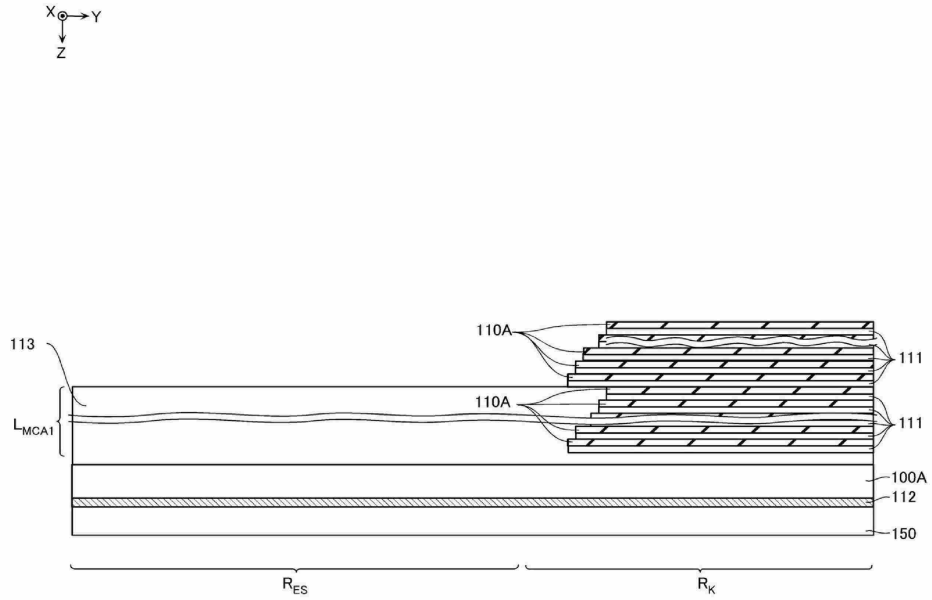
【圖13】


X
Y
Z
110A
111
100A
112
150
$R_{ES}$
$R_K$

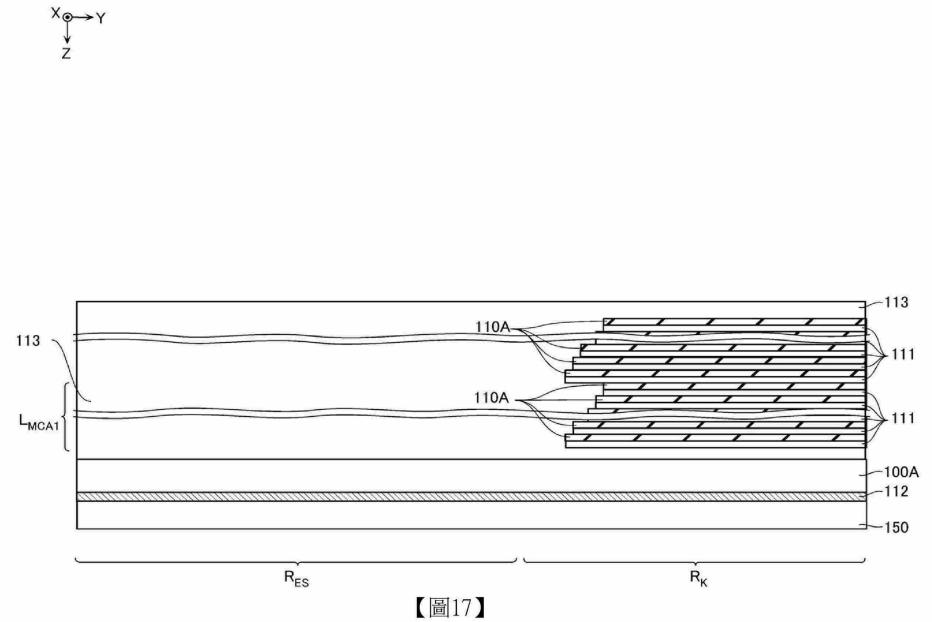
【圖14】


X
Y
Z
113
163
110A
110A
$L_{MCA1}$
$L_{SB}$
$C_M$
100A
112
150
$R_{ES}$
$R_K$

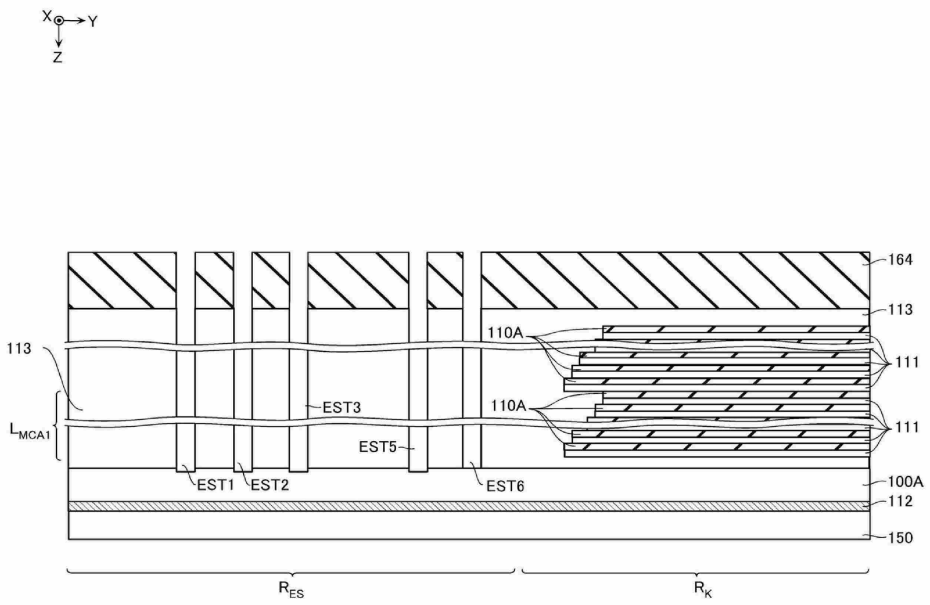
【圖15】


X
Y
Z
113
110A
111
110A
111
$L_{MCA1}$
100A
112
150
$R_{ES}$
$R_K$

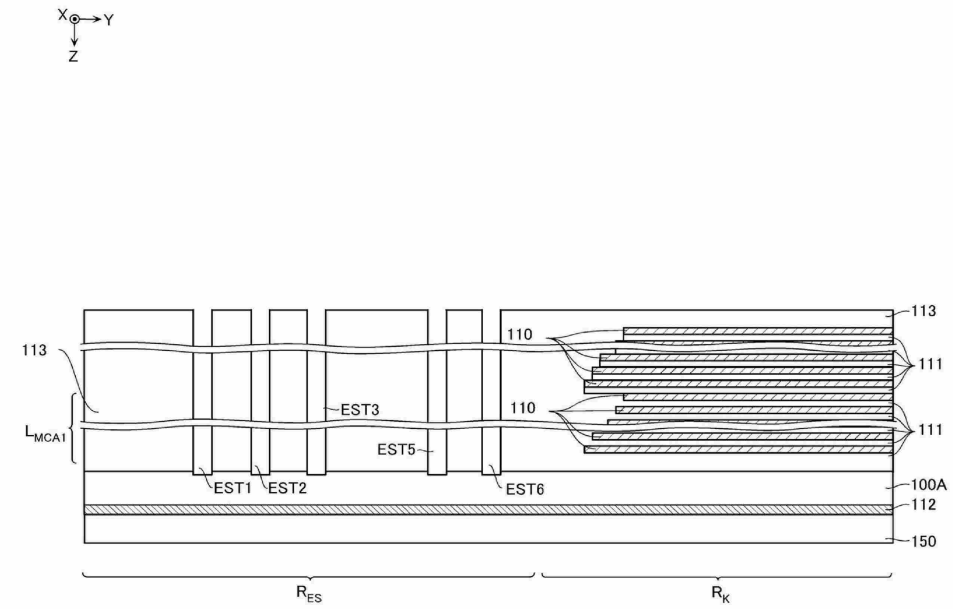
【圖16】


X
Y
Z
113
113
110A
111
110A
111
$L_{MCA1}$
100A
112
150
$R_{ES}$
$R_K$

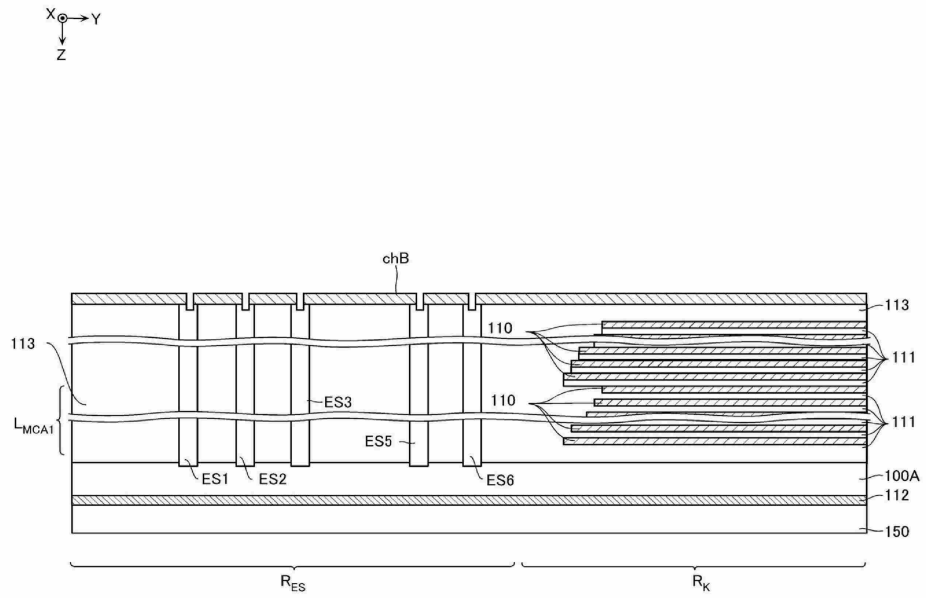
【圖17】


X
Y
Z
164
113
110A
111
113
EST3
110A
111
$L_{MCA1}$
EST5
EST1
EST2
EST6
100A
112
150
$R_{ES}$
$R_K$

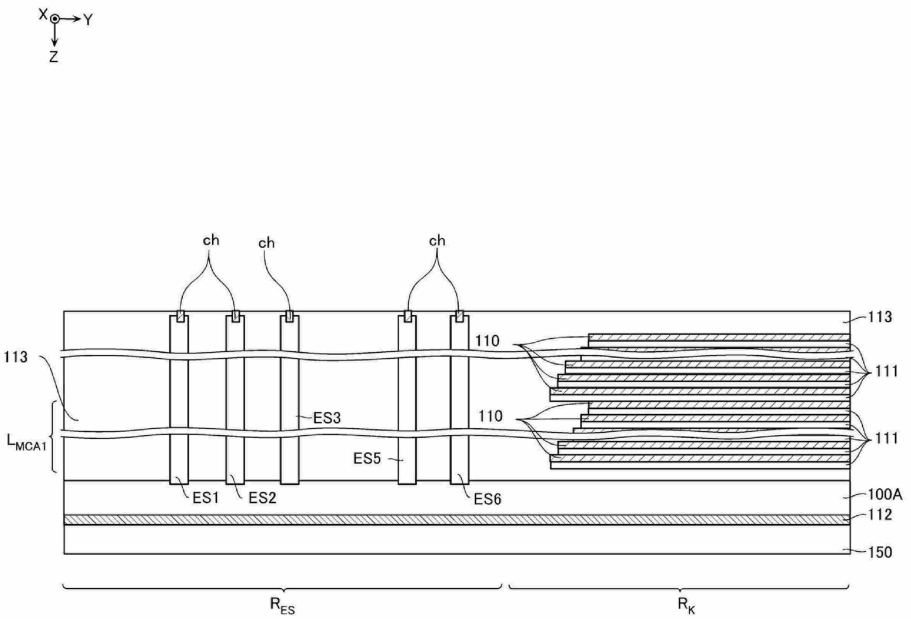
【圖18】


X
Y
Z
113
110
113
111
EST3
110
111
$L_{MCA1}$
EST5
EST1
EST2
EST6
100A
112
150
$R_{ES}$
$R_K$

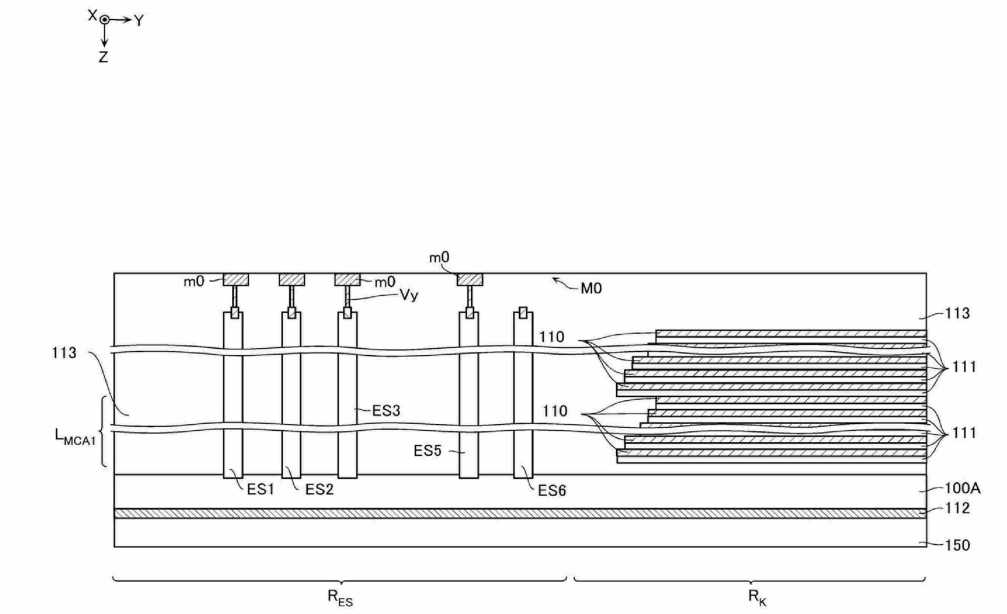
【圖19】


X
Y
Z
chB
113
110
111
ES3
ES5
ES1
ES2
ES6
100A
112
150
$L_{MCA1}$
$R_{ES}$
$R_K$

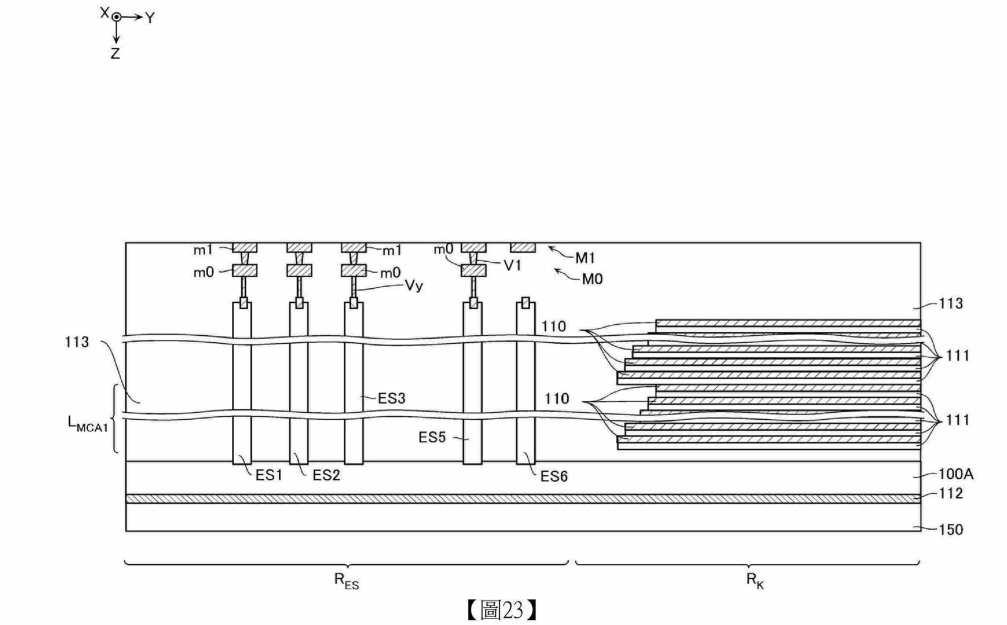
【圖20】


X
Y
Z
ch
113
110
111
ES3
ES5
ES1
ES2
ES6
100A
112
150
$L_{MCA1}$
$R_{ES}$
$R_K$

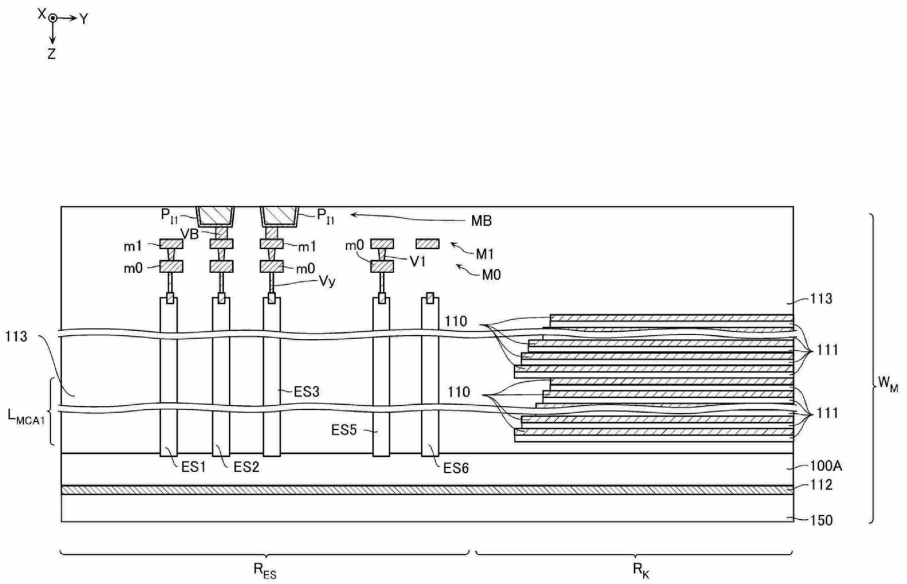
【圖21】


X
Y
Z
m0
m0
m0
Vy
M0
113
110
111
113
ES3
110
111
$L_{MCA1}$
ES5
ES1
ES2
ES6
100A
112
150
$R_{ES}$
$R_K$

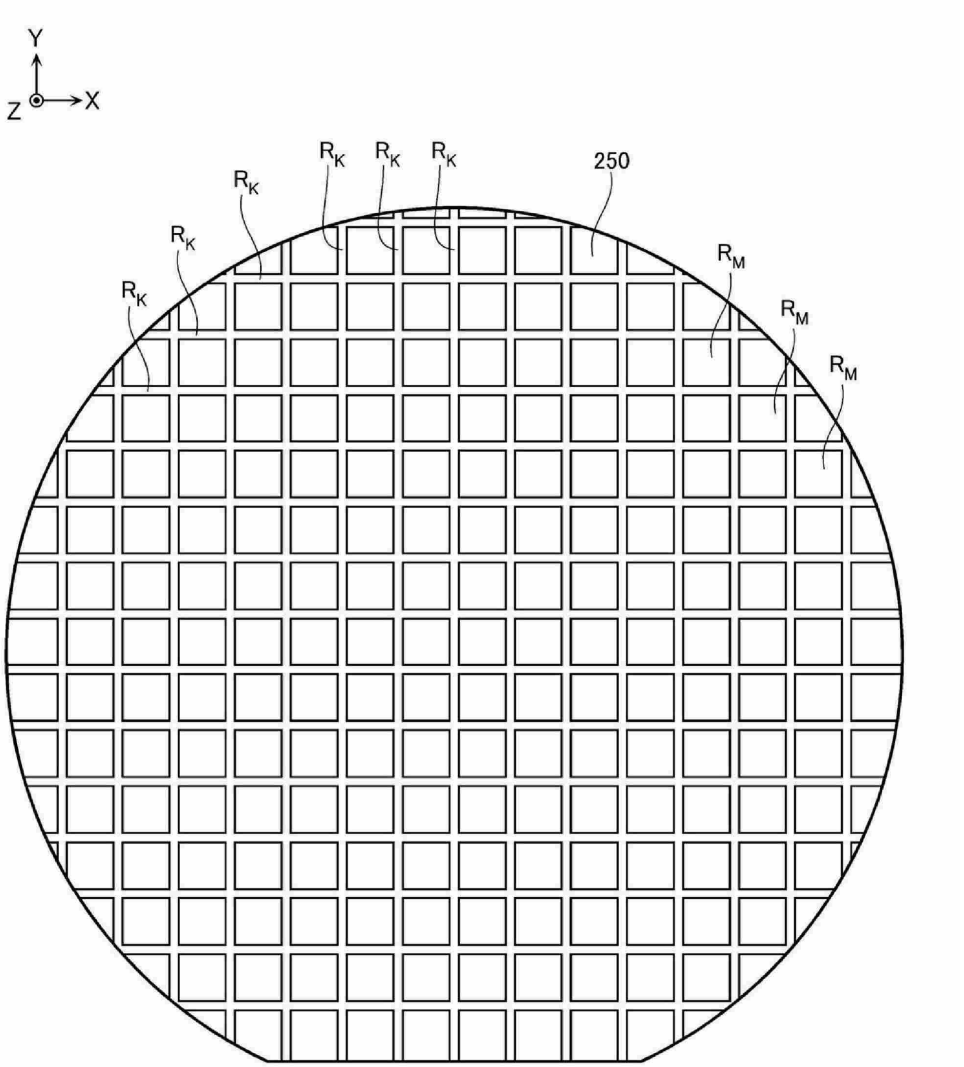
【圖22】


X
Y
Z
m1
m0
m1
m0
m0
V1
M1
M0
Vy
113
110
111
113
ES3
110
111
$L_{MCA1}$
ES5
ES1
ES2
ES6
100A
112
150
$R_{ES}$
$R_K$

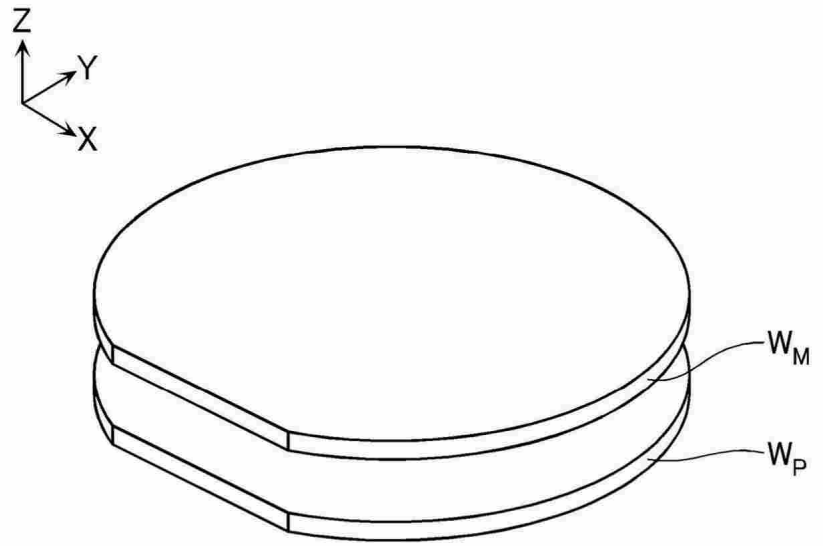
【圖23】


X
Y
Z
$P_{I1}$
$P_{I1}$
MB
VB
m1
m0
m1
m0
m0
V1
M1
M0
Vy
113
110
111
113
110
111
$W_M$
$L_{MCA1}$
ES3
ES5
ES1
ES2
ES6
100A
112
150
$R_{ES}$
$R_K$

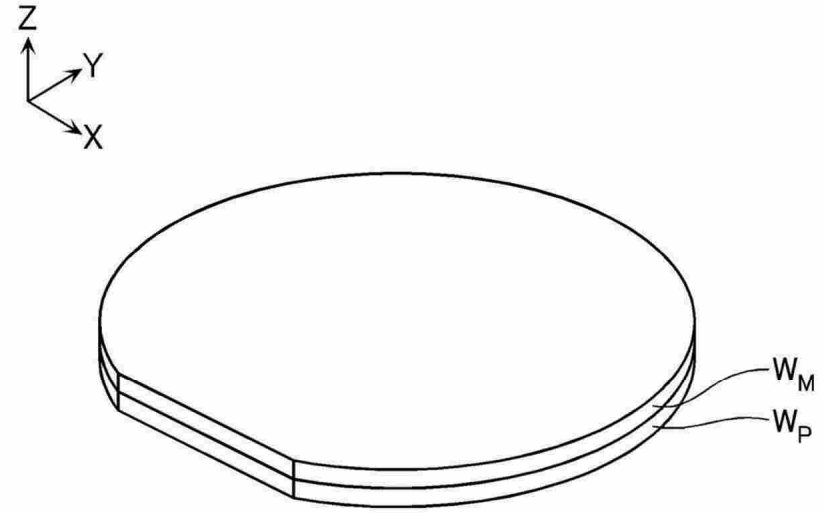
【圖24】



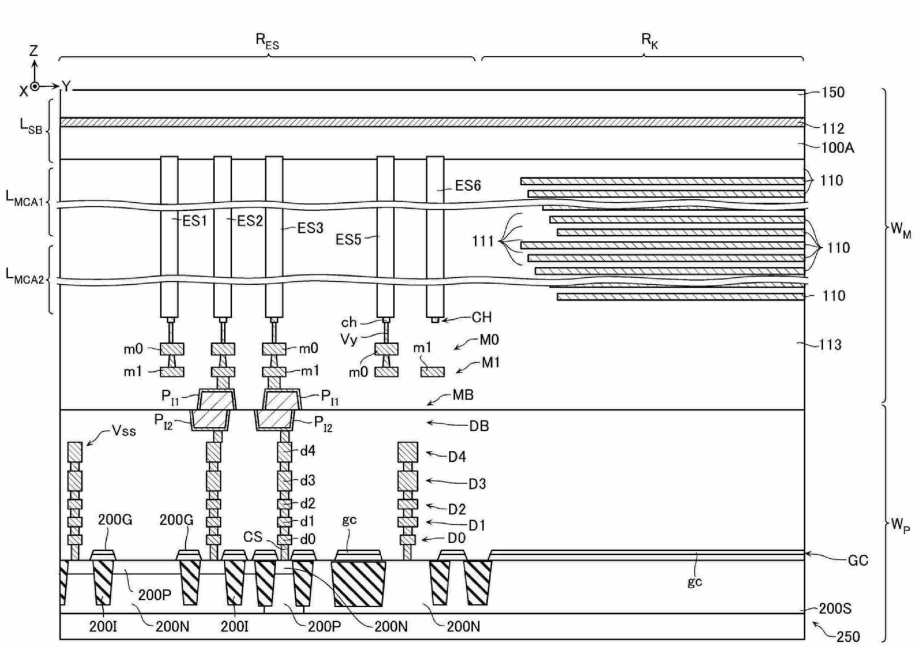

【圖25】



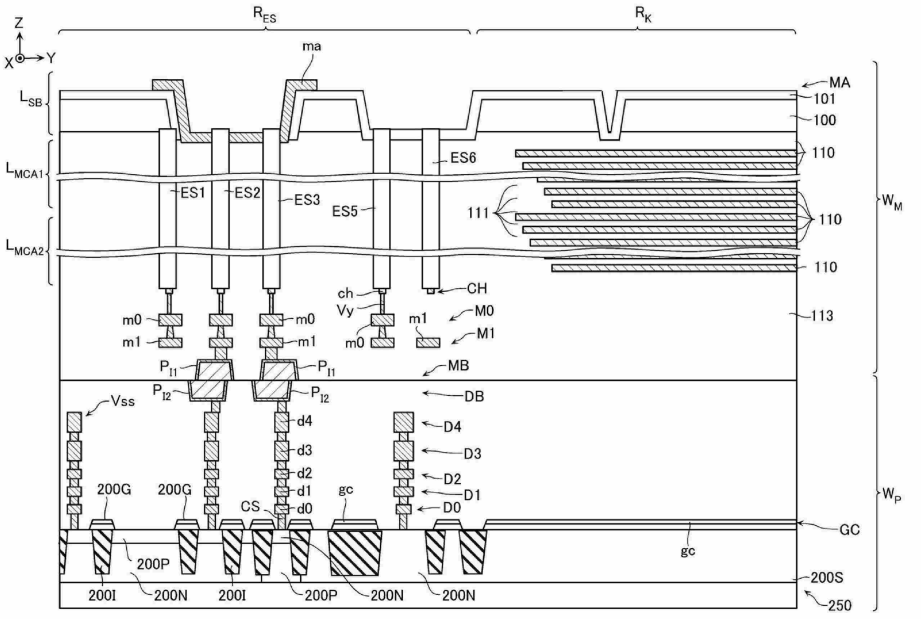

【圖26】



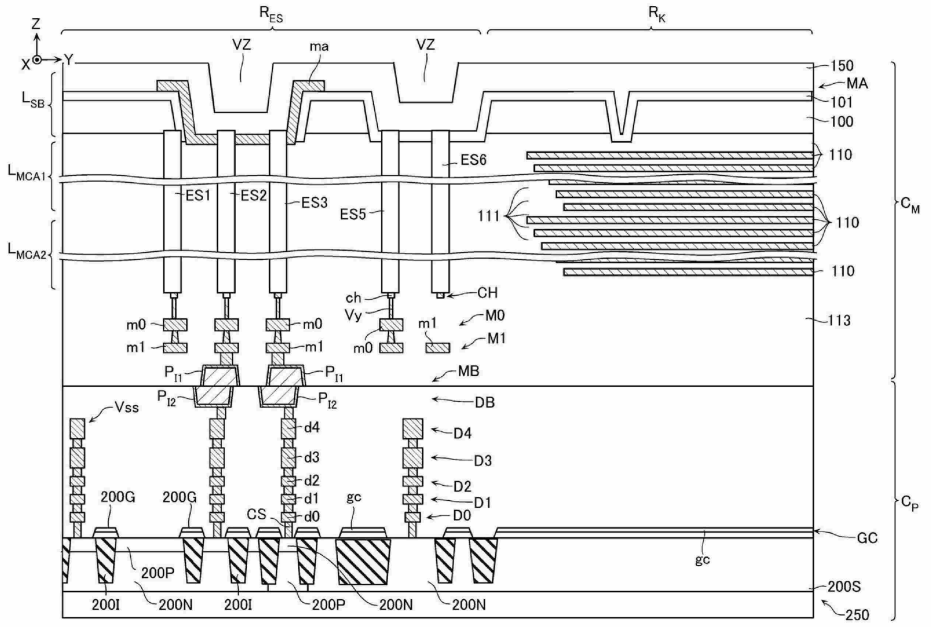

【圖27】


Z
X
Y
$R_{ES}$
$R_K$
$L_{SB}$
$L_{MCA1}$
$L_{MCA2}$
150
112
100A
110
ES6
ES1
ES2
ES3
ES5
111
$W_M$
113
ch
CH
Vy
m0
m1
M0
M1
$P_{I1}$
$P_{I2}$
MB
DB
Vss
d4
d3
d2
d1
d0
D4
D3
D2
D1
D0
200G
CS
gc
$W_P$
GC
200P
200S
200I
200N
250

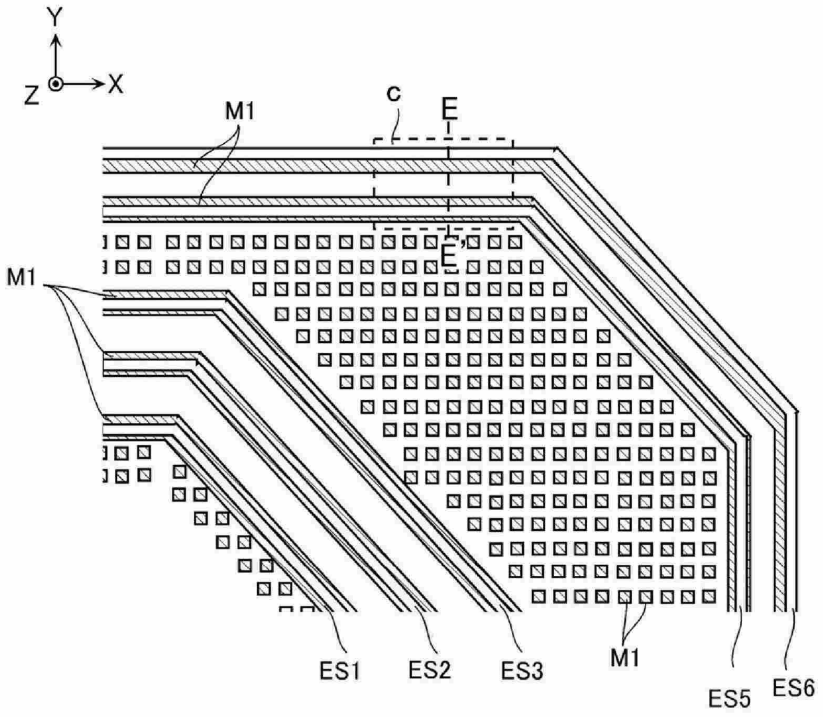
【圖28】


Z
X
Y
$R_{ES}$
$R_K$
ma
$L_{SB}$
$L_{MCA1}$
$L_{MCA2}$
MA
101
100
110
ES6
ES1
ES2
ES3
ES5
111
$W_M$
113
ch
CH
Vy
m0
m1
M0
M1
$P_{I1}$
$P_{I2}$
MB
DB
Vss
d4
d3
d2
d1
d0
D4
D3
D2
D1
D0
200G
CS
gc
$W_P$
GC
200P
200S
200I
200N
250

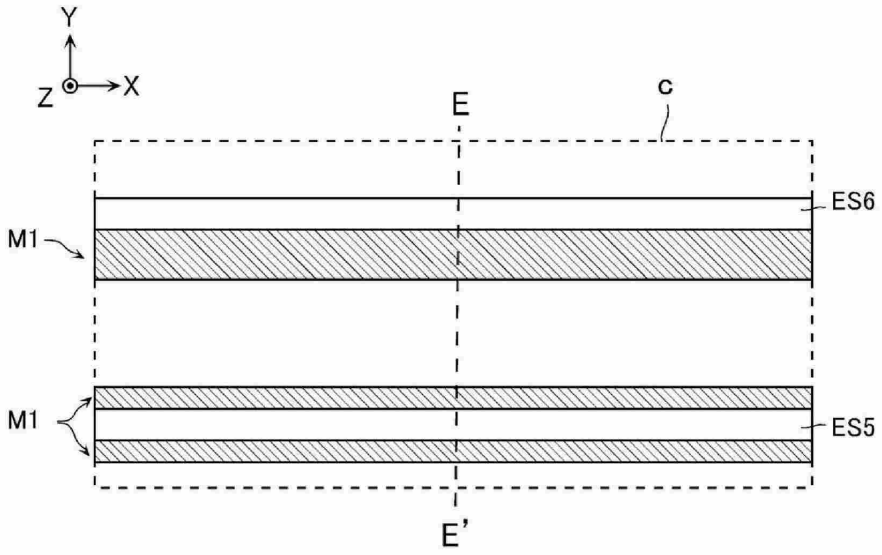
【圖29】


Z
X
Y
$R_{ES}$
$R_K$
VZ
ma
VZ
150
MA
101
100
$L_{SB}$
$L_{MCA1}$
$L_{MCA2}$
ES6
110
ES1
ES2
ES3
ES5
111
110
$C_M$
110
ch
Vy
CH
M0
M1
113
m0
m1
m0
m1
m1
m0
$P_{I1}$
$P_{I1}$
MB
$P_{I2}$
$P_{I2}$
DB
Vss
d4
D4
d3
D3
d2
D2
d1
D1
d0
D0
200G
200G
CS
gc
$C_P$
GC
gc
200P
200S
200I
200N
200I
200P
200N
200N
250

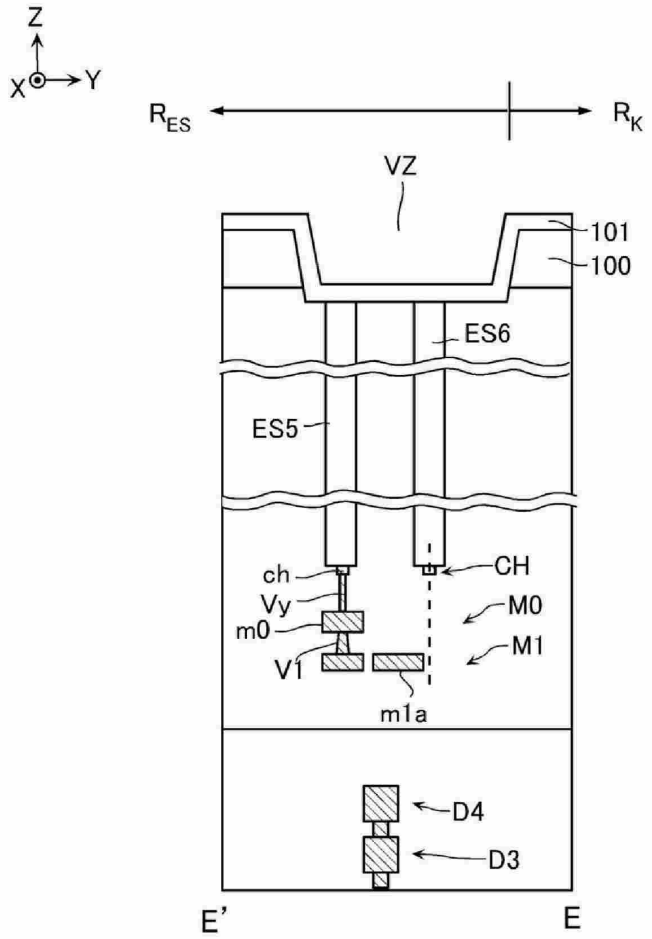
【圖30】


Y
Z
X
M1
C
E
E'
M1
ES1
ES2
ES3
M1
ES5
ES6

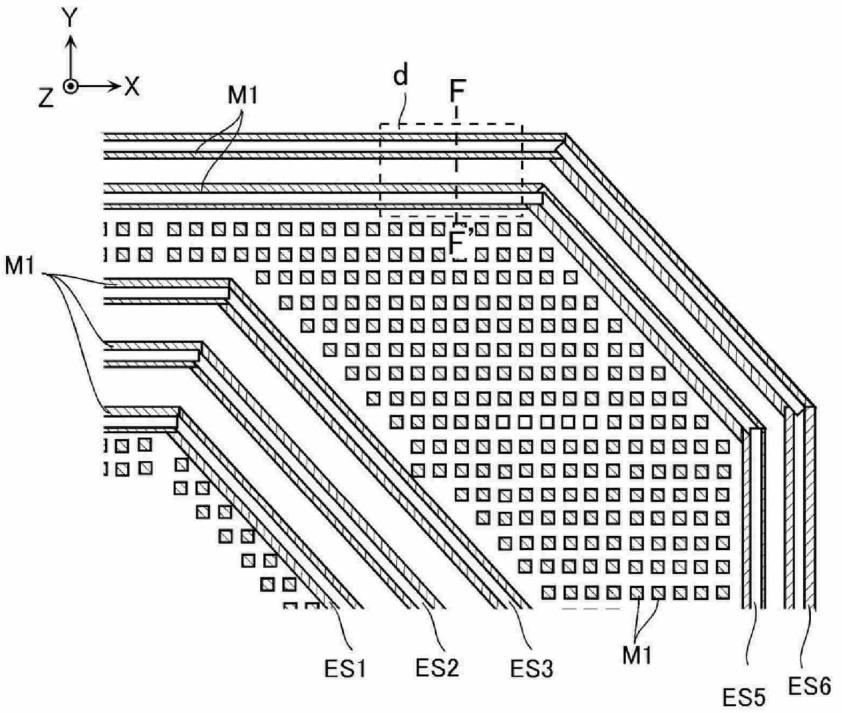
【圖31】



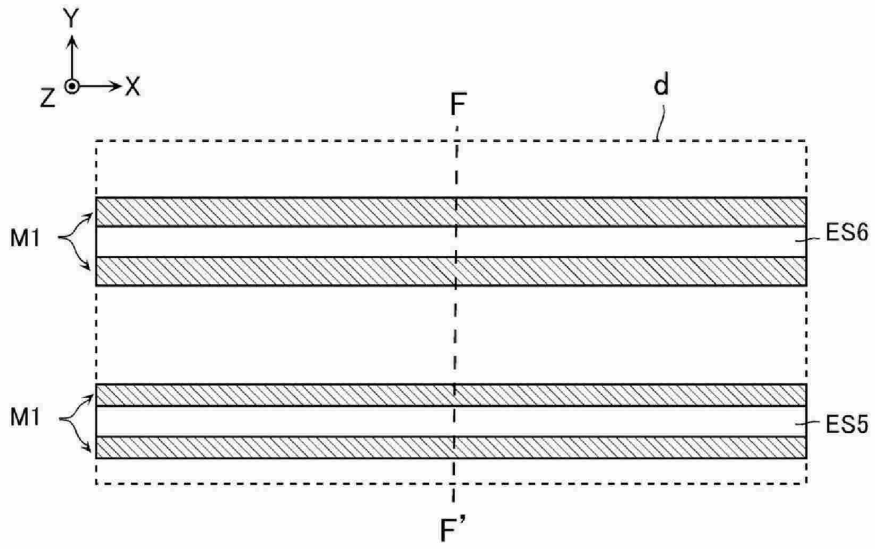

【圖32】



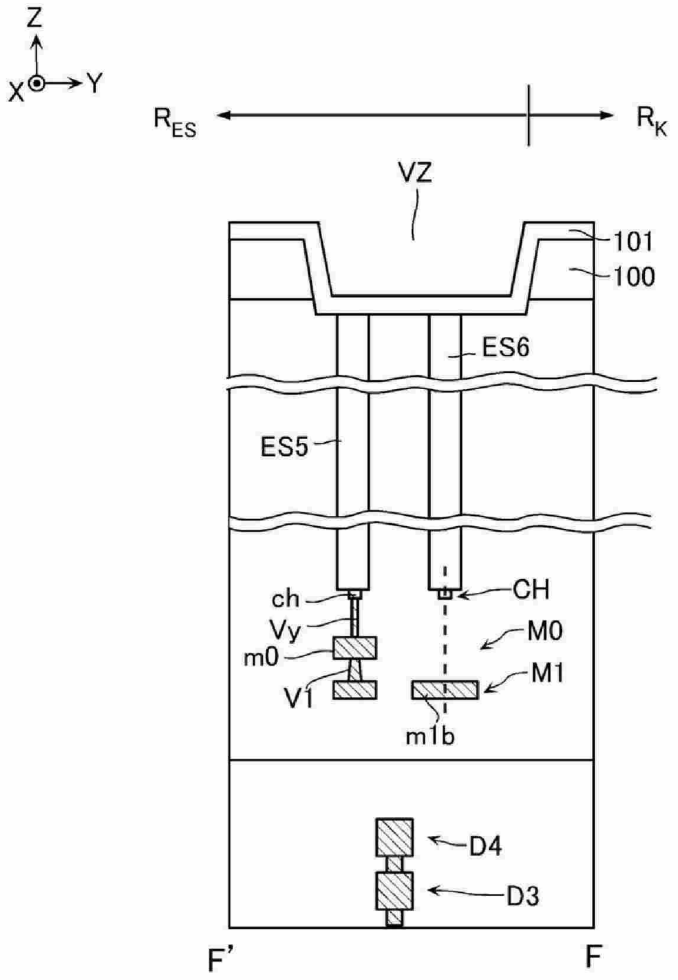

【圖33】



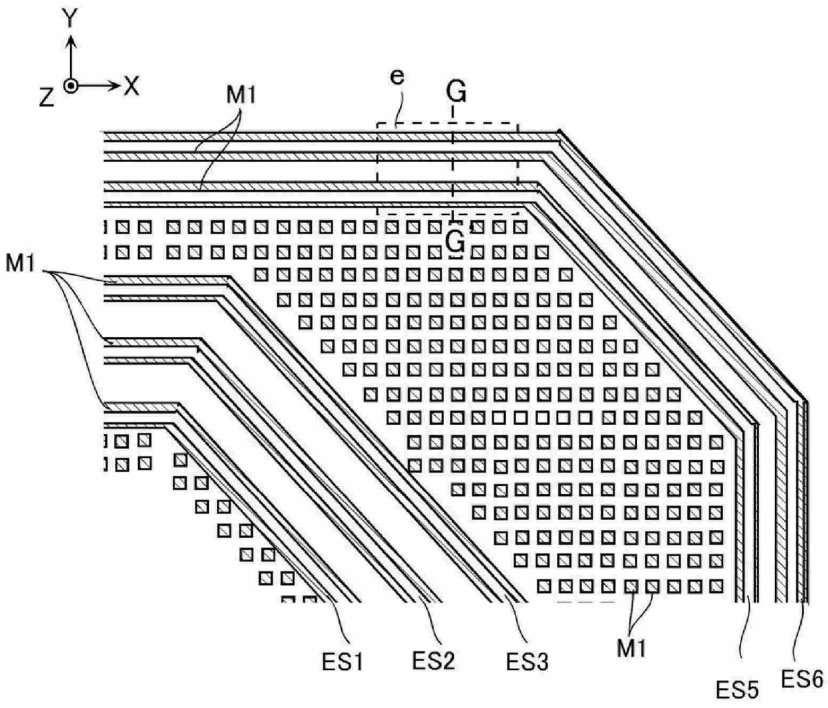

【圖34】



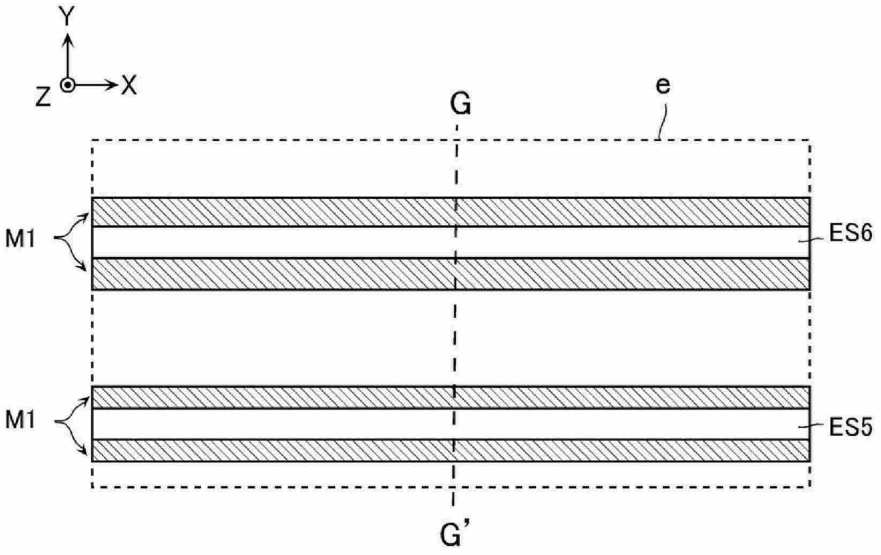

【圖35】



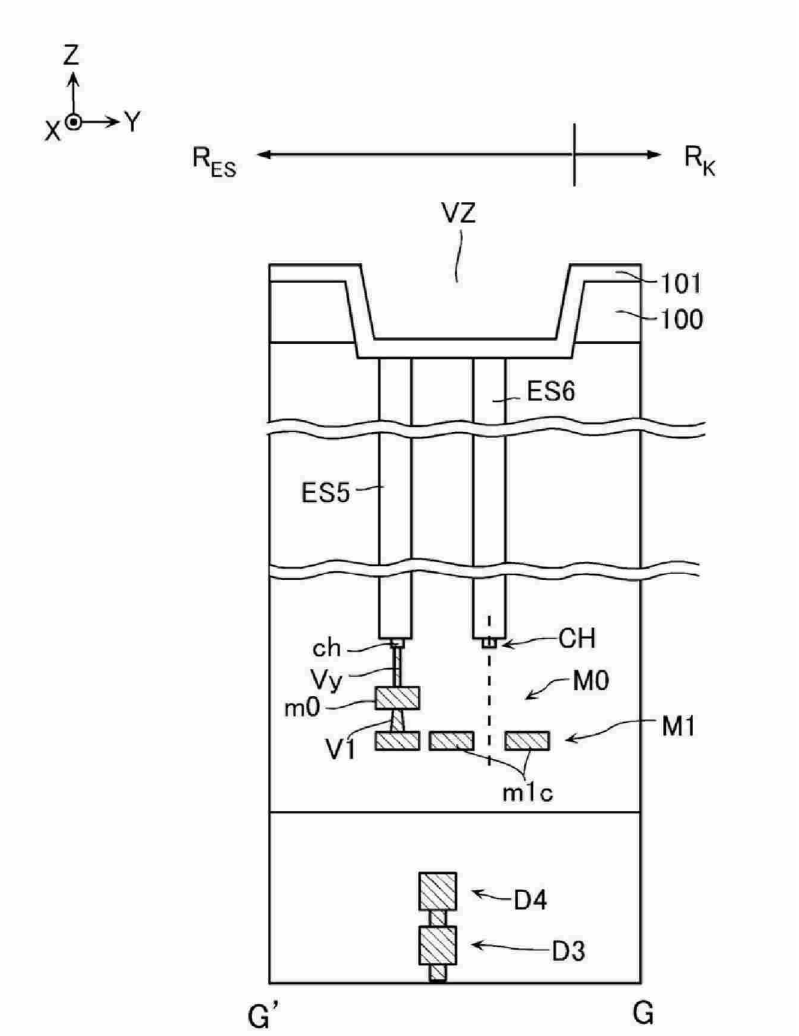

【圖36】



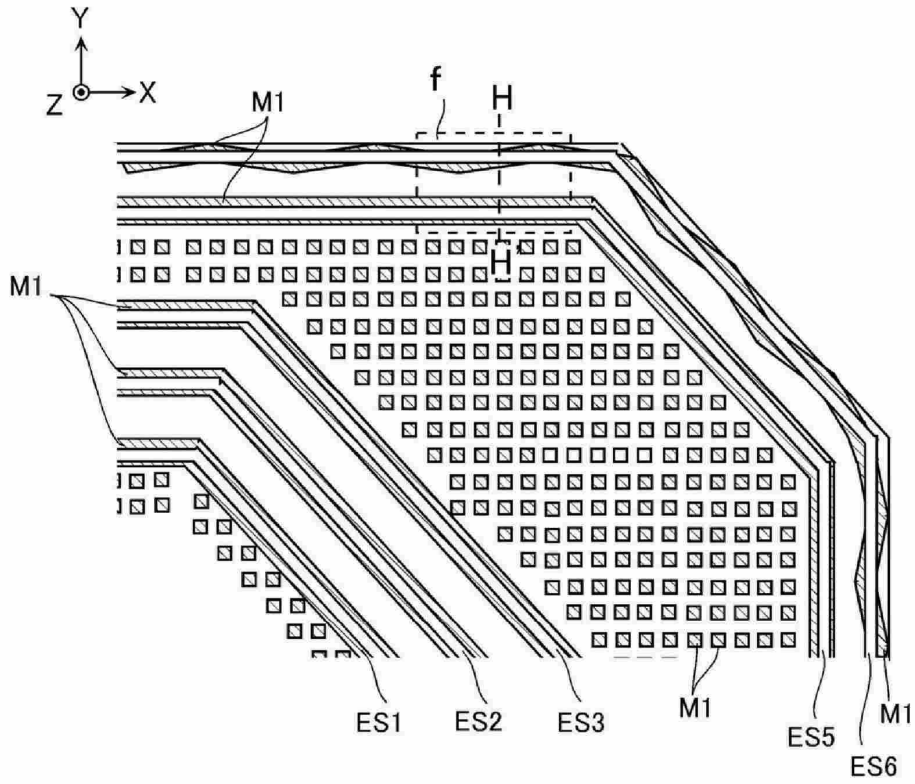

【圖37】



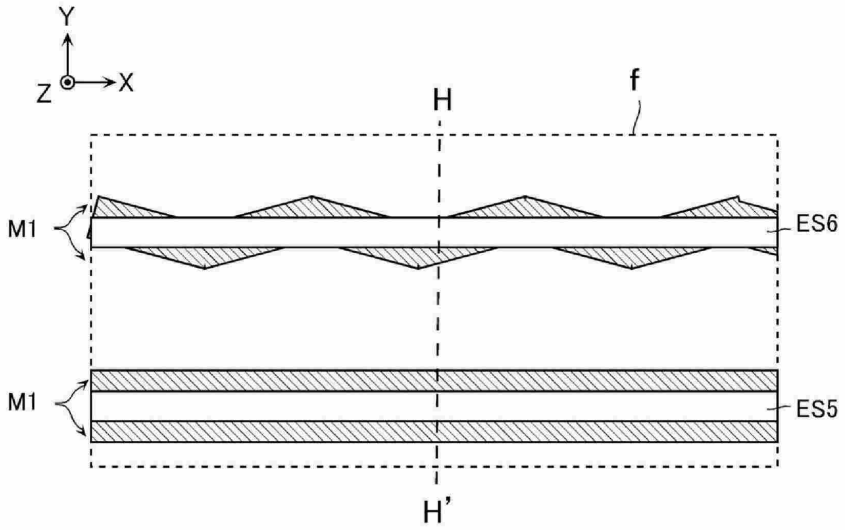

【圖38】



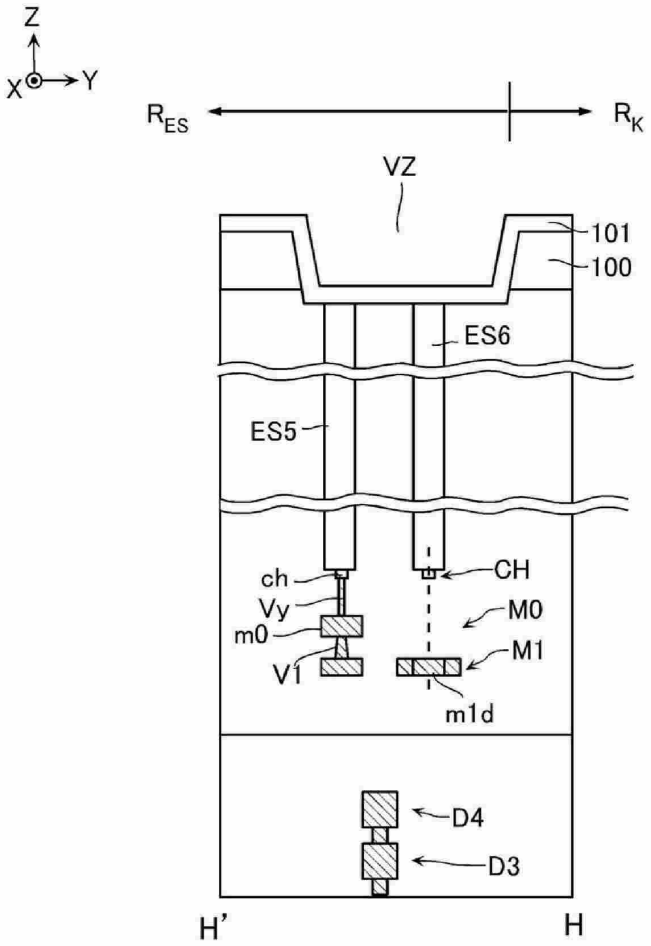

【圖39】



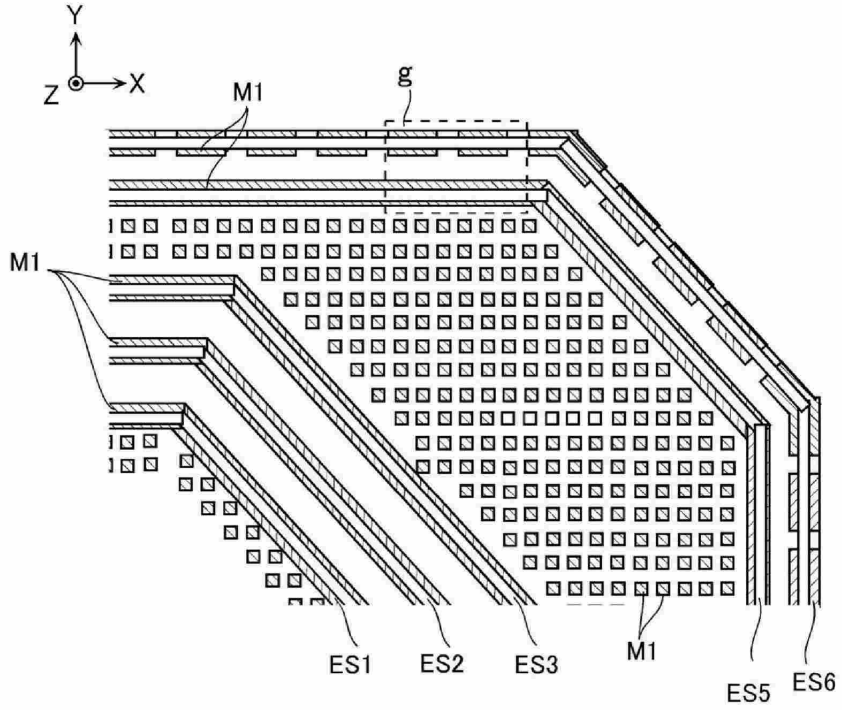

【圖40】



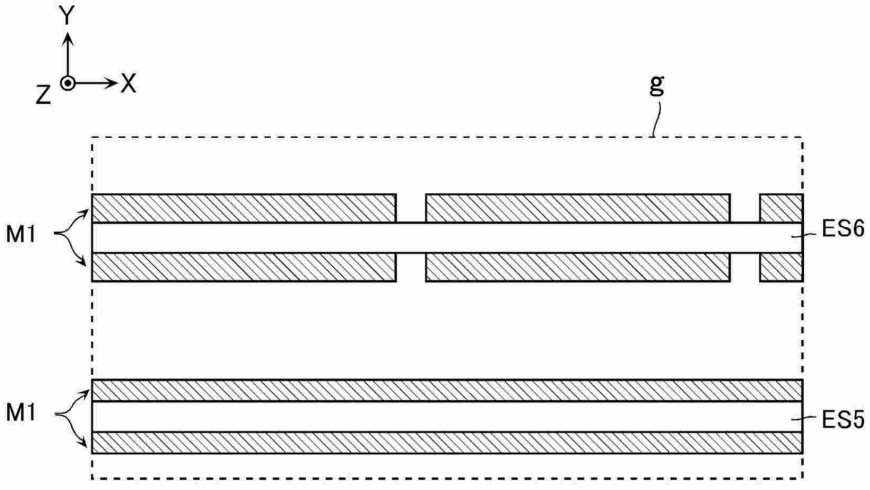

【圖41】



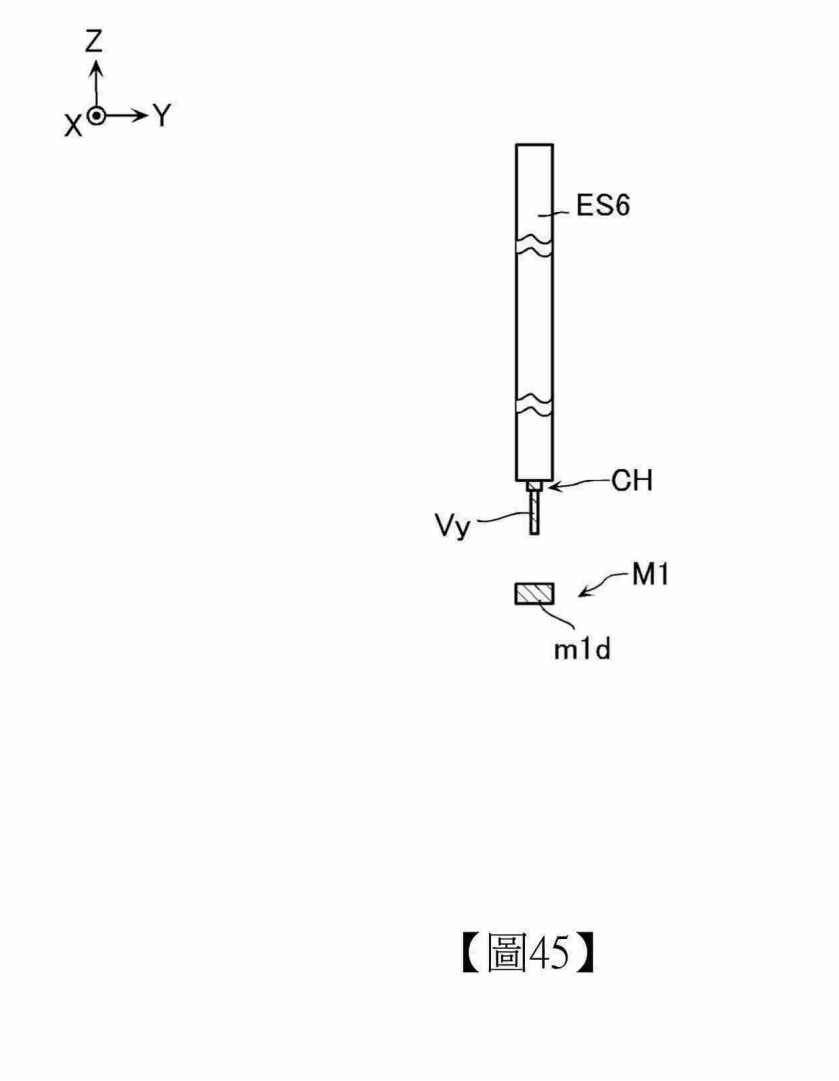

【圖42】



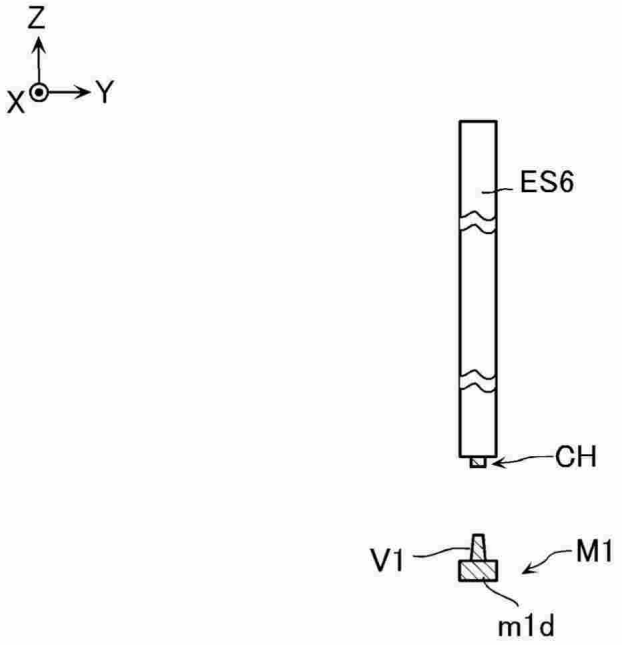

【圖43】



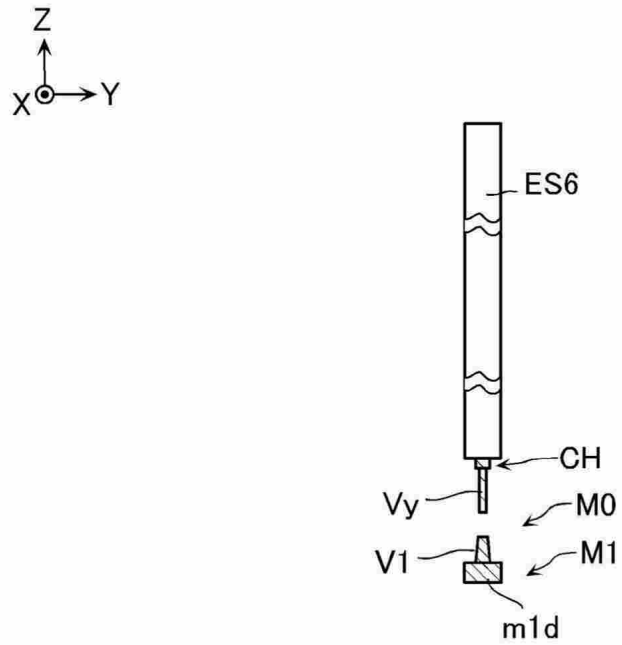

【圖44】



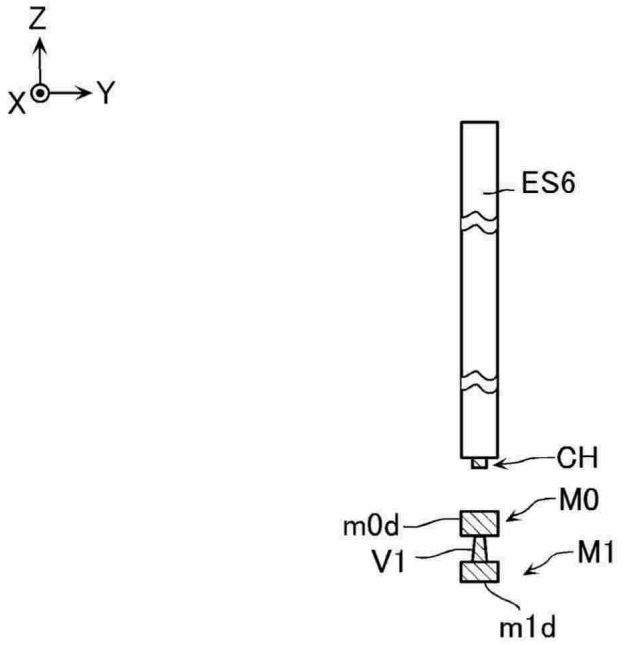

【圖45】



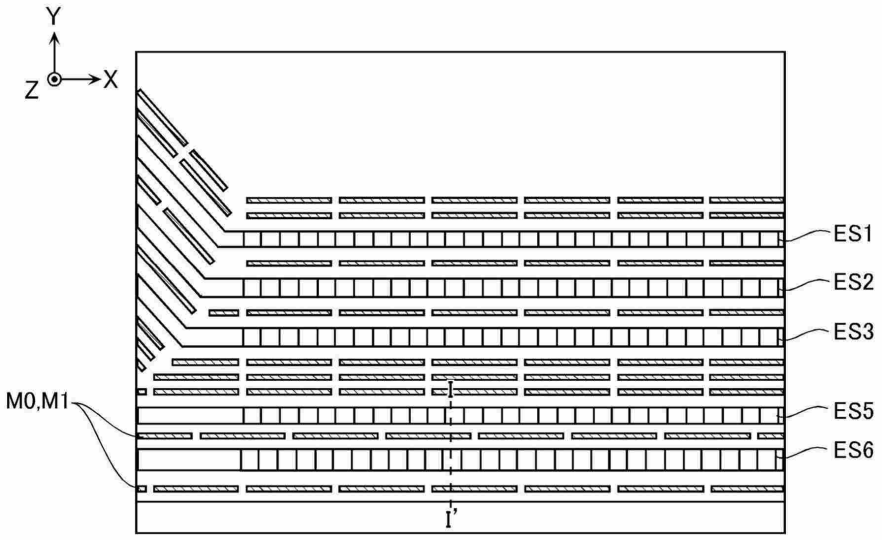

【圖46】



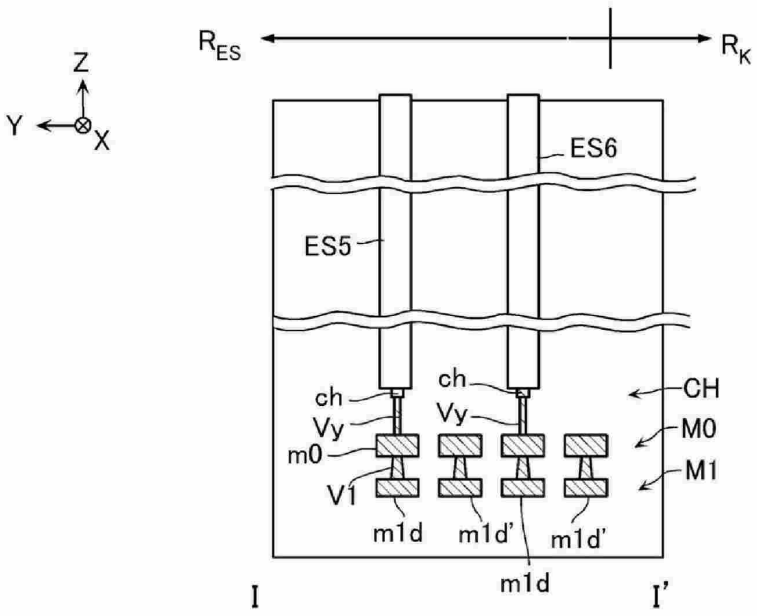

【圖47】




【圖48】




【圖49】




【圖50】