【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I941131
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10D30/01　(2025.01)*　*H10D62/10　(2025.01)*
H10D64/01　(2025.01)

發明　　全 36 頁

【54】名　　稱：奈米片電晶體的結構及其形成方法

【21】申請案號：114111577　【22】申請日： 中華民國 114 (2025) 年 03 月 26 日
【11】公開編號：202602252　【43】公開日期： 中華民國 115 (2026) 年 01 月 01 日
【30】優 先 權：2024/03/27　美國　63/570,317
2024/07/02　美國　18/762,076

【72】發 明 人：許清白 (TW) HSU, CHING-PAI；葉啟瑞 (TW) YEH, CHI-RUEI；江宗育 (TW) CHIANG, TSUNG-YU
【71】申 請 人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.
新竹市新竹科學工業園區力行六路八號
【74】代 理 人：秦建譜；許志銘

【56】參考文獻：

TW	202343785A	TW	202404081A
US	2020/0013898A1	US	2024/0097039A1

審查人員：徐漢育

【57】申請專利範圍

1. 一種形成奈米片電晶體的方法，包括：
沉積一多層堆疊，該多層堆疊包括：複數個犧牲層和複數個半導體層交替設置，其中該些犧牲層包括：
一底部犧牲層，具有一第一厚度；以及
複數個上部犧牲層，位於該底部犧牲層上方，其中該些上部犧牲層具有小於該第一厚度的複數個第二厚度；
圖案化該多層堆疊以形成一第一突出鰭片；
形成一第一虛設閘極堆疊在該第一突出鰭片上；
形成一第一源極/汲極區域在該第一虛設閘極堆疊旁；
移除該第一虛設閘極堆疊和在該第一突出鰭片中的該些犧牲層以留下複數個第一凹陷，其中該些第一凹陷包括：
一底部凹陷，在該第一突出鰭片中的該些半導體層的一最底部半導體層下方；以及
複數個上部凹陷，高於該最底部半導體層；以及
形成一第一替代閘極堆疊在該些第一凹陷中，該第一替代閘極堆疊包括：
一底部，在該底部凹陷中且具有一第一高度；以及
複數個上部，在該些上部凹陷中且具有小於該第一高度的複數個第二高度，且該些上部具有相同的高度，其中該些半導體層具有相同的一第三高度。
2. 如請求項 1 所述之方法，其中該第一厚度和該些第二厚度中的一個的一比值大於約 1.2。
3. 如請求項 1 所述之方法，其中該形成該第一替代閘極堆疊包括：
沉積一第一功函數層和沉積一第二功函數層進入至該底部凹陷；以及
其中該第一替代閘極堆疊包括：該第一功函數層在該些上部凹陷中。

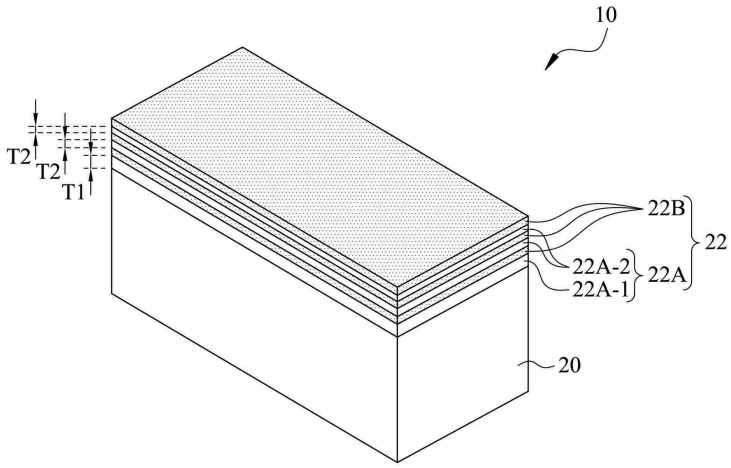
4. 如請求項 3 所述之方法，其中該第一功函數層和該第二功函數層包括不同材料。
5. 一種奈米片電晶體的結構，包括：
一半導體條帶(semiconductor strip)；
一第一隔離區域和一第二隔離區域在該半導體條帶的對側上；
複數個半導體奈米結構重疊該半導體條帶，其中該些半導體奈米結構中的複數個上部半導體奈米結構分別重疊該些半導體奈米結構中的複數個下部半導體奈米結構；
一閘極堆疊，包括：
一底部具有一第一高度，其中該底部在該半導體條帶和該些半導體奈米結構之間；以及
複數個上部在相鄰該些半導體奈米結構之間，其中該些上部具有小於該第一高度的複數個第二高度，且該閘極堆疊的該些上部具有相同的高度，其中該些半導體奈米結構具有相同的一第三高度；以及
一半導體區域在該些半導體奈米結構旁以及接觸該些半導體奈米結構。
6. 如請求項 5 所述之結構，其中該第一高度和該些第二高度的一比例大於約 1.2。
7. 如請求項 5 所述之結構，其中該閘極堆疊的該底部包括：
一第一功函數層；以及
一第二功函數層，由該第一功函數層所圍繞，其中該閘極堆疊的該些上部包括該第一功函數層以及不包括該第二功函數層。
8. 一種奈米片電晶體的結構，包括：
複數個半導體奈米結構，其中該些半導體奈米結構的複數個上部半導體奈米結構分別覆蓋該些半導體奈米結構的複數個下部半導體奈米結構；
一閘極堆疊，包括：
一底部，在該些半導體奈米結構的一最底部半導體奈米結構下方且具有一第一高度，其中該底部包括：
一第一功函數層；以及
一第二功函數層，由該第一功函數層所圍繞，其中在該底部中的所有層具有一第一總數；以及
複數個上部，在相鄰該些半導體奈米結構之間，其中該些上部具有小於該第一高度的複數個第二高度，且該些上部具有相同的高度，其中該些半導體奈米結構具有相同的一第三高度，其中該上部包括該第二功函數層，其中在該上部中的所有層具有小於該第一總數的一第二總數；以及
一半導體區域在該些半導體奈米結構旁以及接觸該些半導體奈米結構。
9. 如請求項 8 所述之結構，其中該閘極堆疊的該上部沒有包括該第二功函數層。
10. 如請求項 8 所述之結構，其中該底部的一第一高度高於該上部的一第二高度。

圖式簡單說明

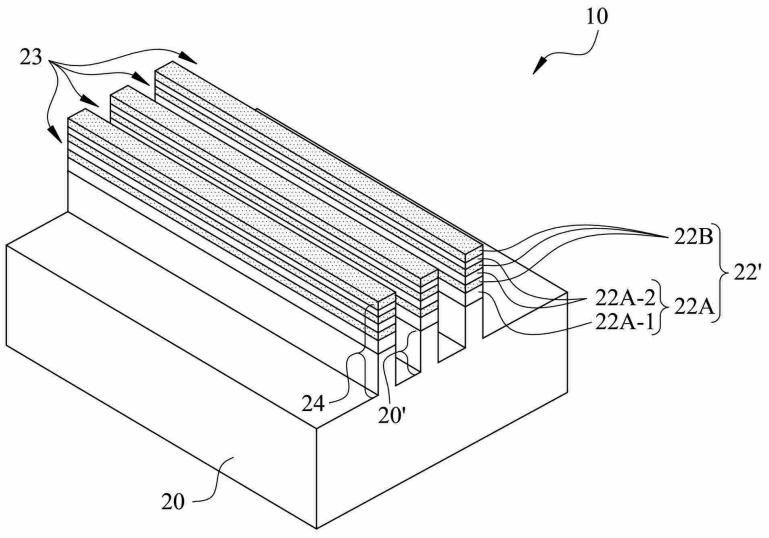
當結合附圖閱讀時，從以下詳細描述能最佳地了解本揭示內容的各方面。應注意的是，根據業界的標準實務，各特徵並未依比例繪製。事實上，為了討論的清楚起見，各特徵的尺寸均可任意地增加或縮減。

第 1 圖至第 4 圖和第 5A-1 圖、第 5A-2 圖、第 5B-1 圖、第 5B-2 圖至第 12A-1 圖、第 12A-2 圖、第 12B-1 圖、第 12B-2 圖是根據一些實施例繪示閘極環繞式(GAA)電晶體的形成中的中間階段。

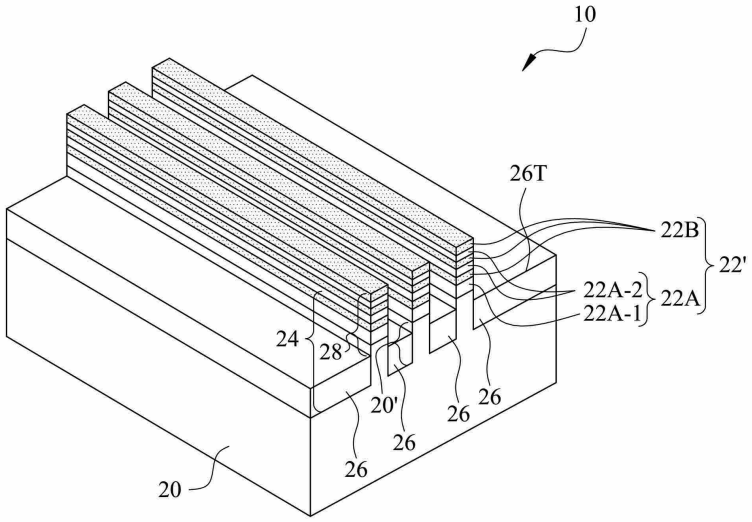
第 13 圖是根據一些實施例繪示形成電晶體的製程流程圖。


10
T2
T2
T1
22B
22
22A-2
22A-1
22A
20

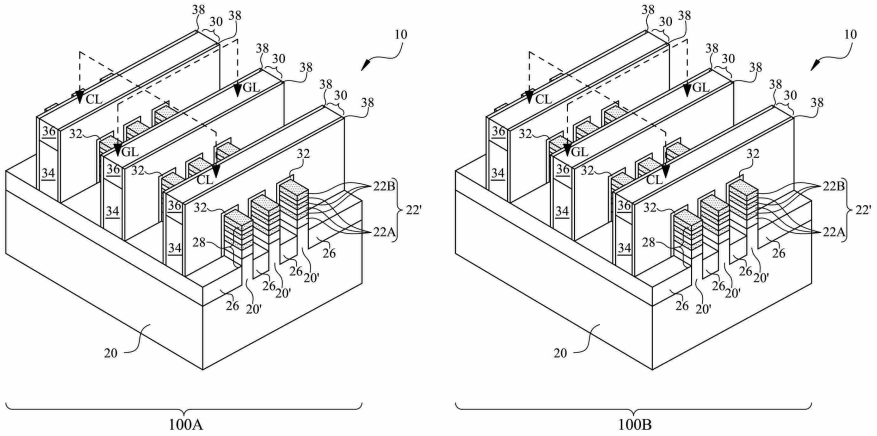
第 1 圖


10
23
22B
22'
22A-2
22A
22A-1
24
20'
20

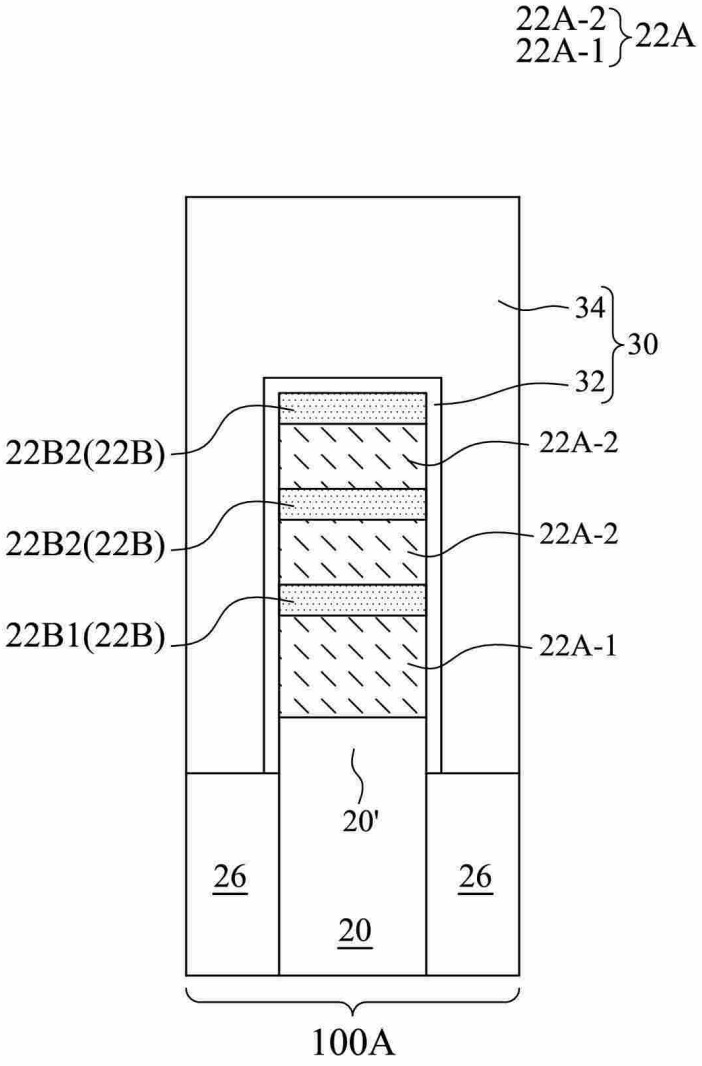
第 2 圖


10
26T
22B
22'
22A-2
22A-1
22A
24
28
20'
26
26
26
26
26
20

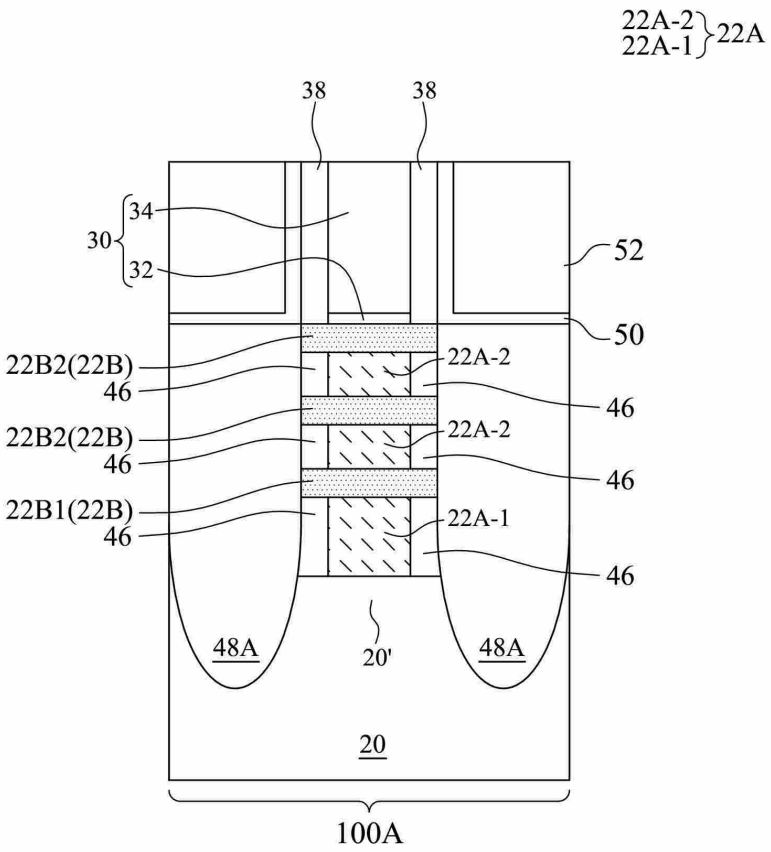
第 3 圖


10
38
30
CL
GL
36
32
34
22B
22'
22A
28
26
20'
20
100A
100B

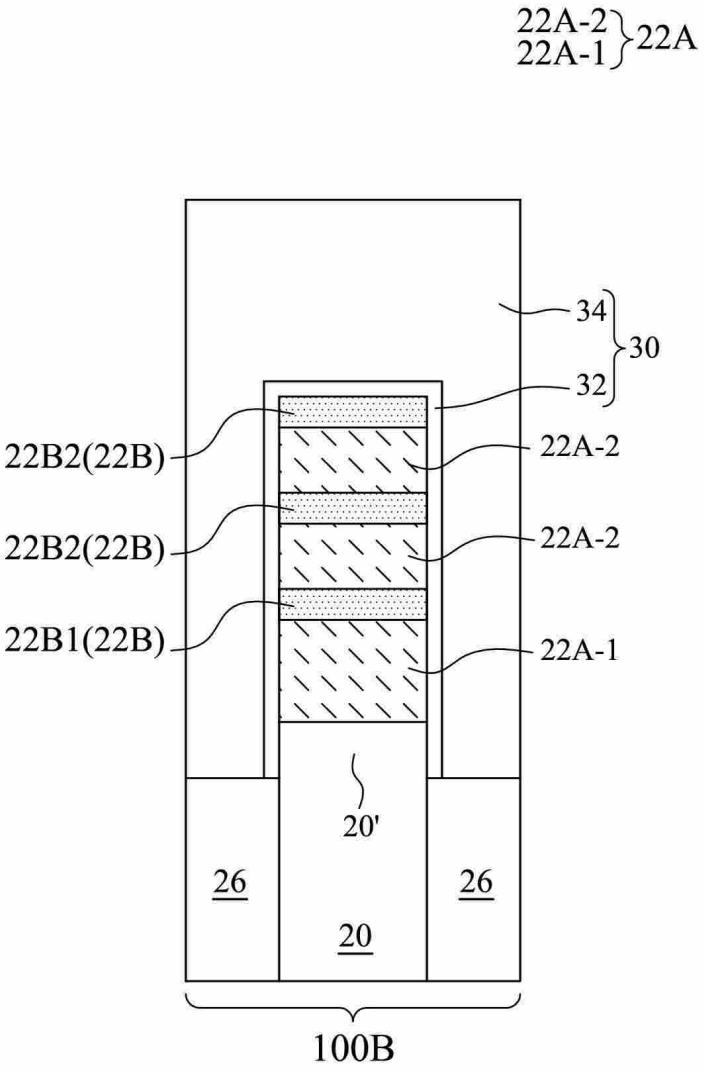
第 4 圖


22A-2
22A-1
22A
34
30
32
22B2(22B)
22A-2
22B2(22B)
22A-2
22B1(22B)
22A-1
20'
26
26
20
100A

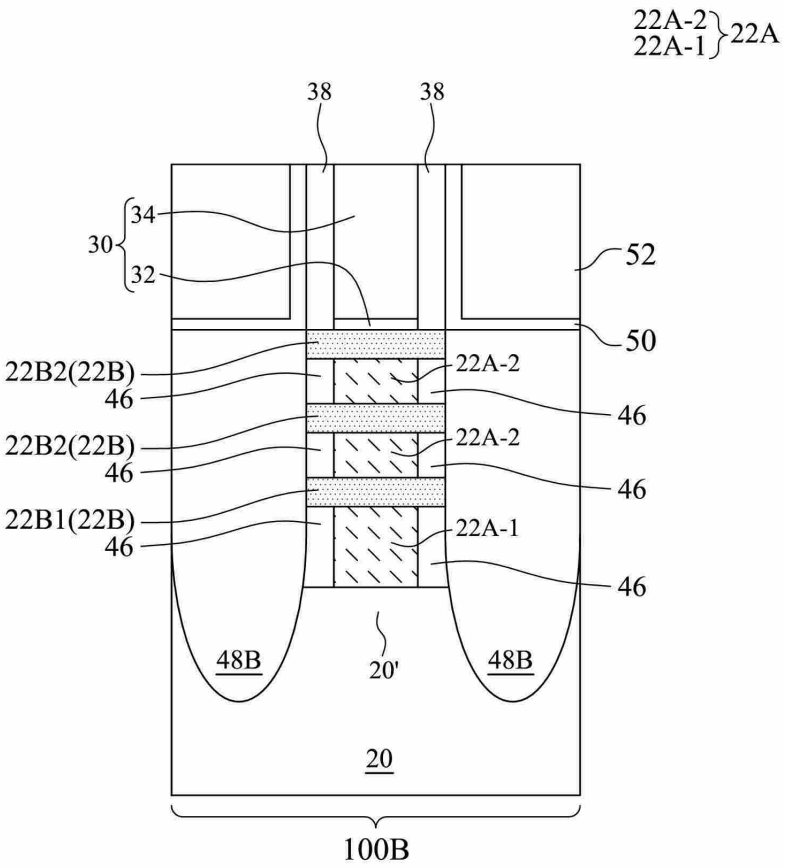
第 5A-1 圖


22A-2
22A-1
22A
38
38
34
30
32
52
50
22B2(22B)
46
22A-2
46
22B2(22B)
46
22A-2
46
22B1(22B)
46
22A-1
46
48A
20'
48A
20
100A

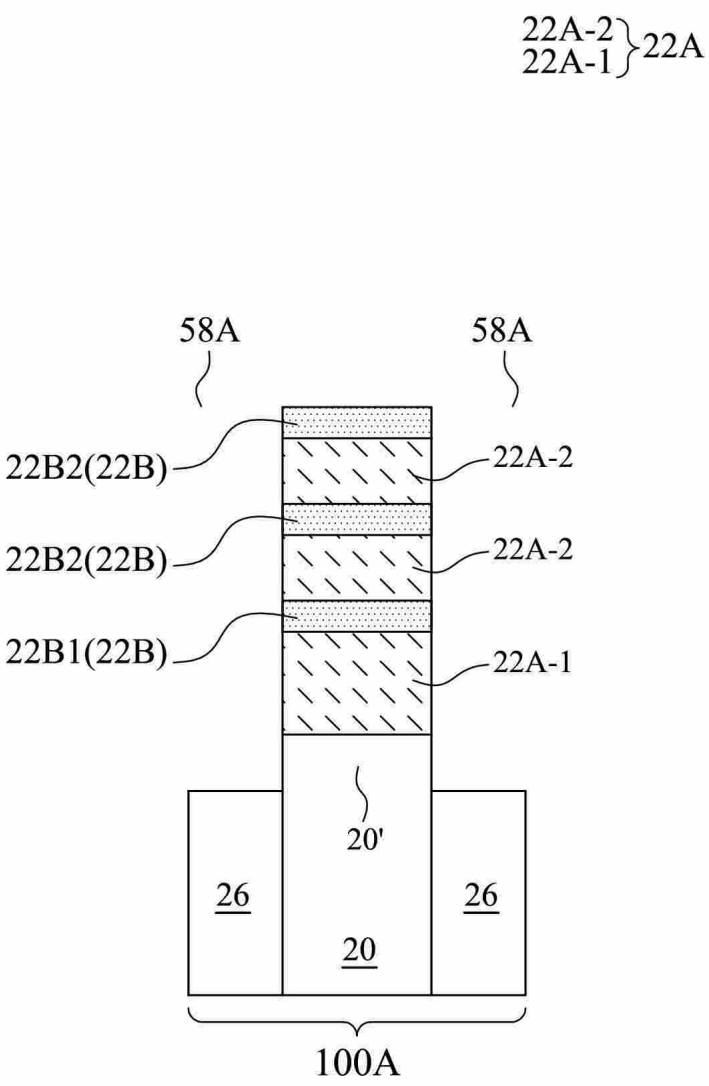
第 5A-2 圖


22A-2
22A-1
22A
34
30
32
22B2(22B)
22A-2
22B2(22B)
22A-2
22B1(22B)
22A-1
20'
26
26
20
100B

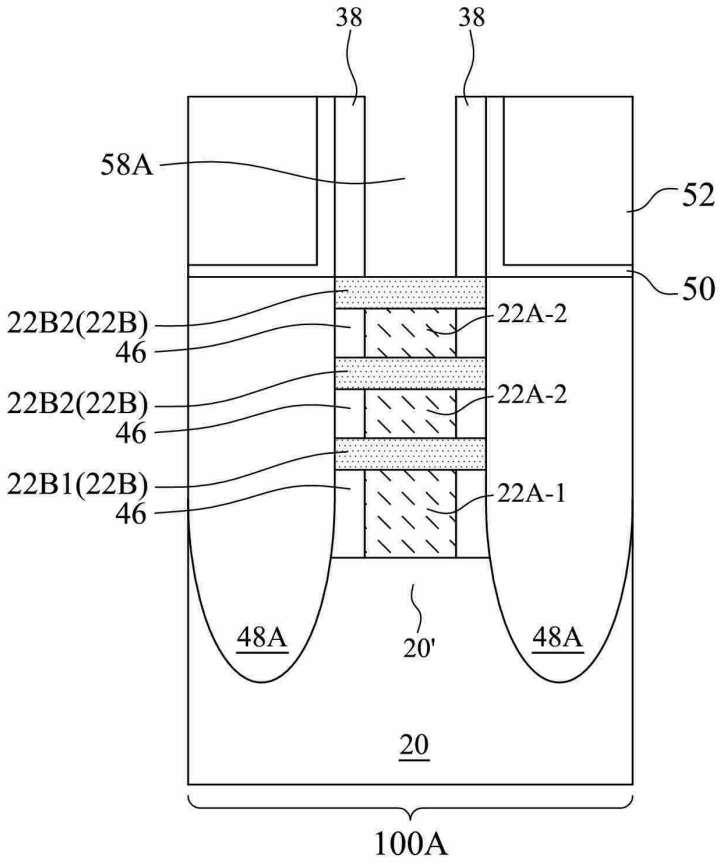
第 5B-1 圖


22A-2
22A-1
22A
38
38
34
30
32
52
50
22B2(22B)
46
22A-2
46
22B2(22B)
46
22A-2
46
22B1(22B)
46
22A-1
46
48B
20'
48B
20
100B

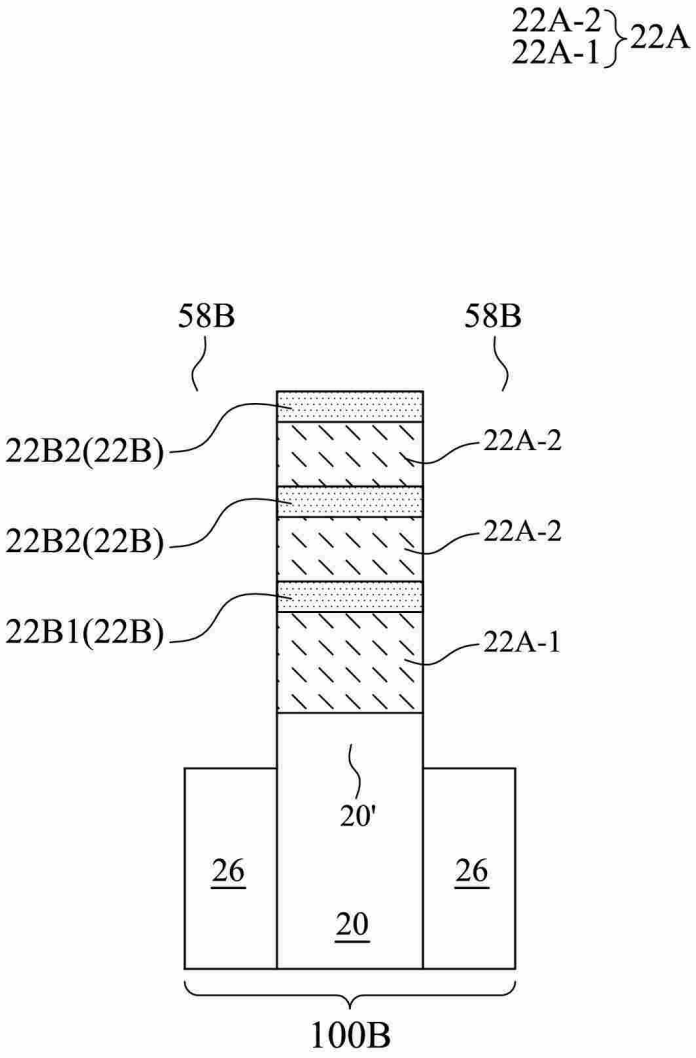
第 5B-2 圖


22A-2
22A-1
22A
58A
58A
22B2(22B)
22A-2
22B2(22B)
22A-2
22B1(22B)
22A-1
20'
26
26
20
100A

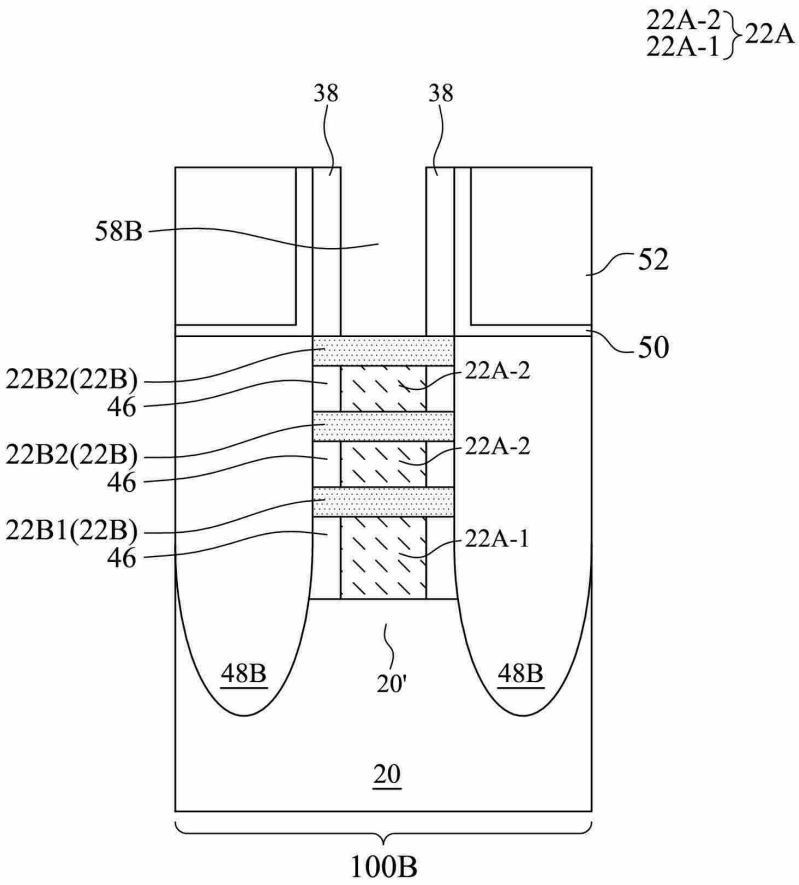
第 6A-1 圖


38
38
58A
52
50
22B2(22B)
46
22A-2
22B2(22B)
46
22A-2
22B1(22B)
46
22A-1
48A
20'
48A
20
100A

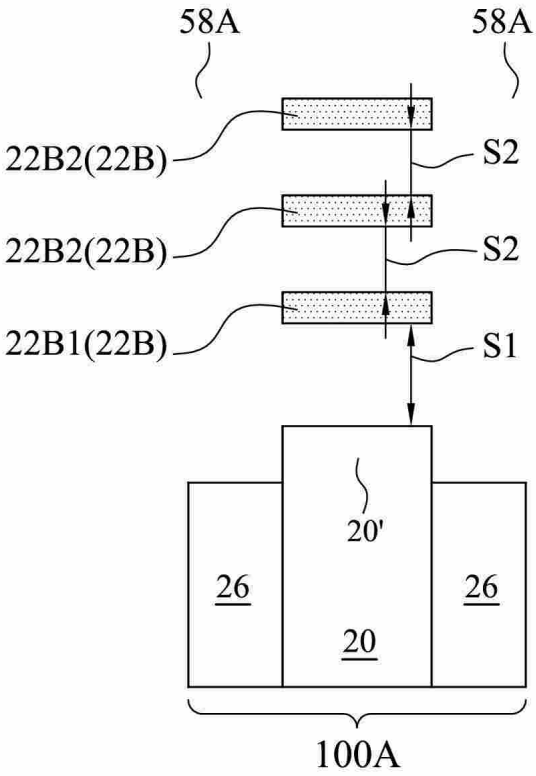
第 6A-2 圖


22A-2
22A-1
22A
58B
58B
22B2(22B)
22A-2
22B2(22B)
22A-2
22B1(22B)
22A-1
20'
26
26
20
100B

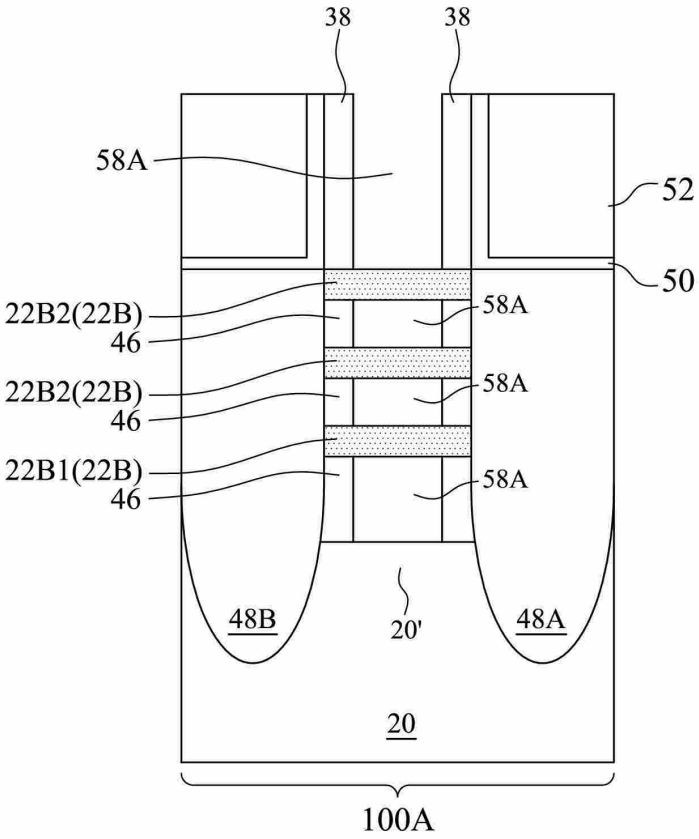
第 6B-1 圖


22A-2
22A-1
22A
38
38
58B
52
50
22B2(22B)
46
22A-2
22B2(22B)
46
22A-2
22B1(22B)
46
22A-1
48B
20'
48B
20
100B

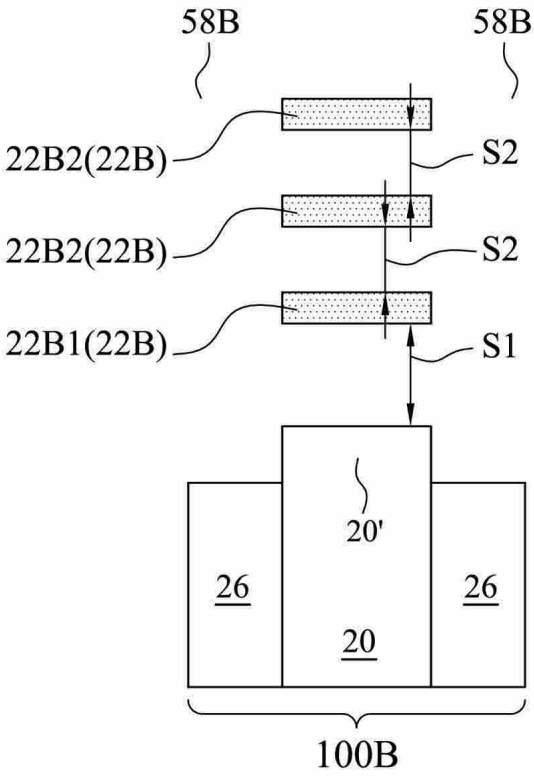
第 6B-2 圖



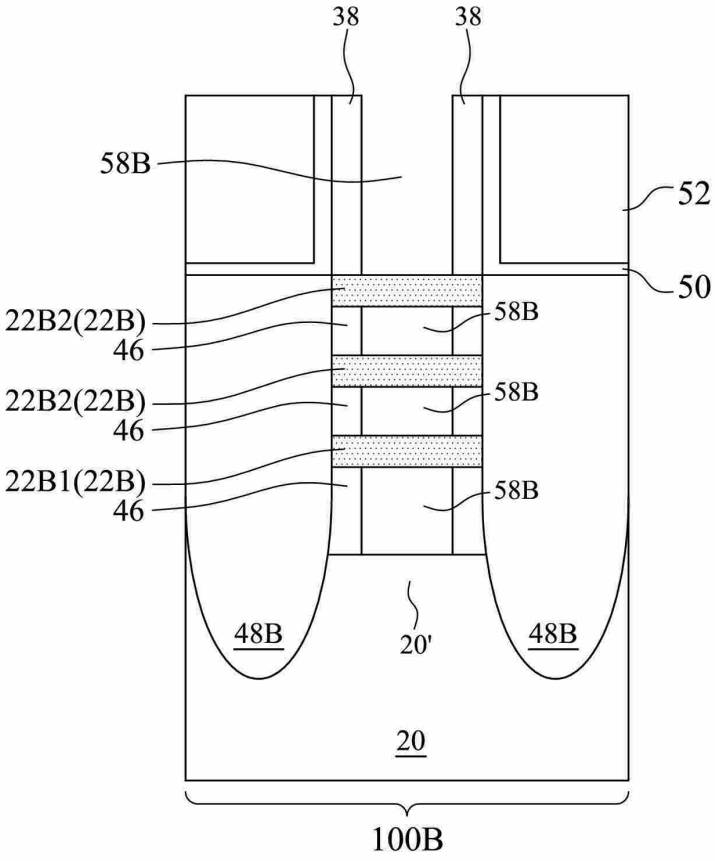
第 7A-1 圖


38
38
58A
52
50
22B2(22B)
46
58A
22B2(22B)
46
58A
22B1(22B)
46
58A
48B
20'
48A
20
100A

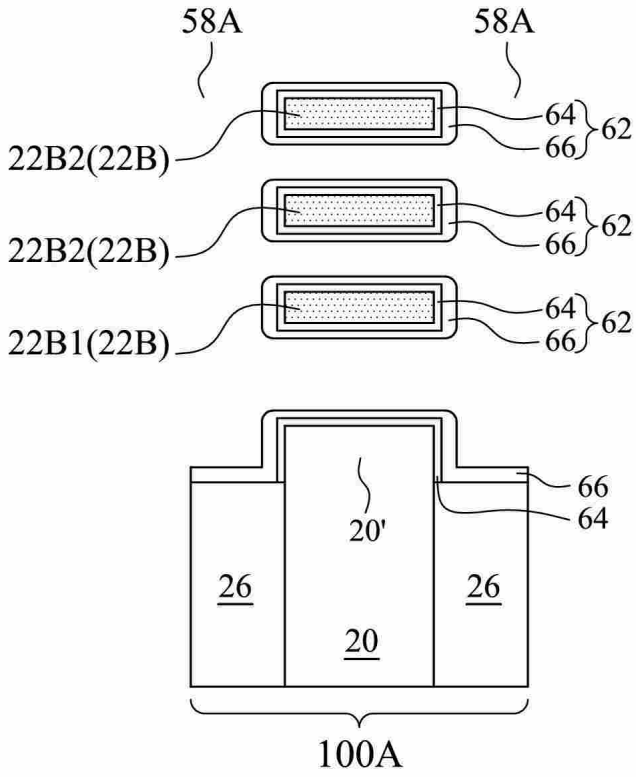
第 7A-2 圖



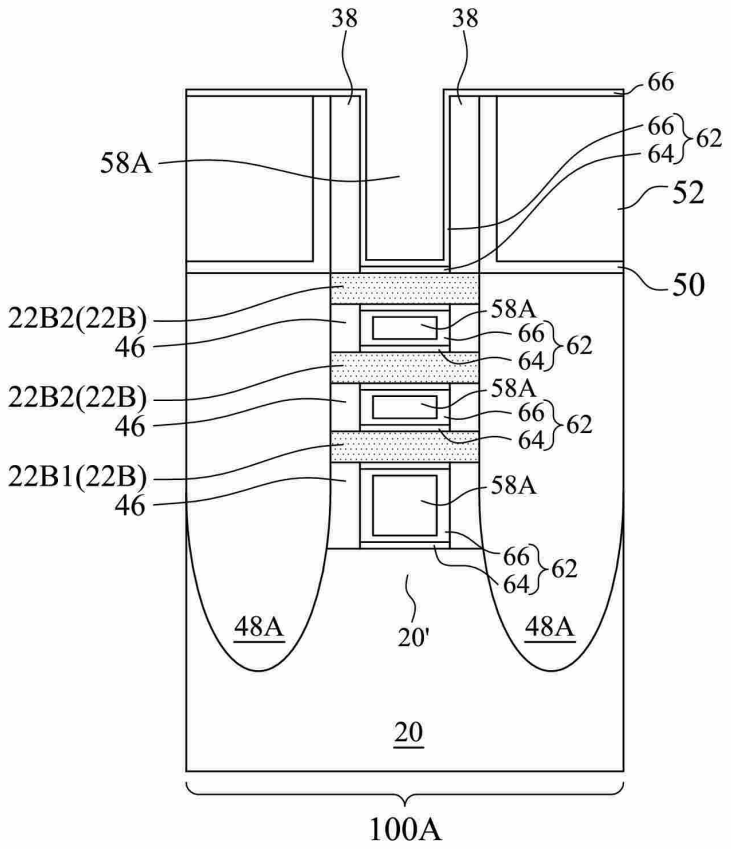
第 7B-1 圖


38
38
58B
52
50
22B2(22B)
46
58B
22B2(22B)
46
58B
22B1(22B)
46
58B
48B
20'
48B
20
100B

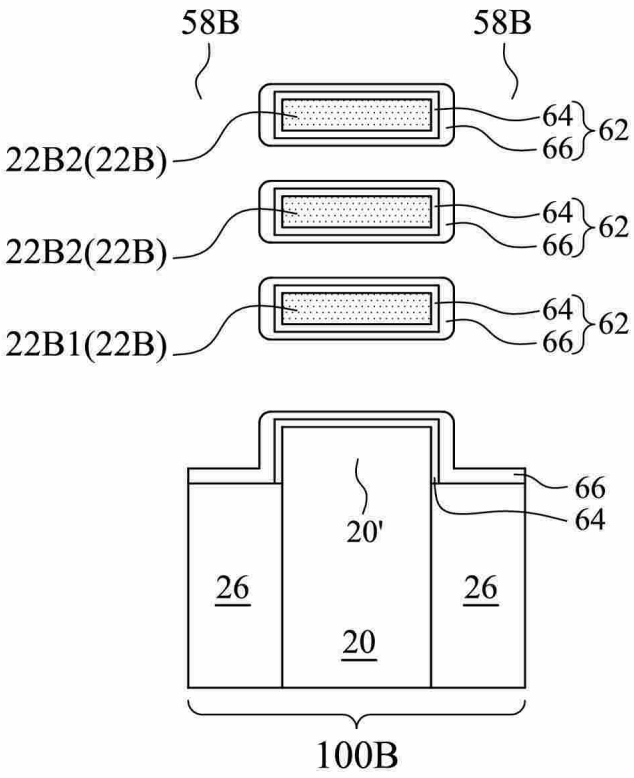
第 7B-2 圖


58A
58A
64
66
62
22B2(22B)
64
66
62
22B2(22B)
64
66
62
22B1(22B)
66
64
20'
26
26
20
100A

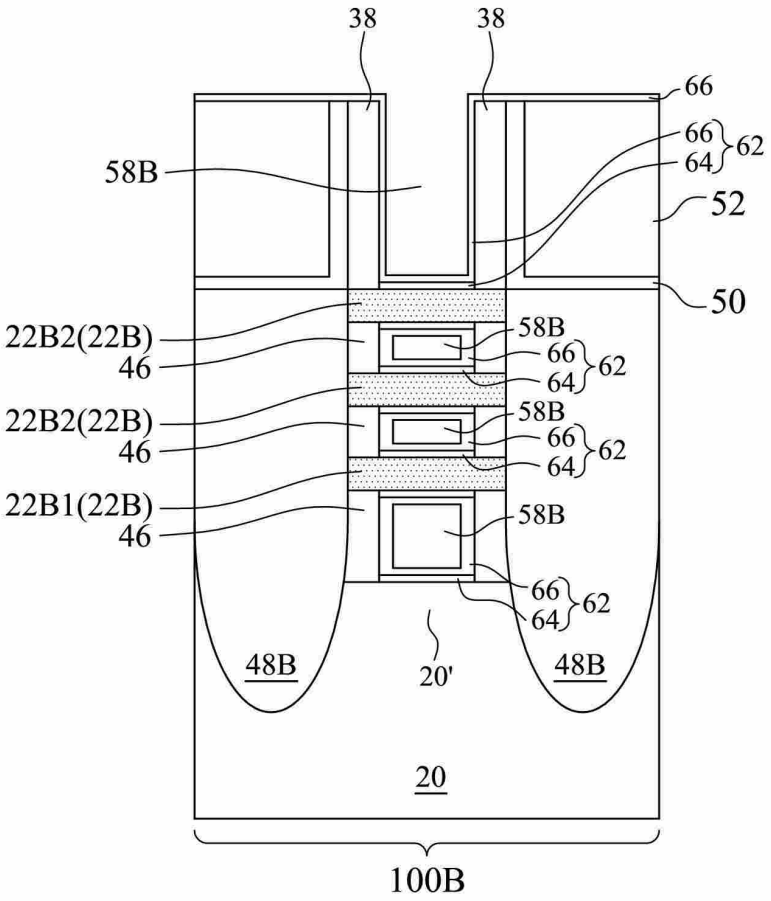
第 8A-1 圖


38
38
66
66
64
62
58A
52
50
22B2(22B)
46
58A
66
64
62
22B2(22B)
46
58A
66
64
62
22B1(22B)
46
58A
66
64
62
48A
20'
48A
20
100A

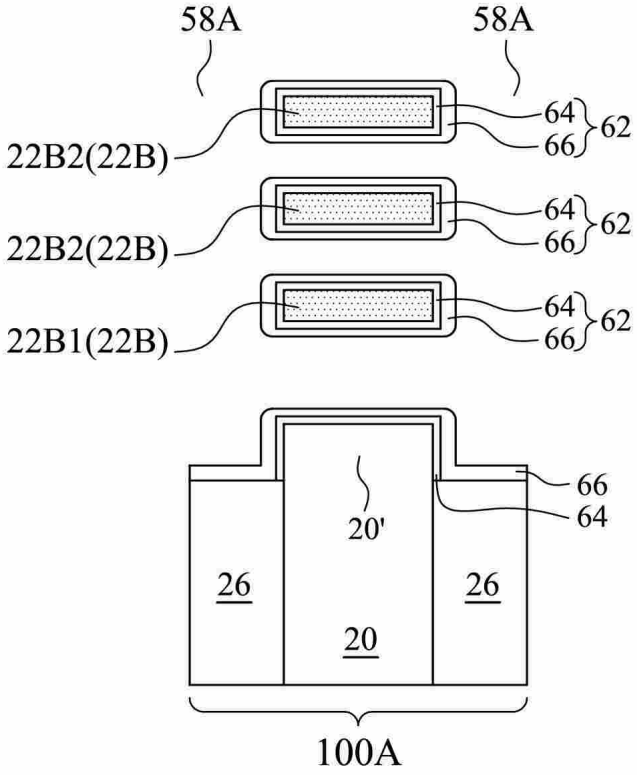
第 8A-2 圖


58B
58B
64
66
62
22B2(22B)
64
66
62
22B2(22B)
64
66
62
22B1(22B)
66
64
20'
26
26
20
100B

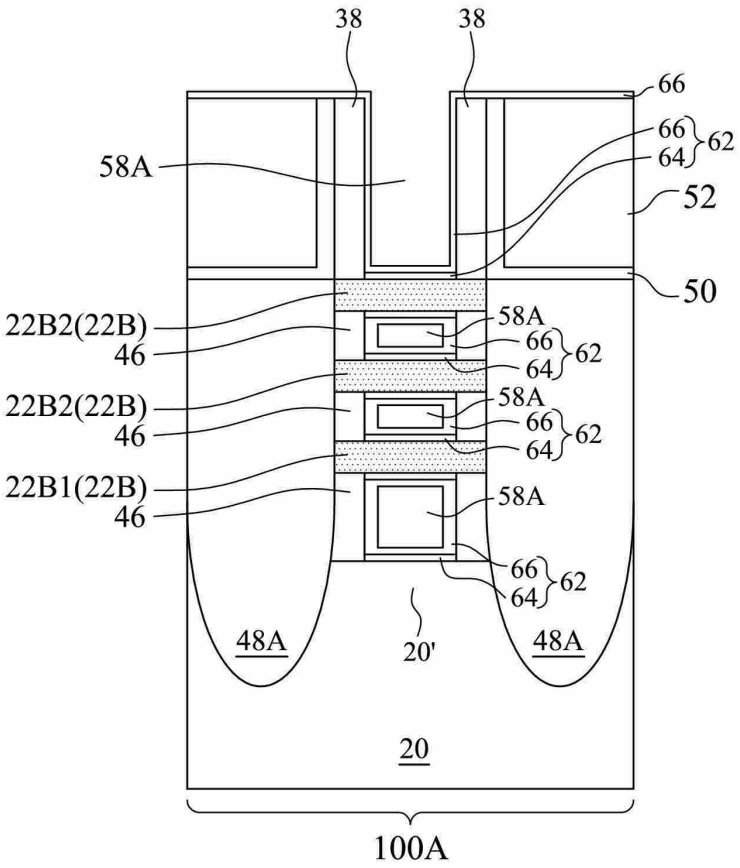
第 8B-1 圖


38
38
66
66
64
62
58B
52
50
22B2(22B)
46
58B
66
64
62
22B2(22B)
46
58B
66
64
62
22B1(22B)
46
58B
66
64
62
48B
20'
48B
20
100B

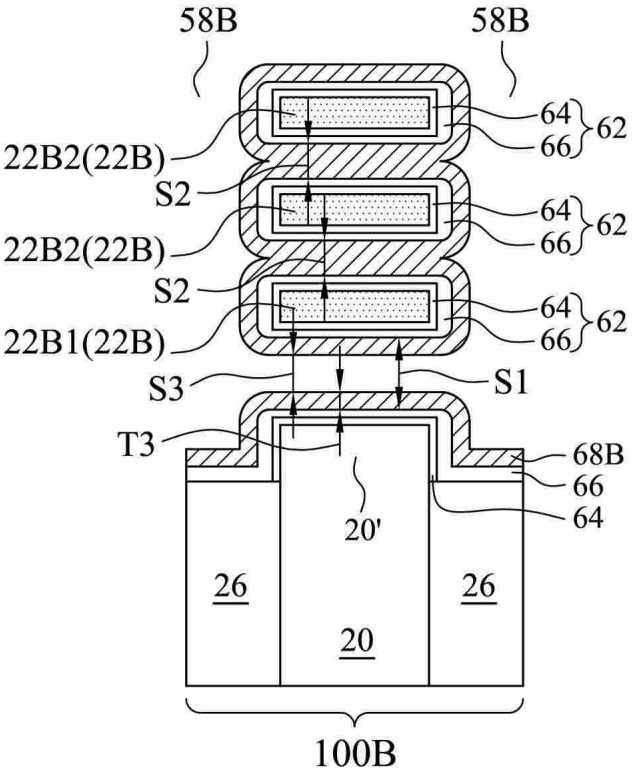
第 8B-2 圖


58A
58A
64
66
62
22B2(22B)
64
66
62
22B2(22B)
64
66
62
22B1(22B)
66
64
20'
26
26
20
100A

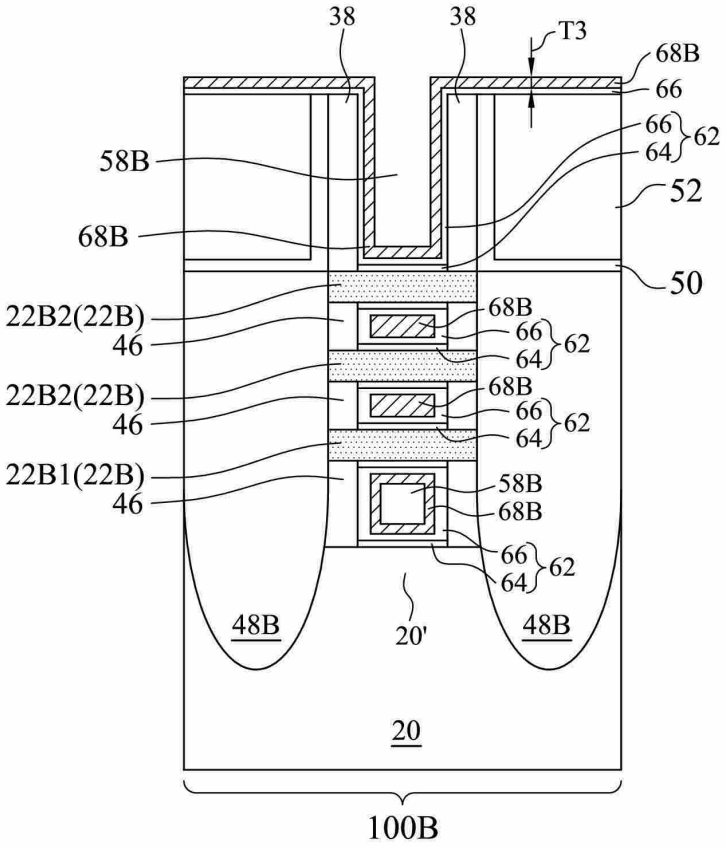
第 9A-1 圖


38
38
66
66
64
62
58A
52
50
22B2(22B)
46
58A
66
64
62
22B2(22B)
46
58A
66
64
62
22B1(22B)
46
58A
66
64
62
48A
20'
48A
20
100A

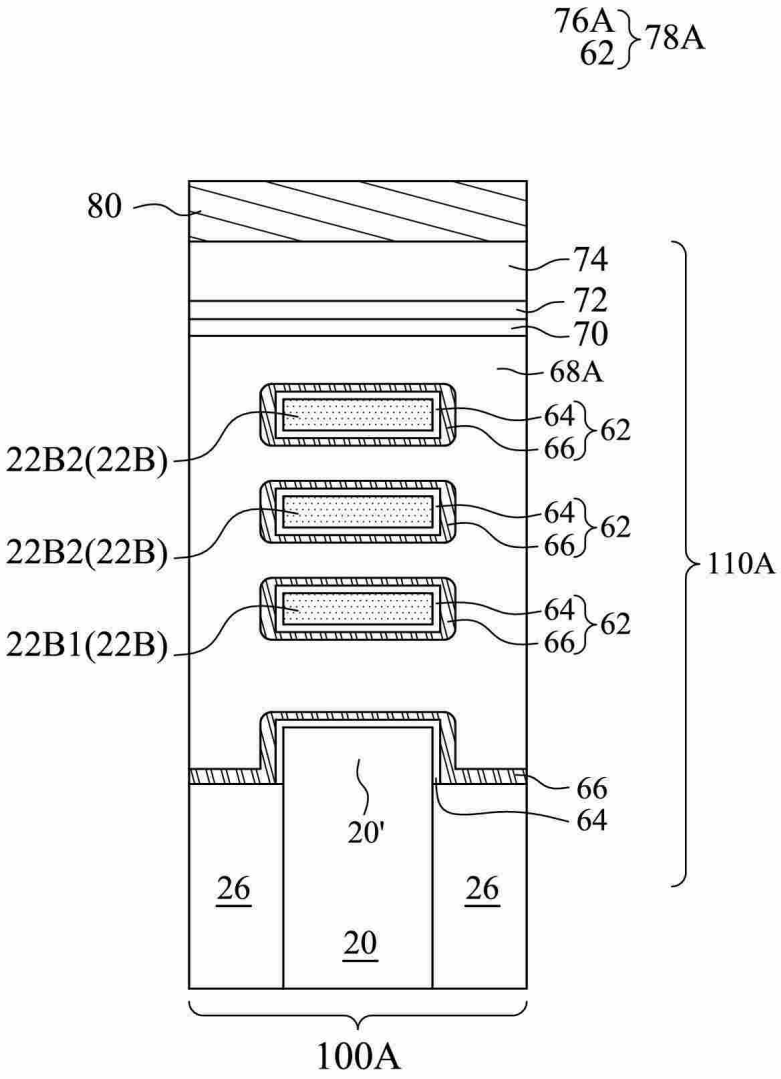
第 9A-2 圖


58B
58B
64
66
62
22B2(22B)
S2
64
66
62
22B2(22B)
S2
64
66
62
22B1(22B)
S3
S1
T3
68B
66
64
20'
26
26
20
100B

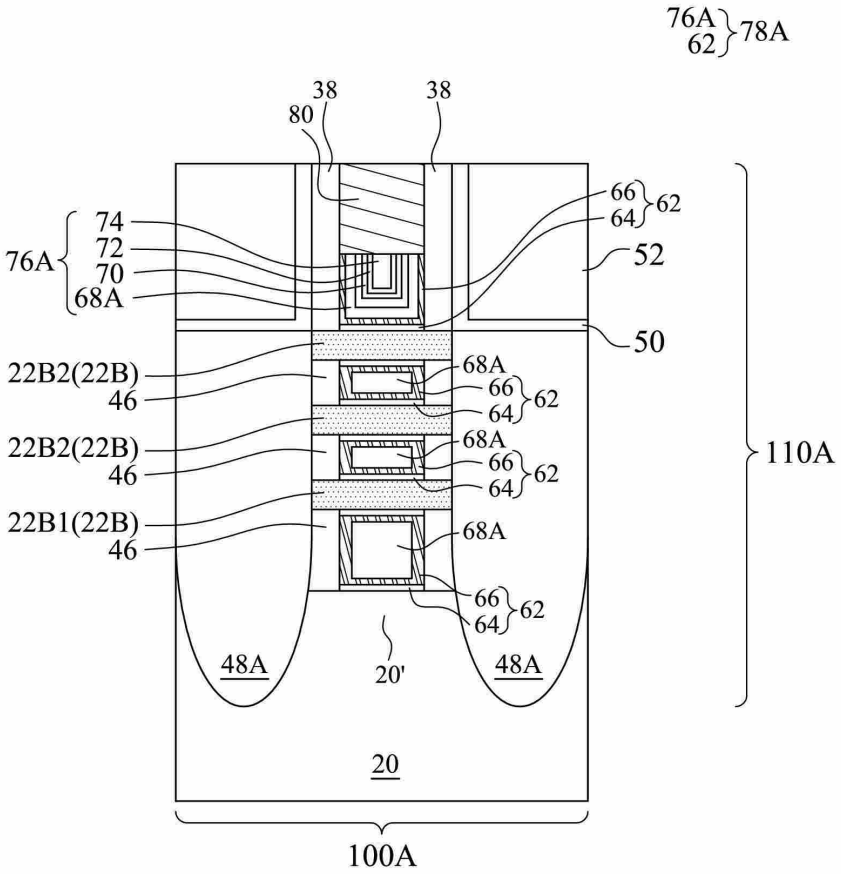
第 9B-1 圖


38
38
T3
68B
66
66
64
62
58B
52
68B
50
22B2(22B)
46
68B
66
64
62
22B2(22B)
46
68B
66
64
62
22B1(22B)
46
58B
68B
66
64
62
48B
20'
48B
20
100B

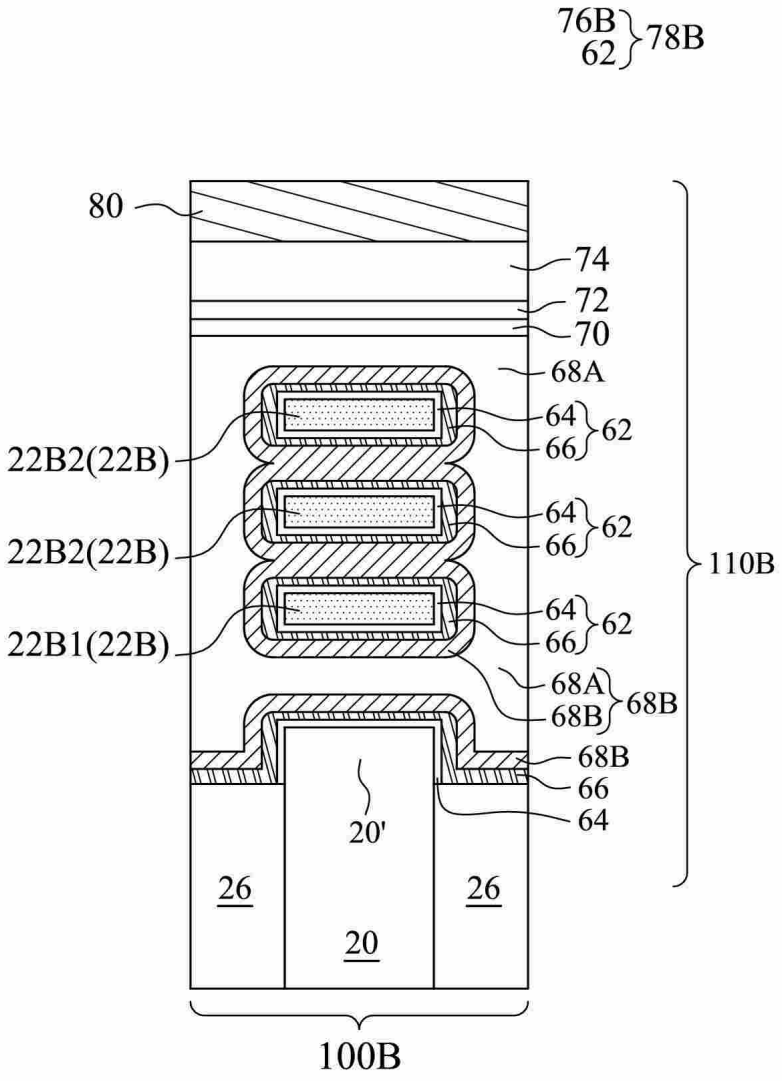
第 9B-2 圖


76A
62
78A
80
74
72
70
68A
64
66
62
22B2(22B)
64
66
62
22B2(22B)
64
66
62
22B1(22B)
110A
66
64
20'
26
26
20
100A

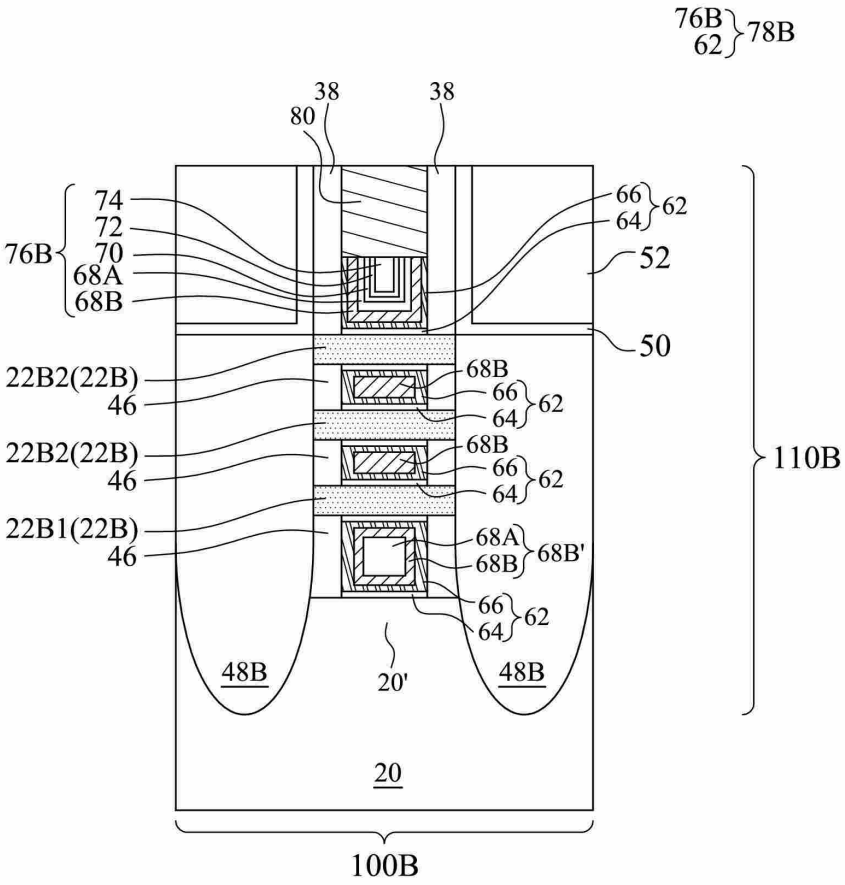
第 10A-1 圖


76A
62
78A
38
38
80
66
64
62
74
72
76A
70
68A
52
50
22B2(22B)
46
68A
66
64
62
22B2(22B)
46
68A
66
64
62
110A
22B1(22B)
46
68A
66
64
62
48A
20'
48A
20
100A

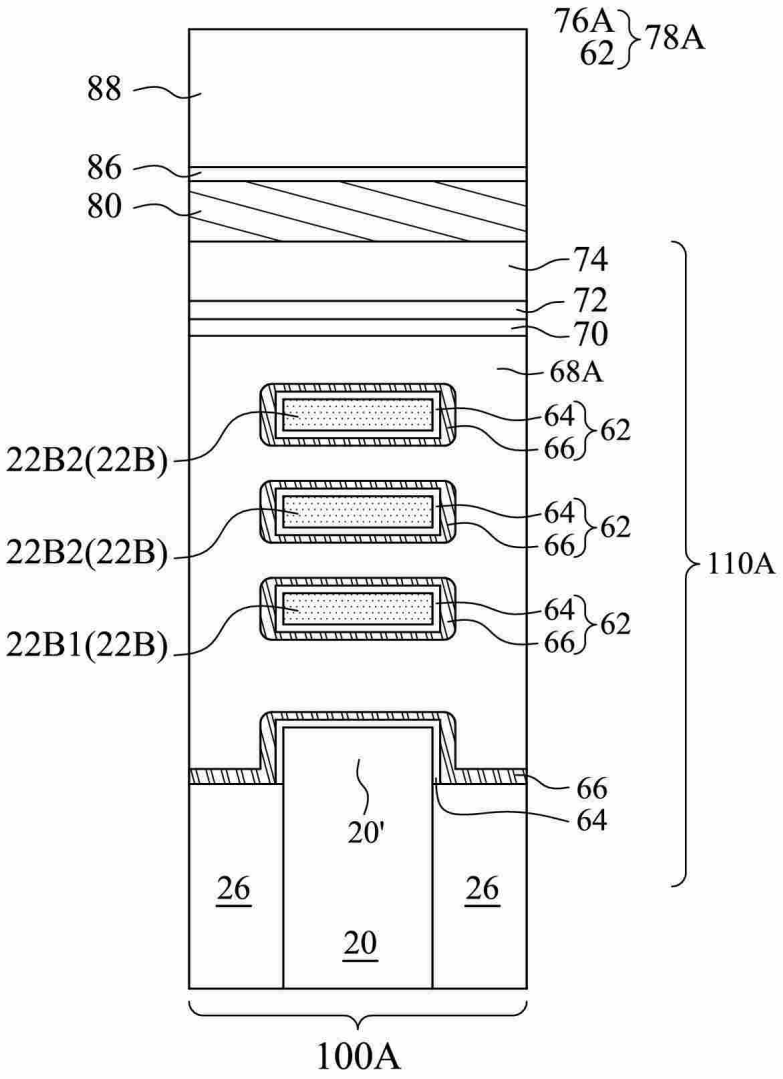
第 10A-2 圖


76B
62
78B
80
74
72
70
68A
64
66
62
22B2(22B)
22B2(22B)
22B1(22B)
110B
68A
68B
68B
68B
66
64
20'
26
26
20
100B

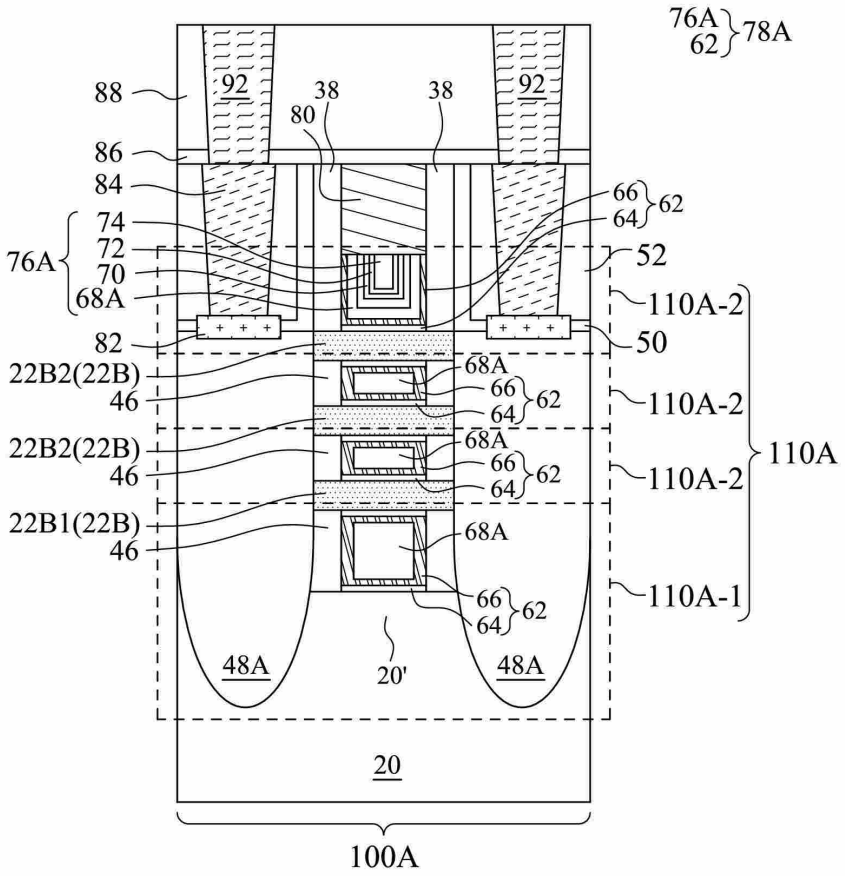
第 10B-1 圖


76B
62
78B
38
38
80
74
72
76B
70
68A
68B
66
64
62
52
50
22B2(22B)
46
68B
66
64
62
22B2(22B)
46
68B
66
64
62
110B
22B1(22B)
46
68A
68B
68B'
66
64
62
48B
20'
48B
20
100B

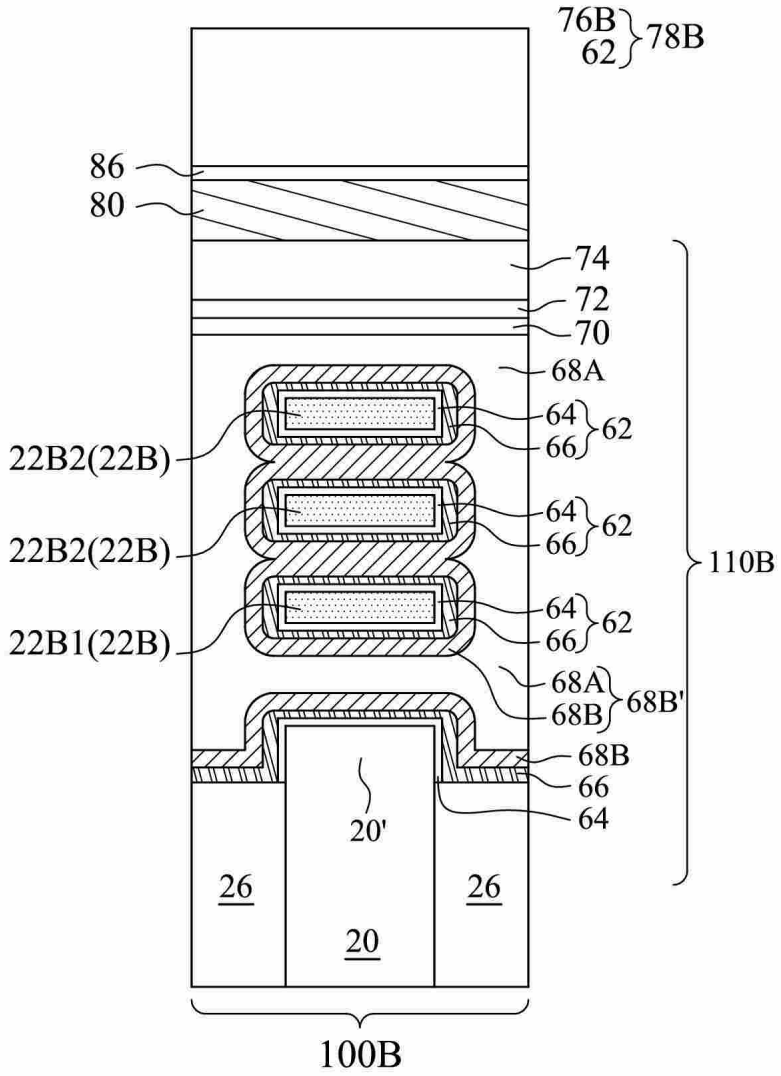
第 10B-2 圖


76A
62
78A
88
86
80
74
72
70
68A
64
66
62
22B2(22B)
22B2(22B)
22B1(22B)
110A
20'
26
26
20
100A

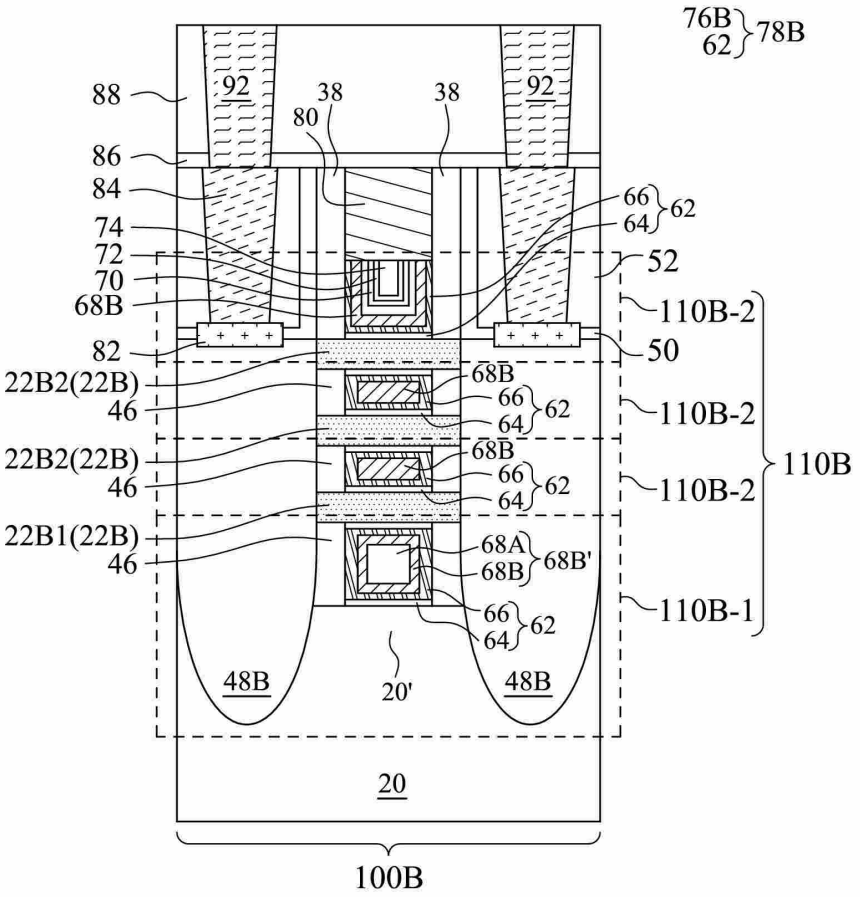
第 11A-1 圖


76A
62
78A
88
92
38
38
92
80
86
84
66
64
62
74
72
70
68A
76A
52
110A-2
82
50
22B2(22B)
46
68A
66
64
62
110A-2
22B2(22B)
46
68A
66
64
62
110A-2
110A
22B1(22B)
46
68A
66
64
62
110A-1
48A
20'
48A
20
100A

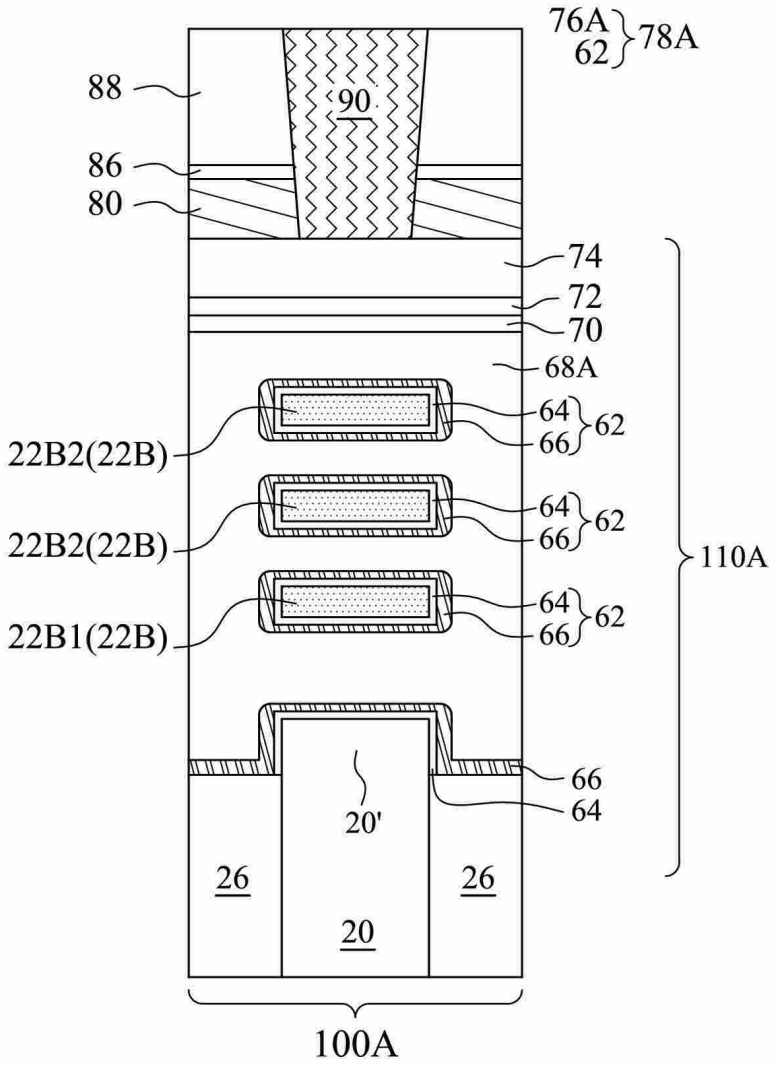
第 11A-2 圖


76B
62
78B
86
80
74
72
70
68A
64
66
62
22B2(22B)
22B2(22B)
22B1(22B)
110B
68A
68B
68B'
20'
26
26
20
100B

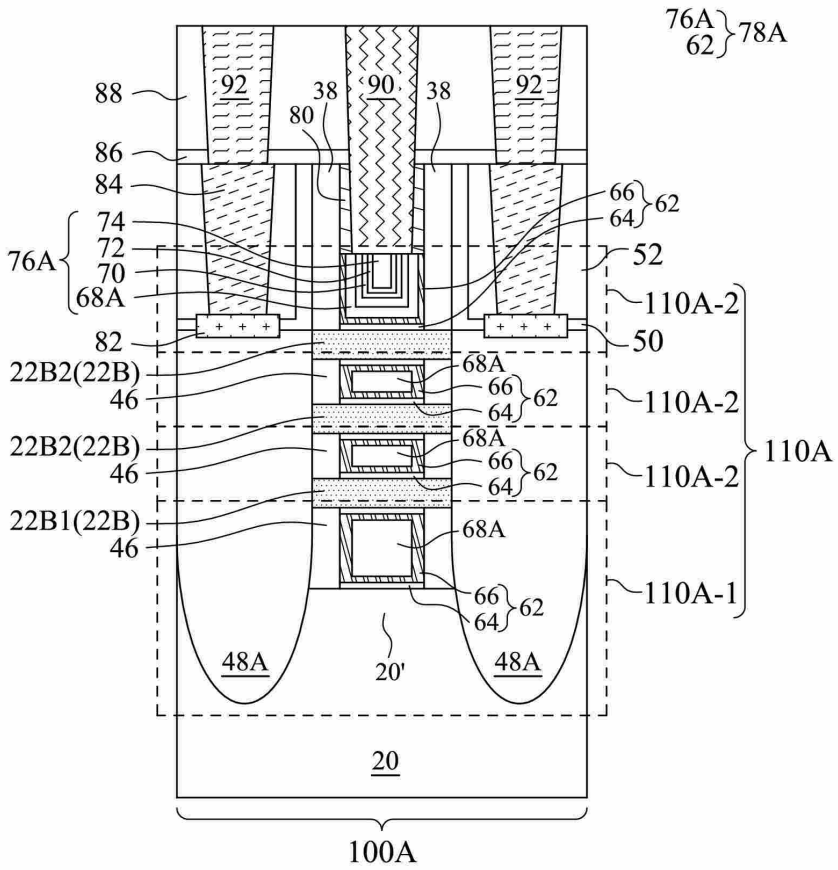
第 11B-1 圖


76B
62
78B
88
92
38
80
38
92
86
84
74
72
70
68B
82
66
64
62
52
110B-2
50
22B2(22B)
46
68B
66
64
62
110B-2
22B2(22B)
46
68B
66
64
62
110B-2
110B
22B1(22B)
46
68A
68B
68B'
66
64
62
110B-1
48B
20'
48B
20
100B

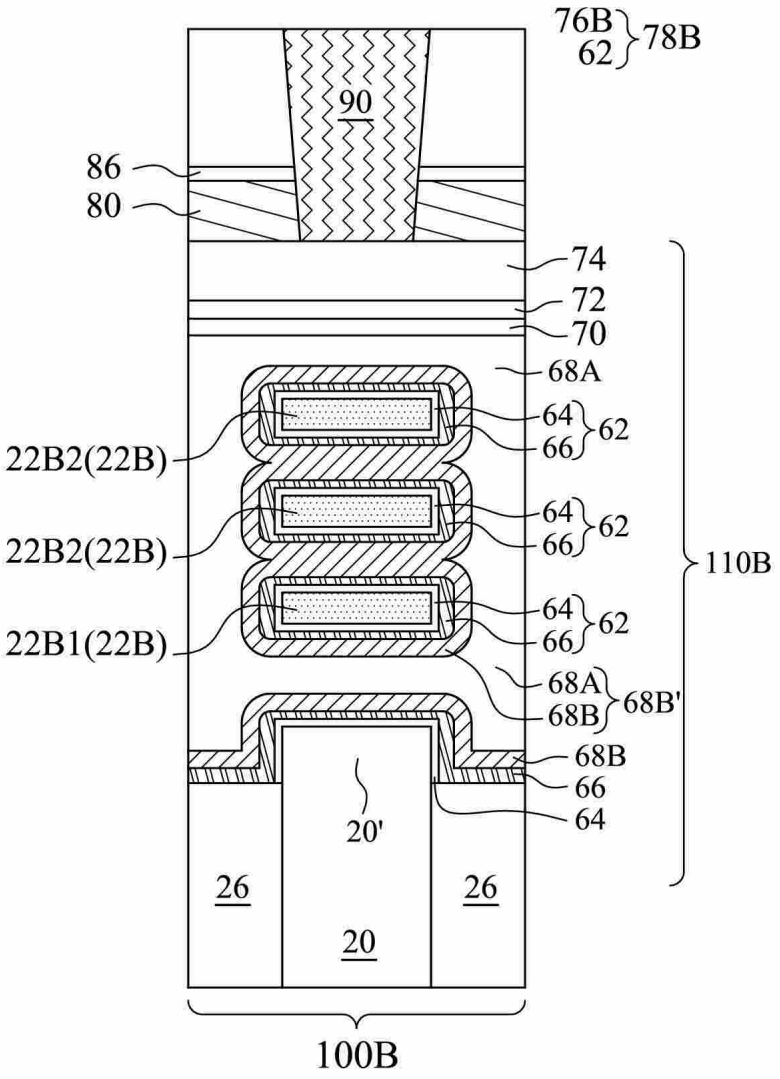
第 11B-2 圖


76A
62
78A
88
90
86
80
74
72
70
68A
64
66
62
22B2(22B)
22B2(22B)
22B1(22B)
110A
20'
26
26
20
100A

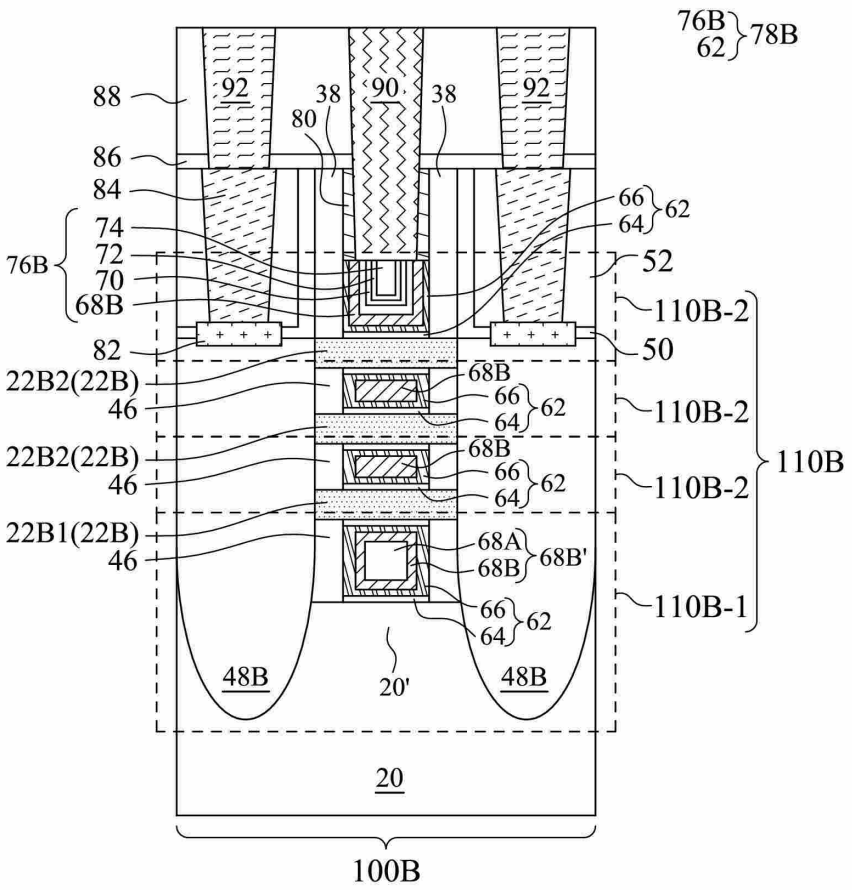
第 12A-1 圖


76A
62
78A
88
92
38
90
38
92
80
86
84
66
64
62
74
72
76A
70
68A
52
110A-2
82
50
22B2(22B)
68A
46
66
64
62
110A-2
22B2(22B)
68A
46
66
64
62
110A-2
110A
22B1(22B)
46
68A
66
64
62
110A-1
48A
20'
48A
20
100A

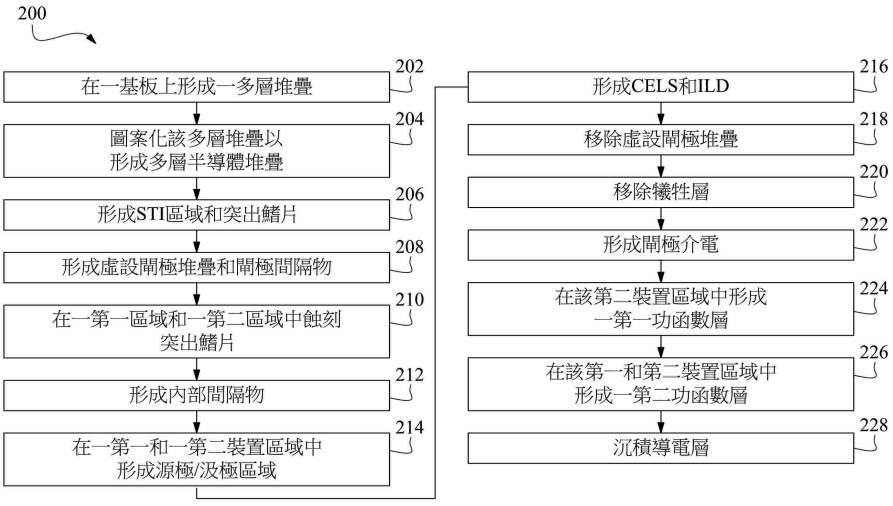
第 12A-2 圖


76B
62
78B
90
86
80
74
72
70
68A
64
66
62
22B2(22B)
22B2(22B)
22B1(22B)
110B
68A
68B
68B'
20'
26
26
20
100B

第 12B-1 圖


76B
62
78B
88
92
38
90
38
92
80
86
84
74
72
76B
70
68B
66
64
62
52
110B-2
82
50
22B2(22B)
46
68B
66
64
62
110B-2
22B2(22B)
46
68B
66
64
62
110B-2
110B
22B1(22B)
46
68A
68B
68B'
66
64
62
110B-1
48B
20'
48B
20
100B

第 12B-2 圖


200
在一基板上形成一多層堆疊
202
圖案化該多層堆疊以
形成多層半導體堆疊
204
形成STI區域和突出鰭片
206
形成虛設閘極堆疊和閘極間隔物
208
在一第一區域和一第二區域中蝕刻
突出鰭片
210
形成內部間隔物
212
在一第一和一第二裝置區域中
形成源極/汲極區域
214
形成CELS和ILD
216
移除虛設閘極堆疊
218
移除犧牲層
220
形成閘極介電
222
在該第二裝置區域中形成
一第一功函數層
224
在該第一和第二裝置區域中
形成一第二功函數層
226
沉積導電層
228

第 13 圖