【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I941168
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10D30/47　(2025.01)*　*H10D30/01　(2025.01)*
H10D62/10　(2025.01)

發明　　全 4 頁

【54】名　稱：半導體裝置及其製造方法

【21】申請案號：114114316　　【22】申請日： 中華民國 114 (2025) 年 04 月 16 日

【72】發 明 人： 林永豐 (TW) LIN, YUNG-FONG；林琮翔 (TW) LIN, TSUNG-HSIANG；莊理文 (TW) CHUANG, LI-WEN；王聖尤 (TW) WANG, SHENG-YU
【71】申 請 人： 世界先進積體電路股份有限公司 VANGUARD INTERNATIONAL SEMICONDUCTOR CORPORATION
新竹縣園區三路 123 號
【74】代 理 人： 洪澄文

【56】參考文獻：
CN　116344576A　　US　2020/0403090A1

審查人員：陳冠瑜

【57】申請專利範圍

1. 一種半導體裝置，包括：
一基板；
一磊晶層，設置於該基板上，具有一主動區及一絕緣區鄰進該主動區，且該磊晶層包括：
一緩衝層，設置於該基板之上且摻雜有碳；
一通道層，設置於該緩衝層上；以及
一阻障層，設置於該通道層上；
一閘極，設置於該磊晶層上，且位於該主動區內；以及
一源極以及一汲極，分別設置於該閘極的相對兩側，且位於該主動區內；
一絕緣結構，貫穿該阻障層以及該通道層，且位於該絕緣區內，其中該絕緣結構包括一介電材料具有一折射率（refractive index, RI）大於約 1.5。
2. 如請求項 1 所述之半導體裝置，其中該絕緣結構的一底表面與該緩衝層的一頂表面共平面。
3. 如請求項 1 所述之半導體裝置，其中該絕緣結構的一底表面低於該緩衝層的一頂表面。
4. 如請求項 1 所述之半導體裝置，其中該絕緣結構更嵌入該緩衝層之中。
5. 如請求項 1 所述之半導體裝置，其中該絕緣結構的一底表面高於該緩衝層的一底表面。
6. 如請求項 1 所述之半導體裝置，其中該絕緣結構具有一深度介於約 206nm 至 925 nm。
7. 如請求項 1 所述之半導體裝置，其中該緩衝層包括一摻雜碳的氮化鎵(C-GaN)層。
8. 如請求項 1 所述之半導體裝置，其中該通道層包括一未摻雜的氮化鎵(u-GaN)層。
9. 如請求項 1 所述之半導體裝置，其中該阻障層包括一氮化鋁鎵($Al_xGa_{1-x}N$)層，其中 $0 < x < 1$。
10. 如請求項 1 所述之半導體裝置，其中該基板包括一矽基板或一 QST 基板。
11. 如請求項 1 所述之半導體裝置，其中該磊晶層更包括：
一晶種層，設置於該基板上；以及

一超晶格結構，設置於該晶種層與該緩衝層之間。

12. 一種半導體裝置的製造方法，包括：
提供一基板；
形成一磊晶層於該基板上，其中該磊晶層具有一主動區及一絕緣區鄰進該主動區，且包括：
一緩衝層，設置於該基板之上且摻雜有碳；
一通道層，設置於該緩衝層上；以及
一阻障層，設置於該通道層上；
形成一絕緣結構貫穿該阻障層以及該通道層，且位於該絕緣區內，其中該絕緣結構包括一介電材料具有一折射率（refractive index, RI）大於約 1.5；
形成一閘極於該磊晶層上，且位於該主動區內；以及
分別形成一源極以及一汲極於該閘極的相對兩側，且位於該主動區內。

13. 如請求項 12 所述之半導體裝置的製造方法，其中形成該絕緣結構之步驟包括：
執行一蝕刻製程以形成一凹槽貫穿該阻障層以及該通道層；以及
執行一沉積製程以形成該絕緣結構填充該凹槽。

14. 如請求項 13 所述之半導體裝置的製造方法，其中該凹槽的一底表面與該緩衝層的一頂表面共平面。

15. 如請求項 13 所述之半導體裝置的製造方法，其中該凹槽的一底表面低於該緩衝層的一頂表面。

16. 如請求項 13 所述之半導體裝置的製造方法，其中該蝕刻製程包括電漿蝕刻。

17. 如請求項 13 所述之半導體裝置的製造方法，其中該沉積製程包括電漿輔助化學氣相沉積(plasma-enhanced chemical vapor deposition，PECVD)。

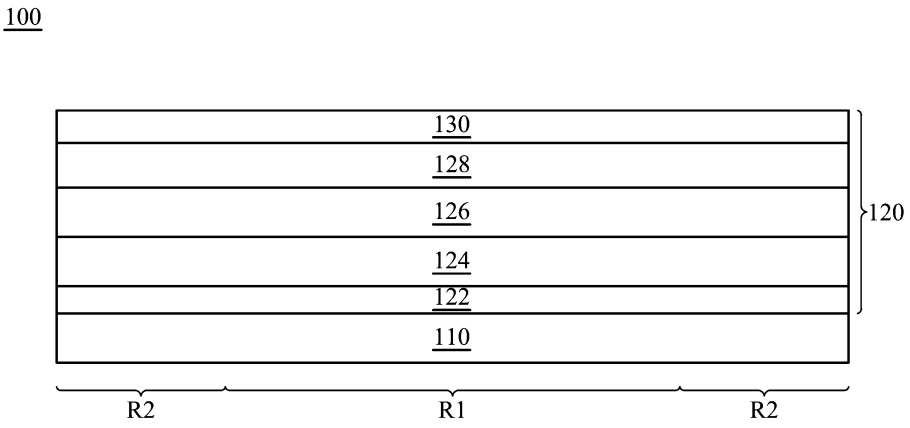
18. 如請求項 13 所述之半導體裝置的製造方法，其中該凹槽的一底表面具有一平均粗糙度(average roughness, Ra)小於 1.5 nm。

圖式簡單說明

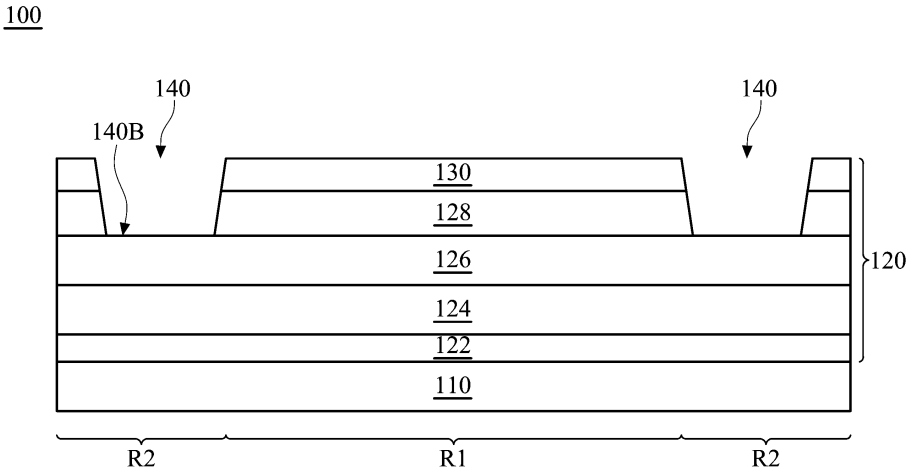
以下將配合所附圖式詳述本揭露的各種態樣。應注意的是，依據在業界的標準做法，各種部件並未按照比例繪製且僅用以說明例示。事實上，可任意地放大或縮小元件的尺寸，以清楚地表現出本發明實施例的部件。還需注意的是，所附圖式僅說明本揭露的典型實施例，因此不應認為是對其範圍的限制，本揭露同樣可以適用於其他實施例。

第 1 圖至第 3 圖是根據本揭露一些實施例，繪示出半導體裝置於各製造階段之剖面示意圖。

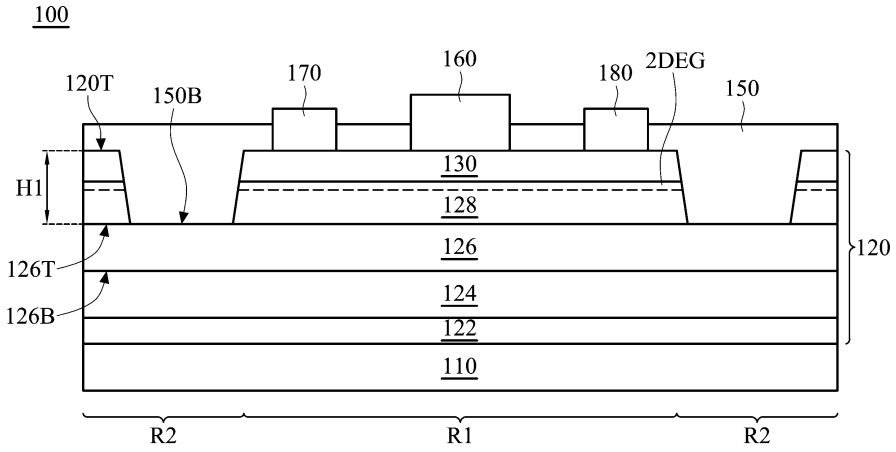
第 4 圖至第 5 圖是根據本揭露另一些實施例，繪示出半導體裝置於各製造階段之剖面示意圖。


100
130
128
126
124
122
110
120
R2
R1
R2

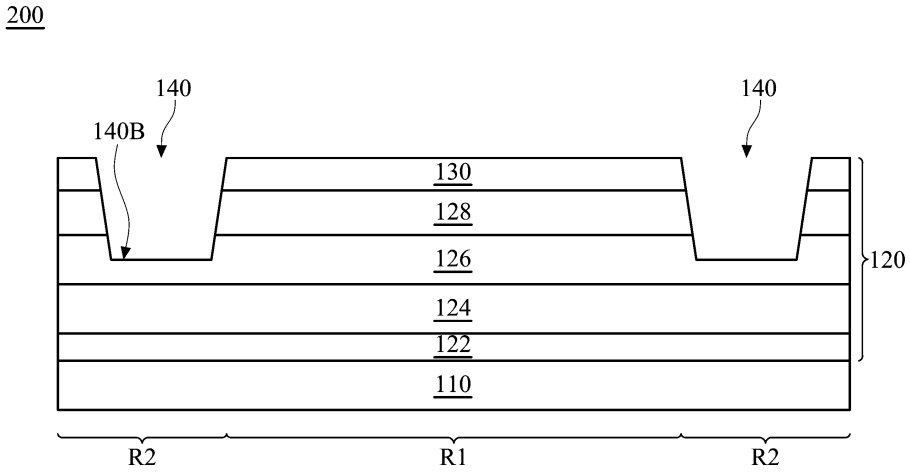
第 1 圖


100
140
140B
140
130
128
126
124
122
110
120
R2
R1
R2

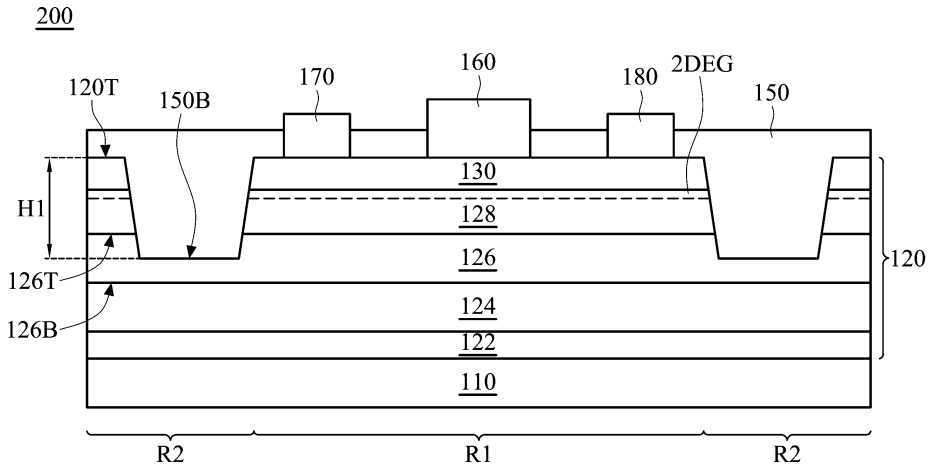
第 2 圖


100
120T
150B
170
160
180
2DEG
150
H1
130
128
126
124
122
110
120
126T
126B
R2
R1
R2

第 3 圖


200
140
140B
140
130
128
126
124
122
110
120
R2
R1
R2

第 4 圖


200
120T
150B
170
160
180
2DEG
150
130
H1
128
126
126T
126B
124
122
110
120
R2
R1
R2

第 5 圖