【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I941177
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*G11C8/08 (2006.01)*　*G11C7/10 (2006.01)*
G11C7/22 (2006.01)　*G11C7/06 (2006.01)*
H10W20/00 (2026.01)　*H10D30/60 (2025.01)*
發明　全 23 頁

【54】名　稱：記憶體元件及其形成方法
【21】申請案號：114115245　【22】申請日： 中華民國 114 (2025) 年 04 月 22 日
【11】公開編號：202616280　【43】公開日期： 中華民國 115 (2026) 年 04 月 16 日
【30】優 先 權： 2024/09/30　美國　63/701,274
2025/01/27　美國　19/037,991
【72】發 明 人： 林　建隆 (MY) LIM, KIAN-LONG；陳瑞麟 (TW) CHEN, JUI-LIN
【71】申 請 人： 台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.
新竹市新竹科學工業園區力行六路八號
【74】代 理 人： 秦建譜；許志銘
【56】參考文獻：

TW	I716001B	US	2022/0108992A1
US	2024/0040763A1	US	2024/0153549A1

審查人員：劉耀允

【57】申請專利範圍

1. 一種記憶體元件，包含：
一跨栓鎖包含一第一反向器、一第一儲存節點與一第二儲存節點，其中該第一反向器耦合到該第一儲存節點及該第二儲存節點；
一第一類型的一第一電晶體，該第一電晶體包含沿一第一方向延伸且位於一第一水平位置上的一第一閘極；
與該第一類型不同的一第二類型的一第二電晶體，該第二電晶體包含位於該第一水平位置下方的一第二水平位置上的一第二閘極；
該第一類型的一第三電晶體，耦合到該第一儲存節點及該第一電晶體，該第三電晶體包含在該第一水平位置上的一第三閘極；
該第二類型的一第四電晶體，耦合到該第一儲存節點及該第二電晶體，該第四電晶體包含在該第二水平位置上的一第四閘極，其中該第二閘極、該第三閘極以及該第四閘極的每一個延伸到該第一方向中，該第一閘極與該第三閘極在該第二方向分隔開，以及該第二閘極與該第四閘極在該第二方向分隔開；以及
一第一讀取位元線，沿著不同於該第一方向的一第二方向延伸，該第一讀取位元線位於一基板的一前側上方的一第一金屬層上，並且耦合至該第三電晶體與該第四電晶體，其中該第三電晶體與該第四電晶體對應於該元件的至少一第一埠。
2. 如請求項 1 所述的記憶體元件，進一步包含:
一第一閘極隔離層，位於該第一閘極與該第二閘極之間，該第一閘極隔離層配置於將該第一閘極與該第二閘極電隔離。
3. 如請求項 1 所述的記憶體元件，進一步包含:

該第一類型的一第一通道閘極電晶體，該第一通道閘極電晶體包含在該第一水平位置上的一第五閘極；以及

該第一類型的一第二通道閘極電晶體，該第二通道閘極電晶體包含在該第一水平位置上的一第六閘極；

其中該第五閘極與該第六閘極延伸到該第一方向，該第五閘極與該第三閘極在該第一方向分隔開，而該第六閘極與該第一閘極在該第一方向分隔開。

4. 如請求項 3 所述的記憶體元件，其中該第一反向器耦合到該第一通道閘極電晶體、該第二通道閘極電晶體、該第三電晶體的該第三閘極與該第四電晶體的該第四閘極，以及該跨栓鎖包含:

一第二反向器，耦合到該第一儲存節點、該第二儲存節點、該第一通道閘極電晶體與該第二通道閘極電晶體。

5. 如請求項 4 所述的記憶體元件，進一步包含:

一第一寫入位元線，沿著該第二方向延伸，且位於該第一金屬層上，並耦合到該第二通道閘極電晶體；

一第一寫入位元線條沿著該第二方向延伸，且位於該第一金屬層上，並耦合到該第一通道閘極電晶體；

一第一讀取字元線沿著該第二方向延伸，且位於該第一金屬層上，並耦合到該第一電晶體；

其中該第一寫入位元線、該第一寫入位元線條與該第一讀取位元線在該第一方向分隔開。

6. 一種記憶體元件，包含：

一對反向器，耦合到一第一儲存節點與一第二儲存節點；

一第一電晶體堆疊，位於一基板上，該第一電晶體堆疊包含:

一第一類型的一第一電晶體，該第一電晶體包含沿一第一方向延伸的一第一閘極，且位於一第一水平位置上；以及

與該第一類型不同的一第二類型的一第二電晶體，且該第二電晶體包含沿著該第一方向延伸的一第二閘極，並位於在該第一水平位置下方的一第二水平位置上；

一第二電晶體堆疊，位於該基板上，該第二電晶體堆疊包含:

該第一類型的一第三電晶體，且耦合到該第一儲存節點及該第一電晶體，該第三電晶體包含沿著該第一方向延伸的一第三閘極，並位於該第一水平位置上；以及

該第二類型的一第四電晶體，且耦合到該第一儲存節點及該第二電晶體，該第四電晶體包含沿著該第一方向延伸的一第四閘極，並位於該第二水平位置上；

一第一導體，沿著與該第一方向不同的一第二方向延伸，該第一導體位於在該基板的一前側上方的一第一金屬層上，且耦合到該第三電晶體與該第四電晶體，並配置為一第一讀取位元線；以及

一第二導體，配置為一第二讀取位元線，沿著與該第一方向不同的該第二方向延伸，該第二導體位於在該基板的一背側下方的一第二金屬層上，且耦合到該第三電晶體與該第四電晶體，該第二金屬層與該第一金屬層不同。

7. 如請求項 6 所述的記憶體元件，進一步包含:

一第三電晶體堆疊，位於該基板上，該第三電晶體堆疊包含:

該第一類型的一第一通道閘極電晶體，該第一通道閘極電晶體包含在該第一水平位置上的一第五閘極；以及

一第一虛設電晶體，包含沿著該第一方向延伸的一第六閘極，且位於該第二水平位置上；以及

一第四電晶體堆疊，位於該基板上，該第四電晶體堆疊包含:

該第一類型的一第二通道閘極電晶體，該第二通道閘極電晶體包含沿著該第一方向延伸的一第七閘極，且位於該第一水平位置上；以及

一第二虛設電晶體，包含沿著該第一方向延伸的一第八閘極，且位於該第二水平位置上；

其中該第五閘極與該第三閘極在該第一方向分隔開，該第七閘極與該第一閘極在該第一方向分隔開，該第六閘極與該第四閘極在該第一方向分隔開，以及該第八閘極與該第二閘極在該第一方向分隔開。

8. 如請求項 7 所述的記憶體元件，進一步包含:

一第三導體，沿著該第二方向延伸，位於該第一金屬層上，耦合到該第二通道閘極電晶體，並被配置為一第一寫入位元線；

一第四導體，沿著該第二方向延伸，位於該第一金屬層上，耦合到該第一通道閘極電晶體，並被配置為一第一寫入位元線條；以及

一第五導體，沿著該第二方向延伸，位於該第一金屬層上，耦合到該第一電晶體，並被配置為一第一讀取字元線；

其中該第一導體、該第二導體、該第三導體、該第四導體以及該第五導體在該第一方向分隔開。

9. 一種記憶體元件的形成方法，包含：

在一基板的一前側內製造一第一組電晶體和一第二組電晶體，該第一組電晶體堆疊在該第二組電晶體上方；

在該基板的該前側上製造一第一組導通孔，該第一組導通孔電連接到至少該第一組電晶體；

在該基板的該前側的一第一金屬層上沉積一第一導電材料，從而形成一第一組導體，該第一組導體透過該第一組導通孔電連接到至少該第一組電晶體，該第一組導體包含一第一讀取字元線與一第一讀取位元線，該第一組電晶體被配置於從該前側接收該第一讀取字元線上的一第一讀取字元線訊號與該第一讀取位元線上的一第一讀取位元線訊號；

對該基板的與該前側相反的一背側執行減薄；

在減薄的該基板的該背側中製造一第二組導體，該第二組導體位於至少該第一組電晶體或該第二組電晶體的複數個閘極或複數個主動區域下方，並電耦合至至少該第二組電晶體，且嵌入在減薄的該基板中；

在減薄的該基板的該背側上製造一第二組導通孔，該第二組導通孔電耦合至至少該第二組電晶體；以及

在一第二金屬層上的減薄的該基板的該背側上沉積一第二導電材料，從而形成一第三組導體，該第三組導體透過該第二組導通孔電耦合到至少該第二組電晶體，該第二組導體包含一第二讀取字元線，該第二組電晶體被配置於接收該第二讀取字元線上的一第二讀取字元線訊號。

10. 如請求項 9 所述的方法，其中該第二組導體進一步包含一第二讀取位元線，而該第二組電晶體體進一步被配置為從該背側接收該第二讀取位元線上的一第二讀取位元線訊號。

圖式簡單說明

當藉由附圖閱讀時，自以下詳細描述，最佳地理解本揭露內容的態樣。注意，根據該行業中的標準實務，各種特徵未按比例繪製。事實上，為了論述的清晰起見，可任意地增大或減小各種特徵的尺寸。

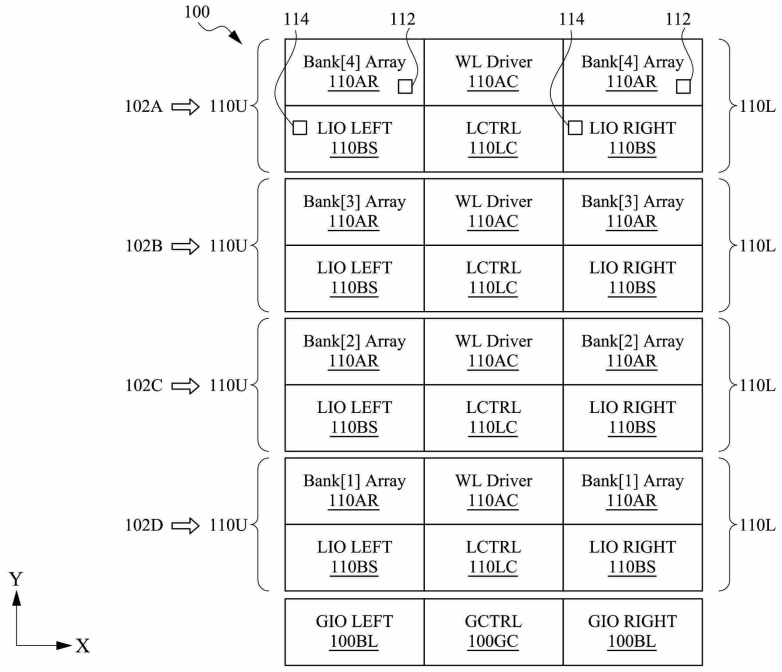
第 1 圖是根據一些實施例的記憶體電路的方塊圖。

第 2A 圖至第 2B 圖是根據一些實施例的可在第 1 圖中使用的對應記憶單元的對應電路圖。

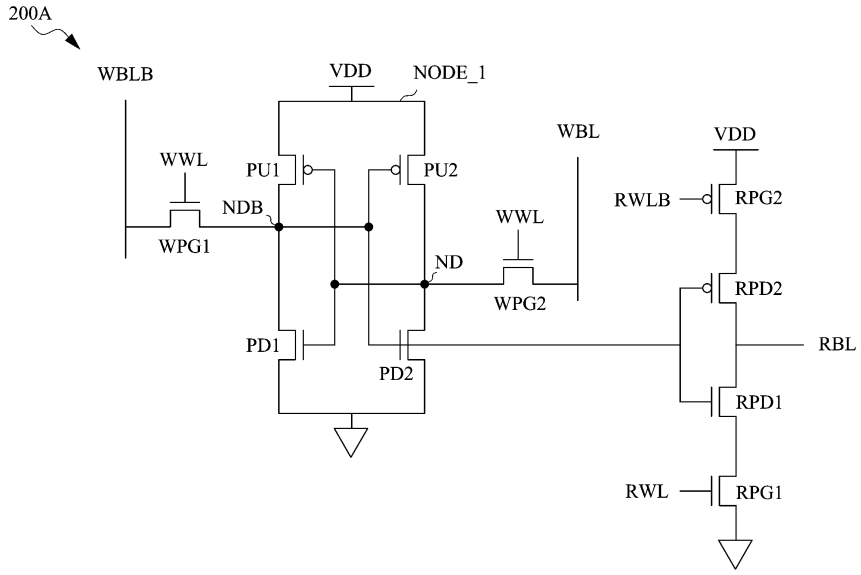
第 3A 圖至第 3F 圖是根據一些實施例的對應積體電路的佈局設計的對應部分的對應圖。

第 4A 圖至第 4L 圖是根據一些實施例的積體電路的圖。

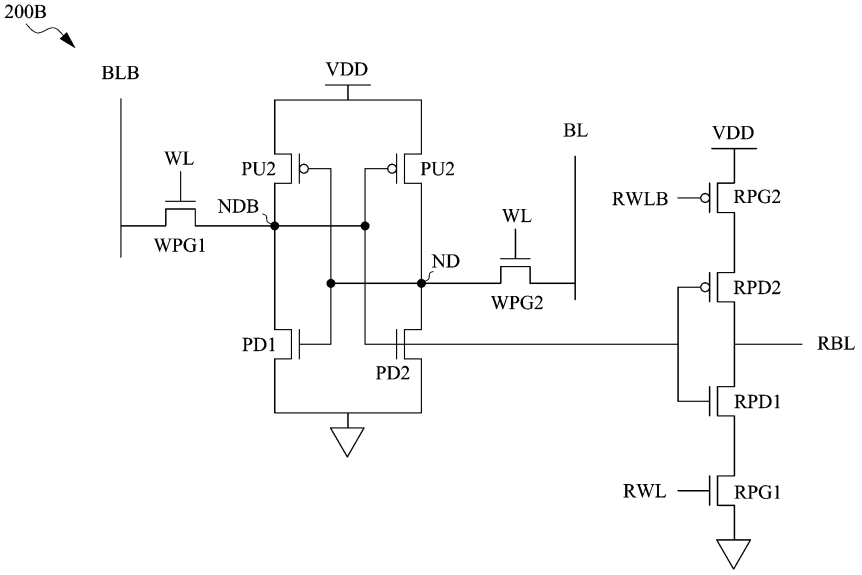
第 5A 圖至第 5E 圖是根據一些實施例的積體電路的圖。
第 6A 圖是根據一些實施例的積體電路的布圖規劃的一部分的圖。
第 6B 圖是根據一些實施例的積體電路的布圖規劃的一部分的圖。
第 7 圖是根據一些實施例的第 2A 圖中的記憶體電路的波形的時序圖。
第 8 圖是根據一些實施例的製造積體電路的方法的功能流程圖。
第 9 圖是根據一些實施例的製造積體電路的方法的流程圖。
第 10 圖是根據一些實施例的產生積體電路的佈局設計的方法的流程圖。
第 11 圖是根據一些實施例的用於設計 IC 佈局設計和製造 IC 電路的系統的示意圖。
第 12 圖是根據本揭露的至少一個實施例的 IC 製造系統以及與其相關聯的 IC 製造流程的方塊圖。
第 13A 圖至第 13B 圖是根據一些實施例的操作電路的方法的流程圖。



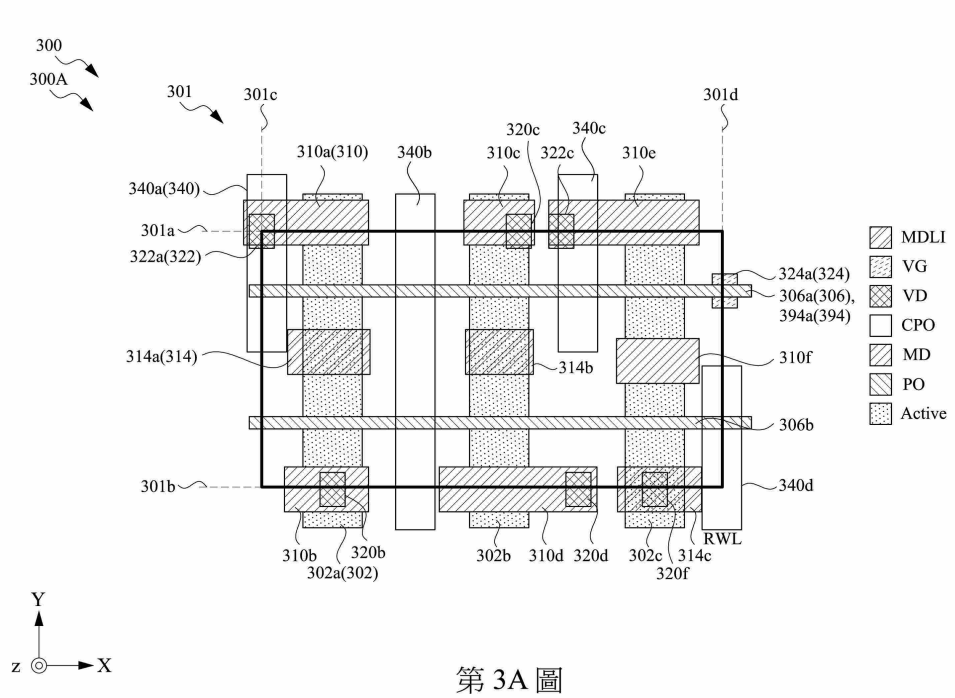
第 1 圖


200A
WBLB
VDD
NODE_1
WBL
VDD
WWL
PU1
PU2
RWLB
RPG2
NDB
WWL
WPG1
ND
RPD2
WPG2
PD1
RBL
PD2
RPD1
RWL
RPG1

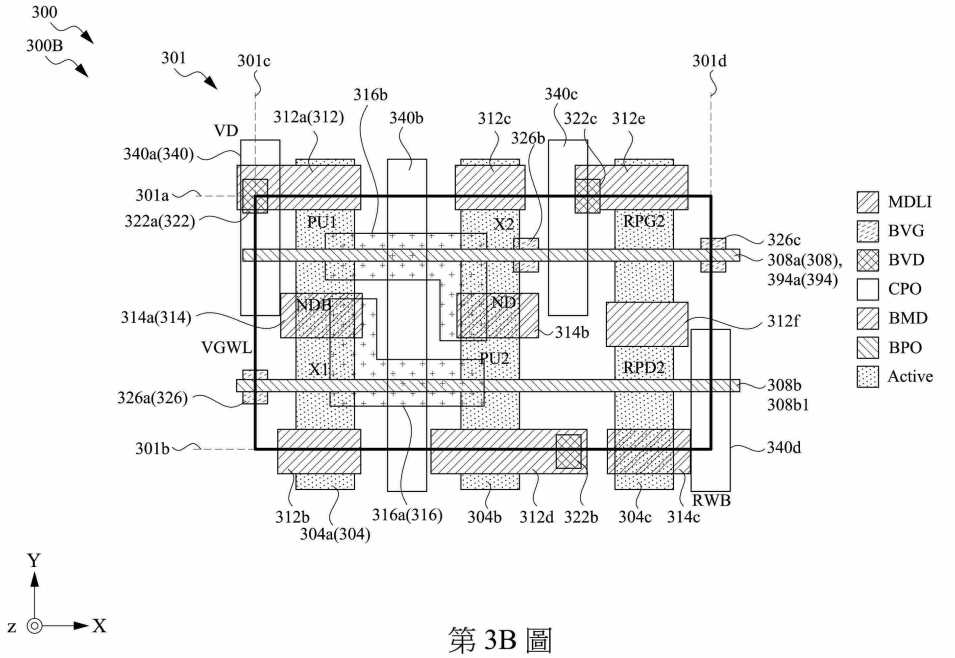
第 2A 圖


200B
BLB
VDD
BL
VDD
WL
PU2
PU2
RWLB
RPG2
NDB
WL
WPG1
ND
RPD2
WPG2
PD1
RBL
PD2
RPD1
RWL
RPG1

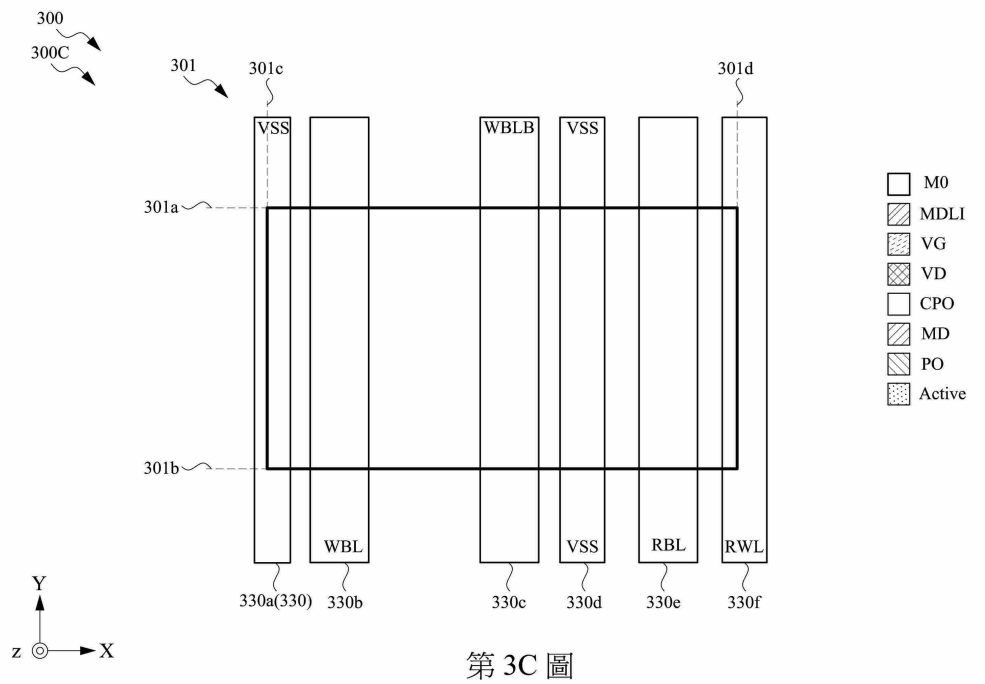
第 2B 圖


300
300A
301
301c
301d
310a(310)
340b
320c
340c
310c
322c
310e
340a(340)
301a
322a(322)
324a(324)
306a(306),
394a(394)
314a(314)
314b
310f
306b
301b
340d
310b
320b
302a(302)
302b
310d
320d
302c
314c
320f
RWL
MDLI
VG
VD
CPO
MD
PO
Active
Y
z
X

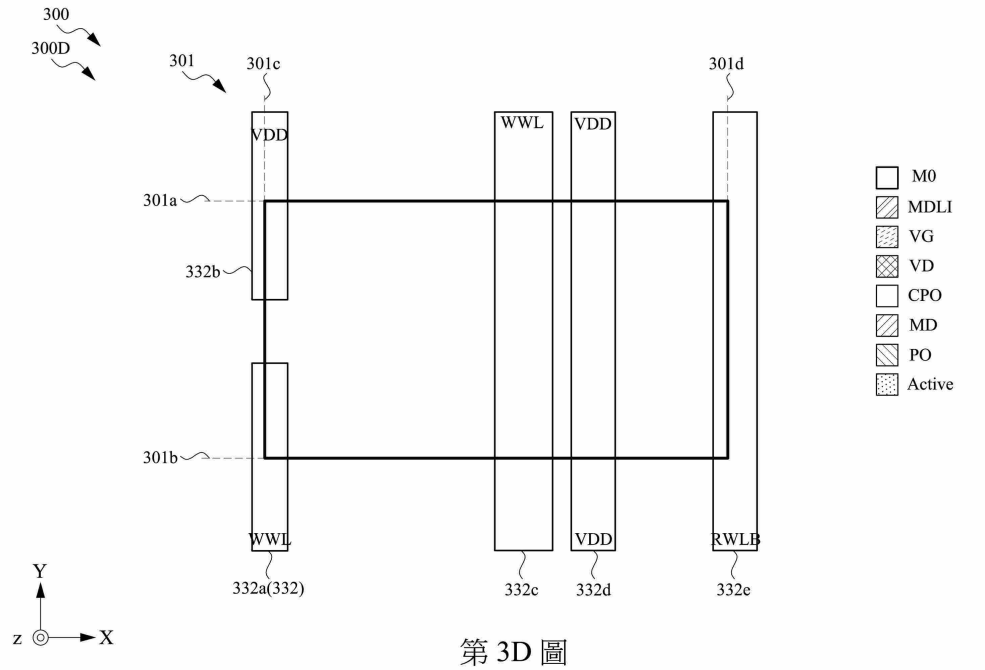
第 3A 圖


300
300B
301
301c
301d
316b
340c
312a(312)
340b
312c
322c
312e
VD
326b
340a(340)
301a
322a(322)
PU1
X2
RPG2
326c
308a(308),
394a(394)
NDH
ND
314a(314)
314b
312f
VGWL
X1
PU2
RPD2
308b
308b1
326a(326)
301b
340d
312b
304a(304)
316a(316)
304b
312d
322b
304c
314c
RWB
MDLI
BVG
BVD
CPO
BMD
BPO
Active
Y
z
X

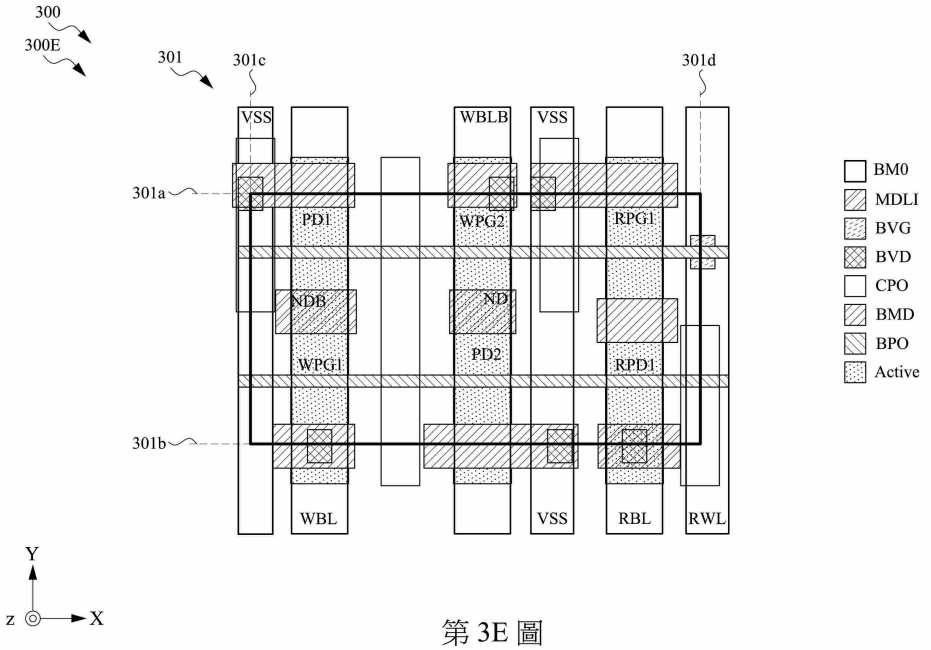
第 3B 圖


300
300C
301
301c
301d
VSS
WBLB
VSS
301a
301b
WBL
VSS
RBL
RWL
330a(330)
330b
330c
330d
330e
330f
M0
MDLI
VG
VD
CPO
MD
PO
Active
Y
z
X

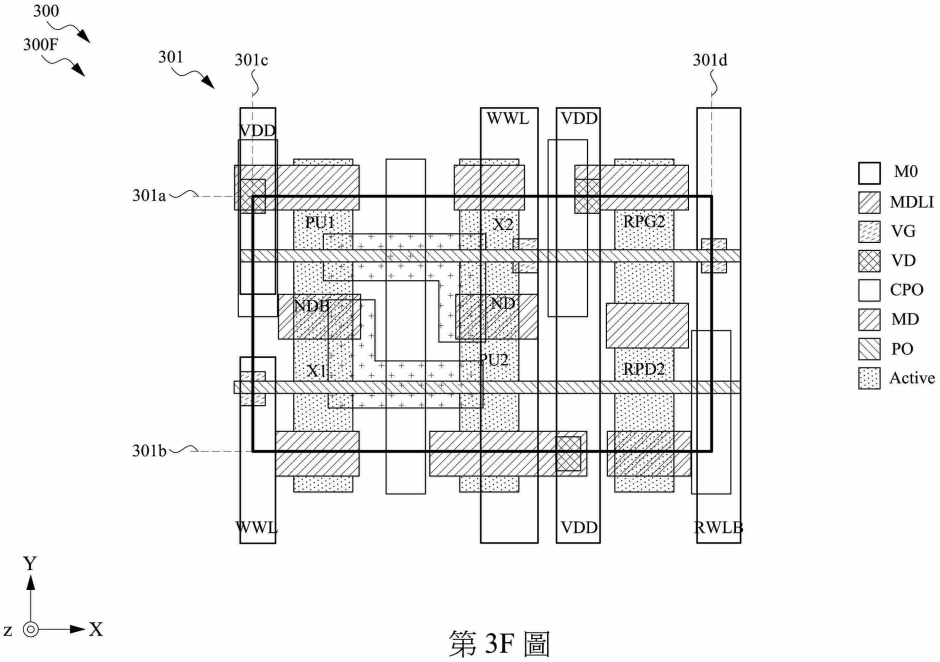
第 3C 圖


300
300D
301
301c
301d
VDD
WWL
VDD
301a
332b
301b
WWL
VDD
RWLB
332a(332)
332c
332d
332e
M0
MDLI
VG
VD
CPO
MD
PO
Active
Y
z
X

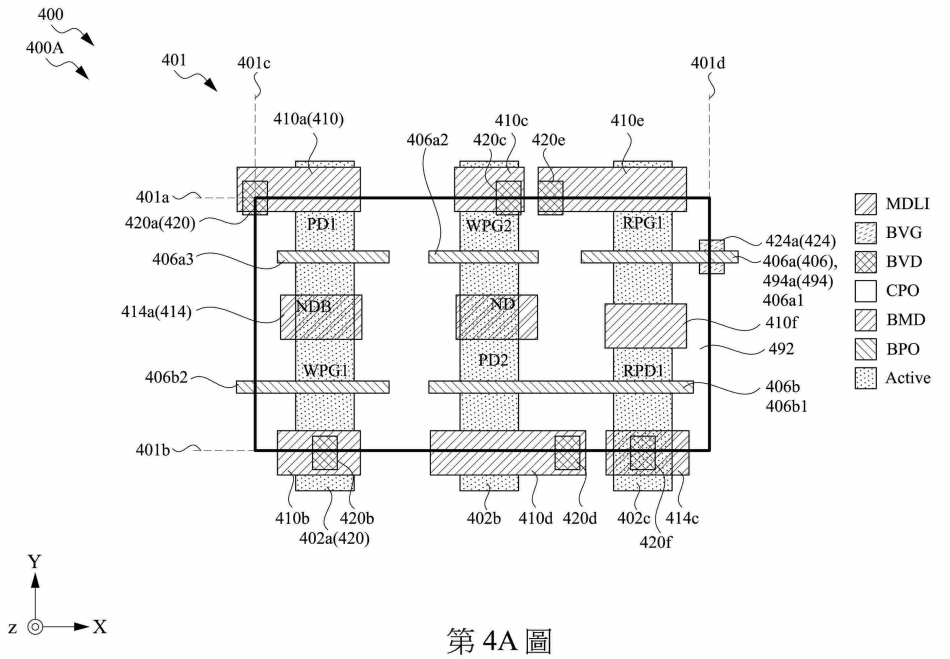
第 3D 圖


300
300E
301
301c
301d
VSS
WBLB
VSS
301a
PD1
WPG2
RPG1
NDB
ND
WPG1
PD2
RPD1
301b
WBL
VSS
RBL
RWL
BM0
MDLI
BVG
BVD
CPO
BMD
BPO
Active
Y
z
X

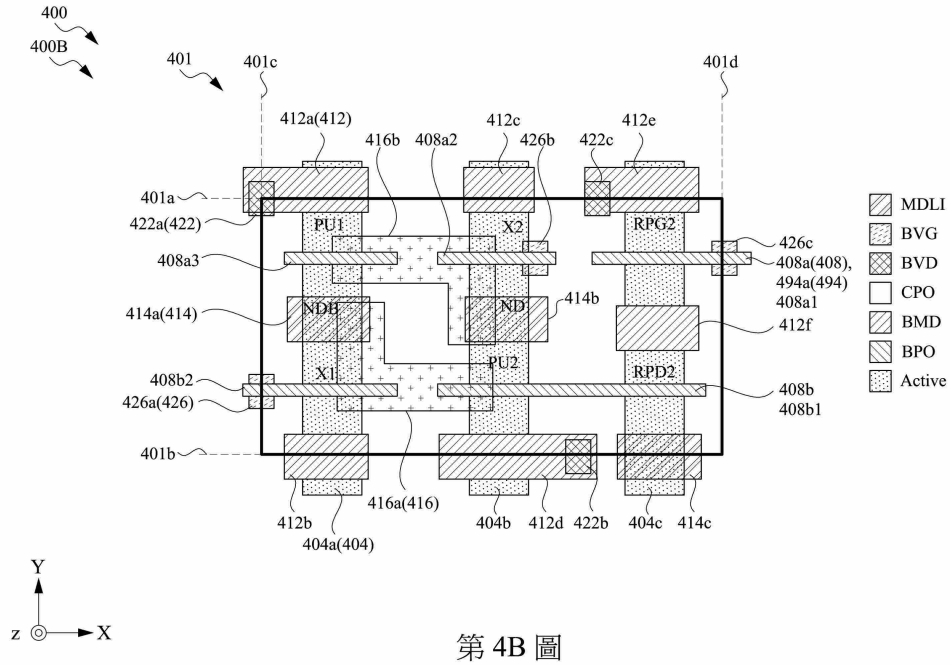
第 3E 圖


300
300F
301
301c
301d
VDD
WWL
VDD
301a
PU1
X2
RPG2
NDB
ND
X1
PU2
RPD2
301b
WWL
VDD
RWLB
M0
MDLI
VG
VD
CPO
MD
PO
Active
Y
z
X

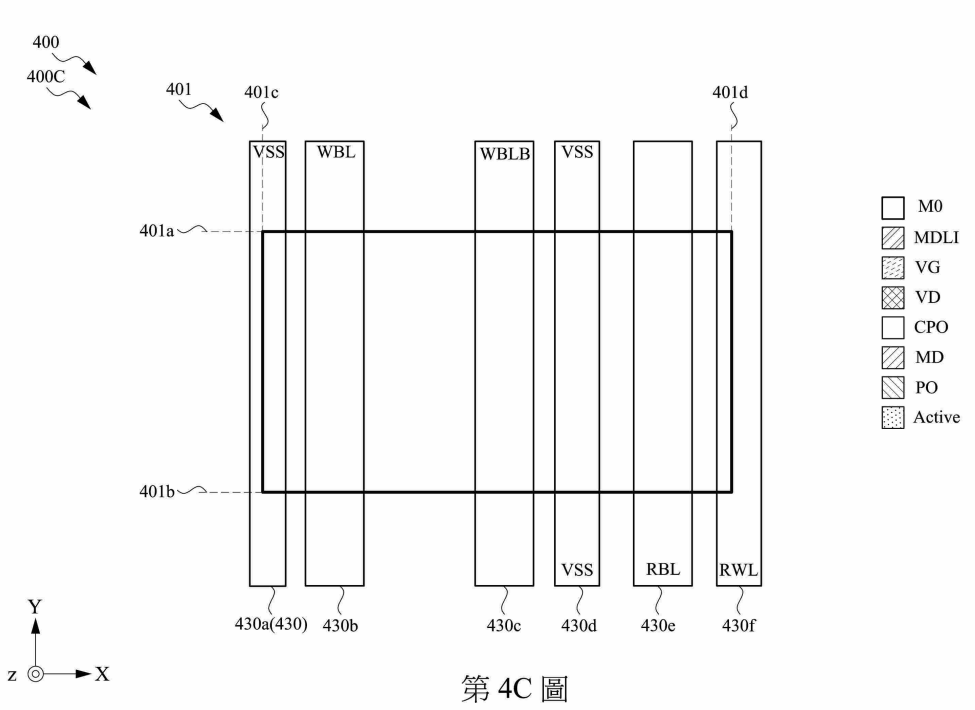
第 3F 圖


400
400A
401
401c
401d
410a(410)
410c
410e
406a2
420c
420e
401a
420a(420)
PD1
WPG2
RPG1
424a(424)
406a(406),
494a(494)
406a1
406a3
NDB
ND
410f
414a(414)
492
WPG1
PD2
RPD1
406b2
406b
406b1
401b
410b
420b
402a(420)
402b
410d
420d
402c
414c
420f
MDLI
BVG
BVD
CPO
BMD
BPO
Active
Y
z
X

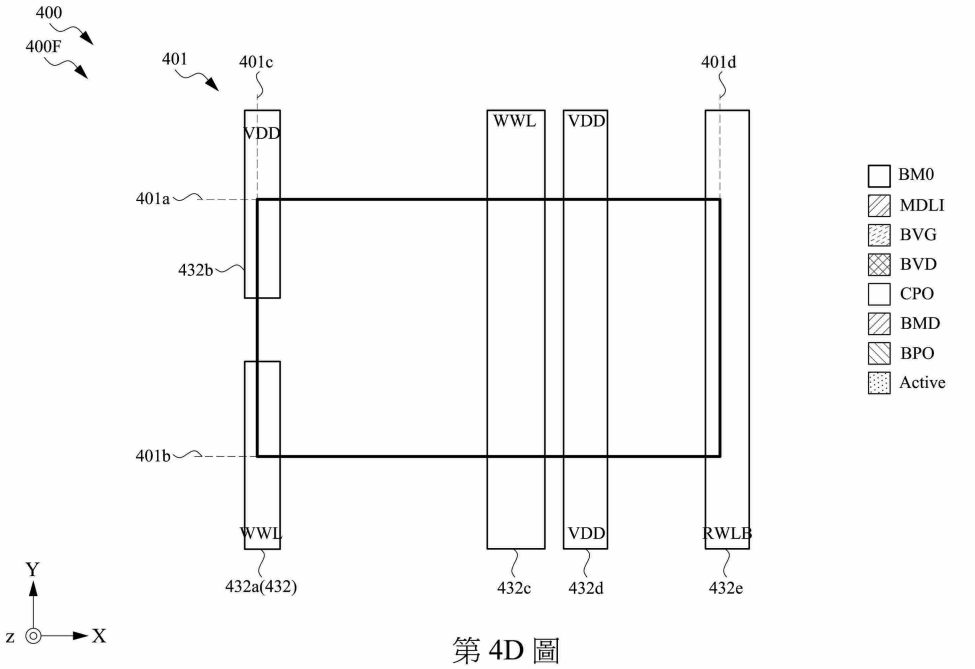
第 4A 圖


400
400B
401
401c
401d
412a(412)
416b
408a2
412c
426b
422c
412e
401a
422a(422)
PU1
X2
RPG2
426c
408a3
408a(408),
494a(494)
408a1
414a(414)
NDB
ND
414b
412f
PU2
X1
RPD2
408b2
426a(426)
408b
408b1
401b
412b
404a(404)
416a(416)
404b
412d
422b
404c
414c
MDLI
BVG
BVD
CPO
BMD
BPO
Active
Y
z
X

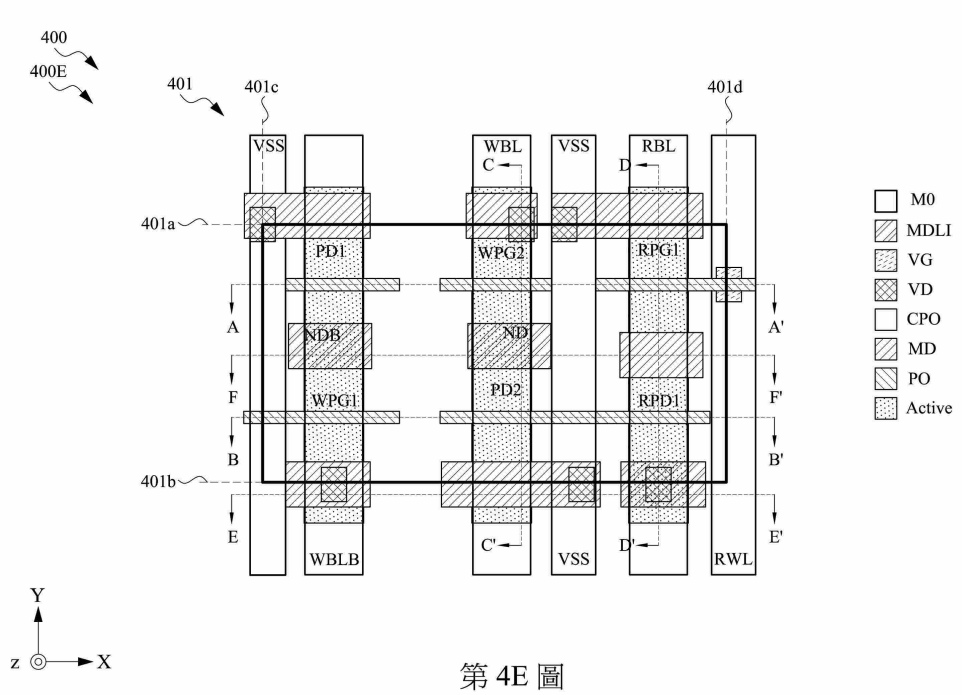
第 4B 圖


400
400C
401
401c
401d
VSS
WBL
WBLB
VSS
401a
401b
VSS
RBL
RWL
430a(430)
430b
430c
430d
430e
430f
M0
MDLI
VG
VD
CPO
MD
PO
Active
Y
z
X

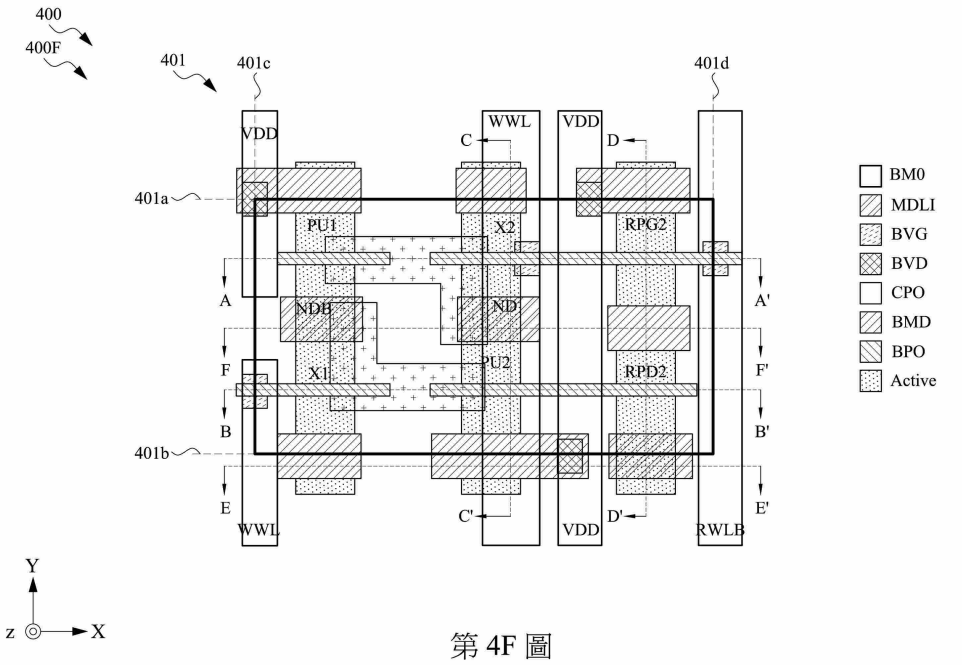
第 4C 圖


400
400F
401
401c
401d
VDD
WWL
VDD
401a
432b
401b
WWL
VDD
RWLB
432a(432)
432c
432d
432e
BM0
MDLI
BVG
BVD
CPO
BMD
BPO
Active
Y
z
X

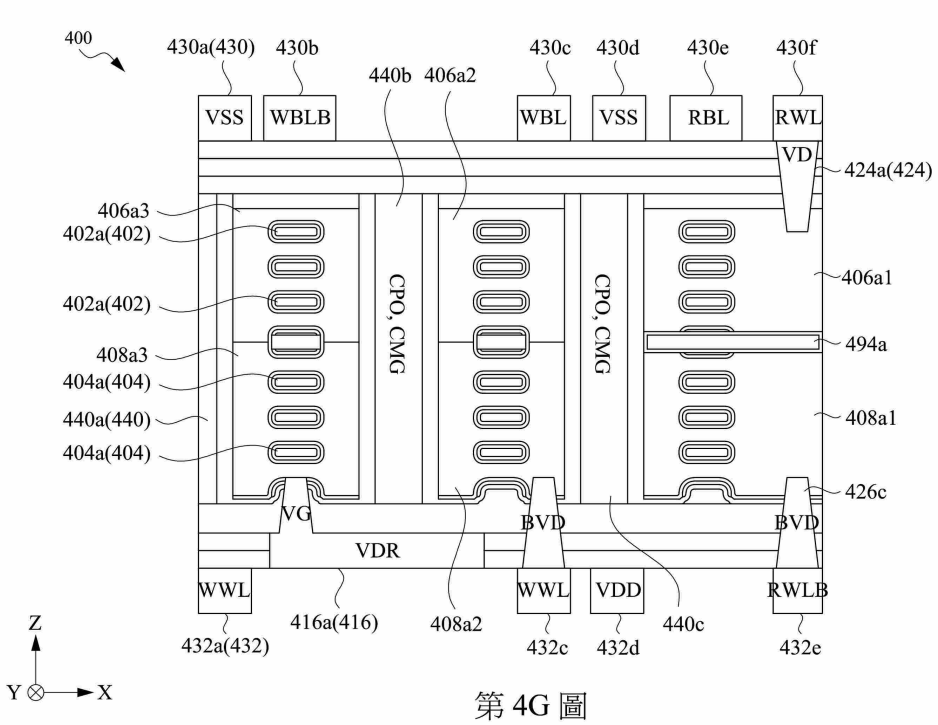
第 4D 圖


400
400E
401
401c
401d
VSS
WBL
C
VSS
RBL
D
401a
PD1
WPG2
RPG1
A
A'
NDB
ND
F
F'
WPG1
PD2
RPD1
B
B'
401b
E
E'
C'
D'
WBLB
VSS
RWL
M0
MDLI
VG
VD
CPO
MD
PO
Active
Y
z
X

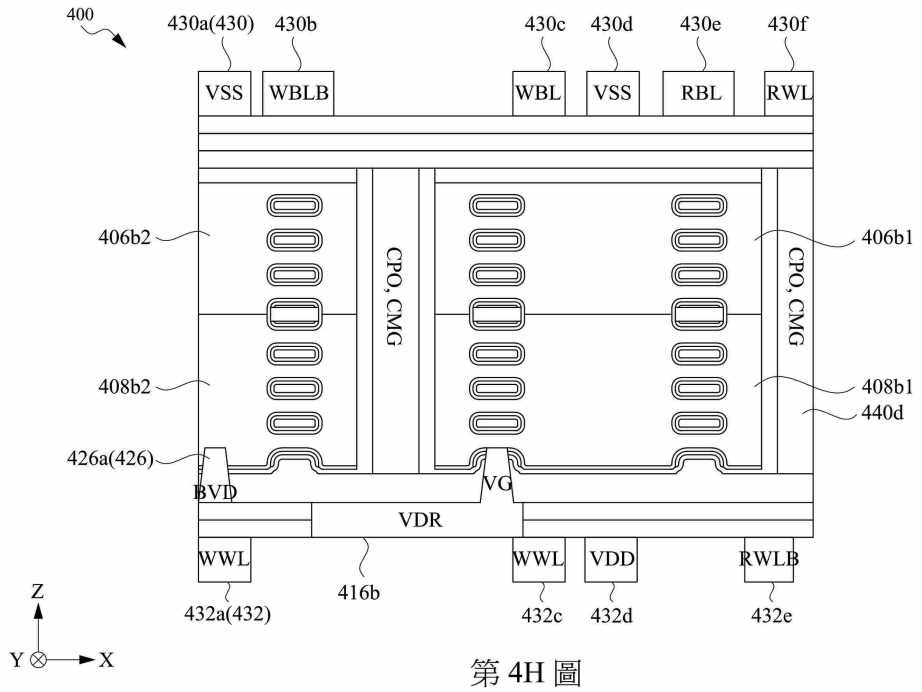
第 4E 圖


400
400F
401
401c
401d
VDD
WWL
C
VDD
D
401a
PU1
X2
RPG2
A
A'
NDB
ND
F
F'
X1
PU2
RPD2
B
B'
401b
E
E'
C'
D'
WWL
VDD
RWLB
BM0
MDLI
BVG
BVD
CPO
BMD
BPO
Active
Y
z
X

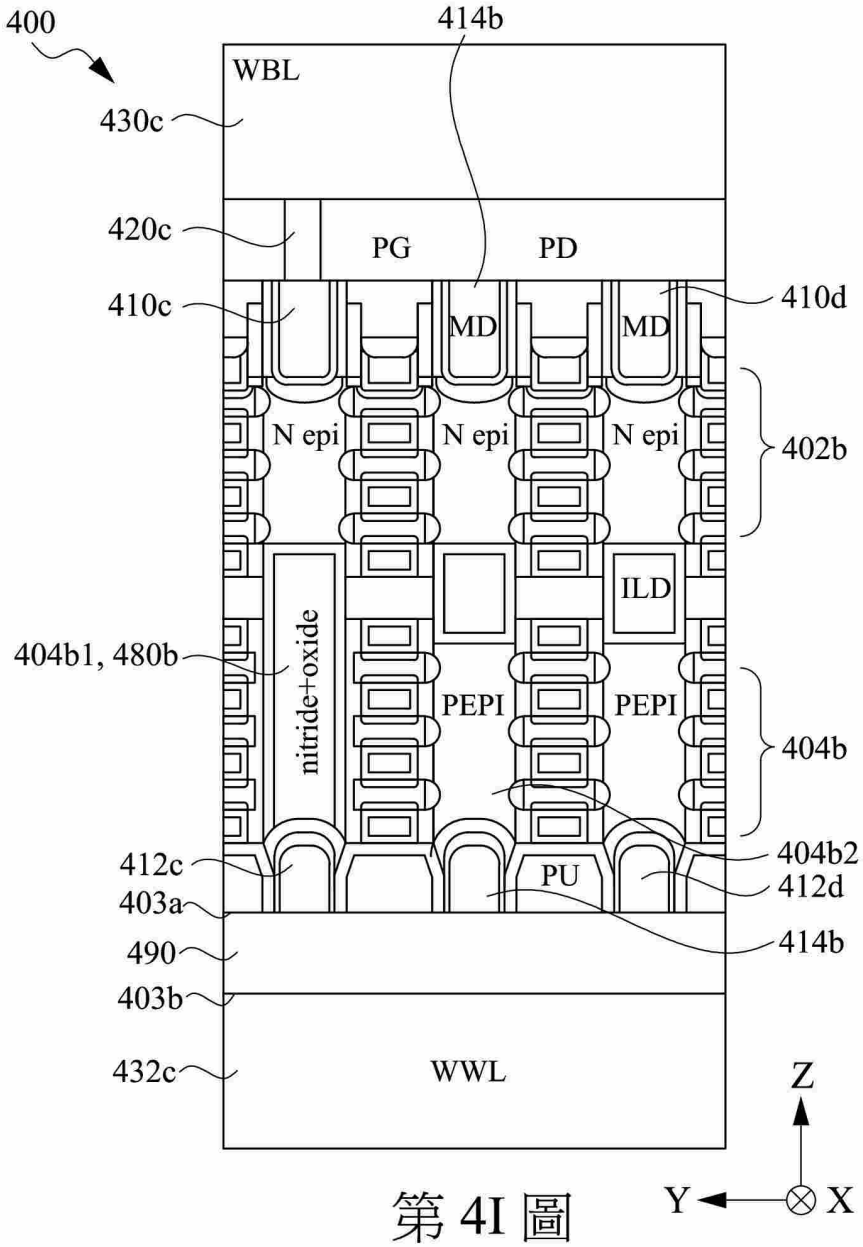
第 4F 圖


400
430a(430)
430b
440b
406a2
430c
430d
430e
430f
VSS
WBLB
WBL
VSS
RBL
RWL
VD
424a(424)
406a3
402a(402)
402a(402)
408a3
404a(404)
440a(440)
404a(404)
CPO, CMG
CPO, CMG
406a1
494a
408a1
426c
VG
BVD
BVD
VDR
WWL
WWL
VDD
RWLB
416a(416)
408a2
440c
432a(432)
432c
432d
432e
Z
Y
X

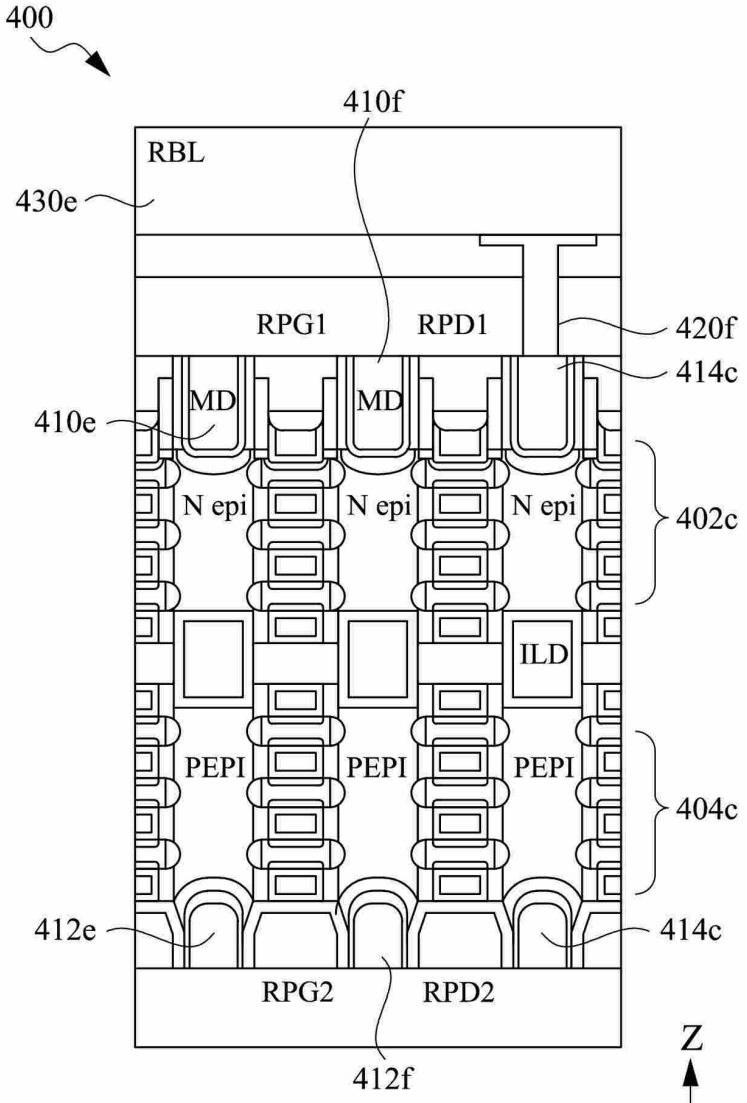
第 4G 圖


400
430a(430)
430b
430c
430d
430e
430f
VSS
WBLB
WBL
VSS
RBL
RWL
406b2
406b1
CPO, CMG
CPO, CMG
408b2
408b1
440d
426a(426)
BVD
VG
VDR
WWL
WWL
VDD
RWLB
416b
432a(432)
432c
432d
432e
Z
Y
X

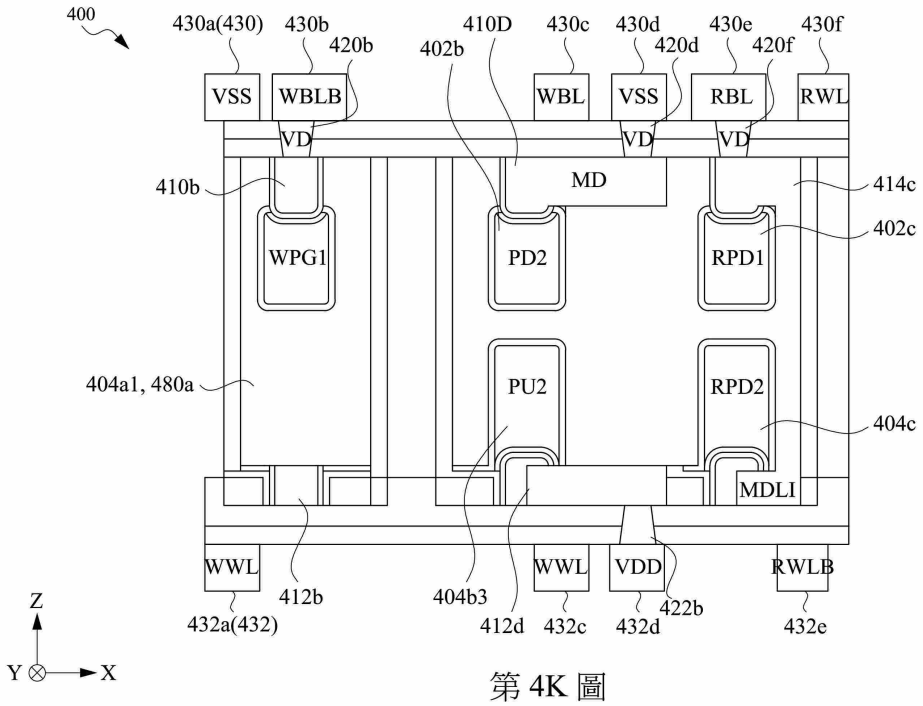
第 4H 圖


400
414b
WBL
430c
420c
PG
PD
410c
410d
MD
MD
N epi
N epi
N epi
402b
ILD
404b1, 480b
nitride+oxide
PEPI
PEPI
404b
404b2
412c
PU
412d
403a
414b
490
403b
432c
WWL
Z
Y
X

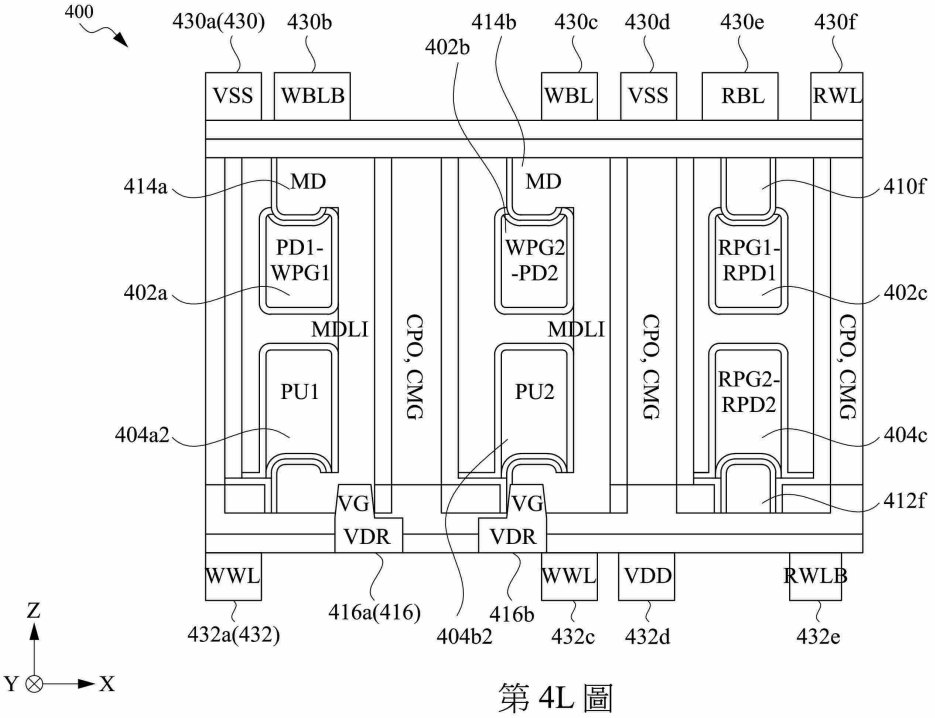
第 4I 圖


400
410f
RBL
430e
RPG1
RPD1
420f
414c
MD
MD
410e
N epi
N epi
N epi
402c
ILD
PEPI
PEPI
PEPI
404c
412e
414c
RPG2
RPD2
412f
Z
Y
X

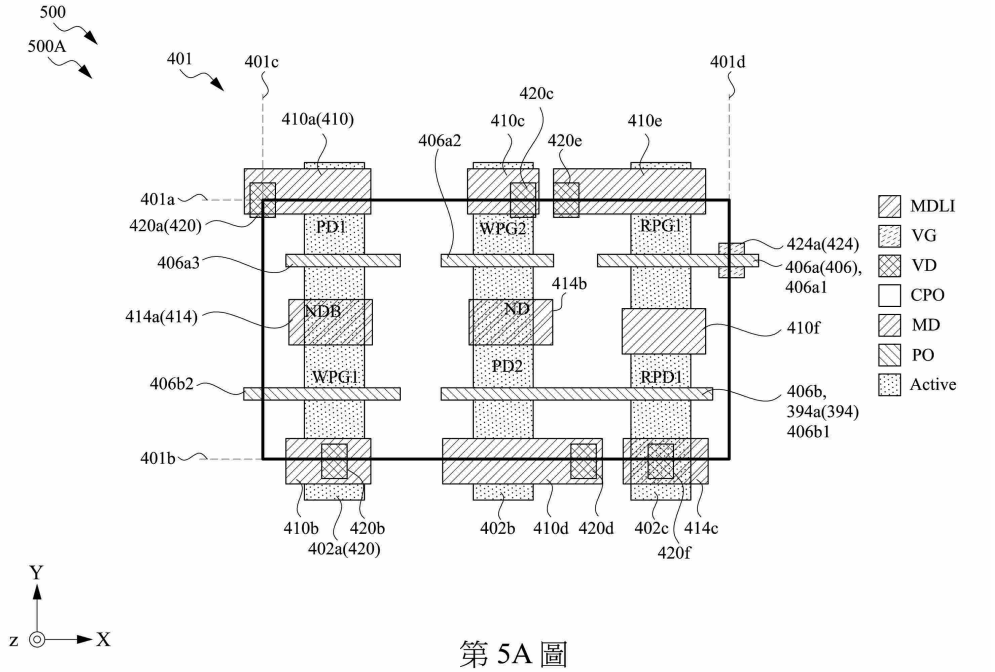
第 4J 圖


400
430a(430)
430b
420b
410D
402b
430c
430d
420d
430e
420f
430f
VSS
WBLB
WBL
VSS
RBL
RWL
VD
VD
VD
410b
MD
414c
402c
WPG1
PD2
RPD1
404a1, 480a
PU2
RPD2
404c
MDLI
WWL
WWL
VDD
RWLB
412b
404b3
422b
412d
432c
432d
432e
432a(432)
Z
Y
X

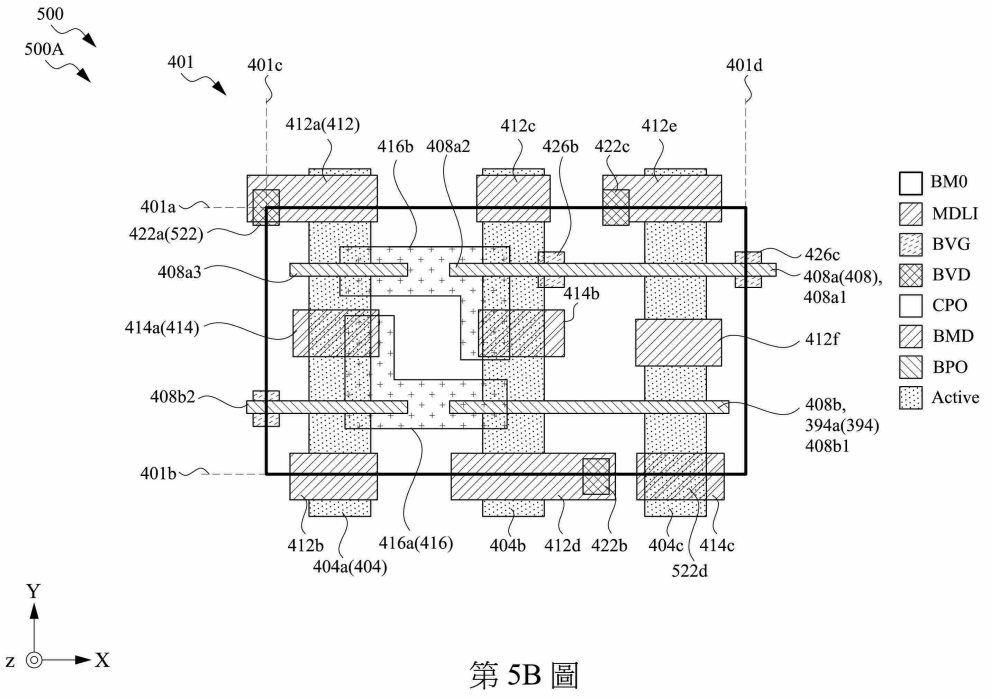
第 4K 圖


400
430a(430)
430b
414b
402b
430c
430d
430e
430f
VSS
WBLB
WBL
VSS
RBL
RWL
414a
MD
MD
410f
PD1-
WPG1
WPG2
-PD2
RPG1-
RPD1
402a
402c
MDLI
MDLI
CPO, CMG
CPO, CMG
CPO, CMG
PU1
PU2
RPG2-
RPD2
404a2
404c
VG
VG
412f
VDR
VDR
WWL
WWL
VDD
RWLB
416a(416)
416b
404b2
432a(432)
432c
432d
432e
Z
Y
X

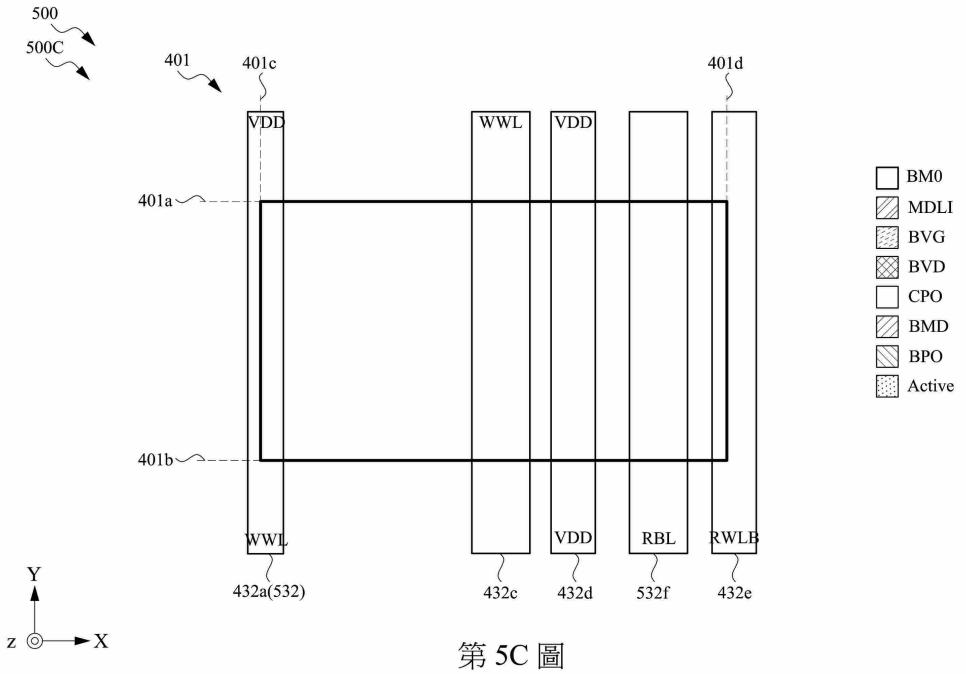
第 4L 圖


500
500A
401
401c
401d
410a(410)
420c
410c
406a2
420e
410e
401a
420a(420)
PD1
WPG2
RPG1
406a3
424a(424)
406a(406),
406a1
414b
414a(414)
NDB
ND
410f
WPG1
PD2
RPD1
406b2
406b,
394a(394)
406b1
401b
410b
420b
402a(420)
402b
410d
420d
402c
414c
420f
MDLI
VG
VD
CPO
MD
PO
Active
Y
z
X

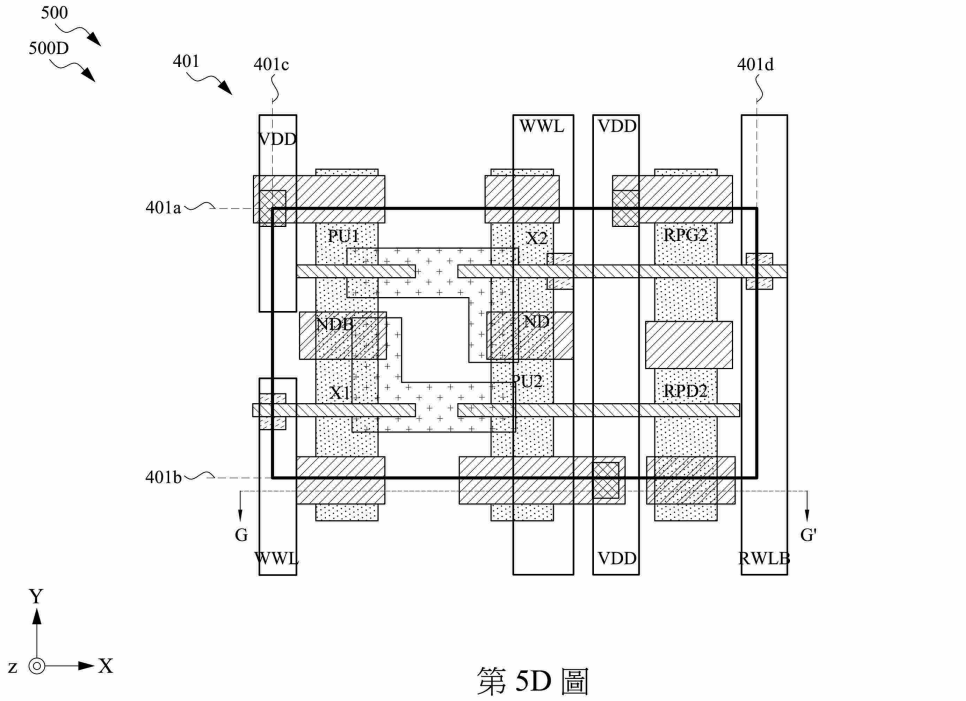
第 5A 圖


500
500A
401
401c
401d
412a(412)
416b
408a2
412c
426b
422c
412e
401a
422a(522)
426c
408a(408),
408a1
408a3
414b
414a(414)
412f
408b2
408b,
394a(394)
408b1
401b
412b
404a(404)
416a(416)
404b
412d
422b
404c
522d
414c
BM0
MDLI
BVG
BVD
CPO
BMD
BPO
Active
Y
z
X

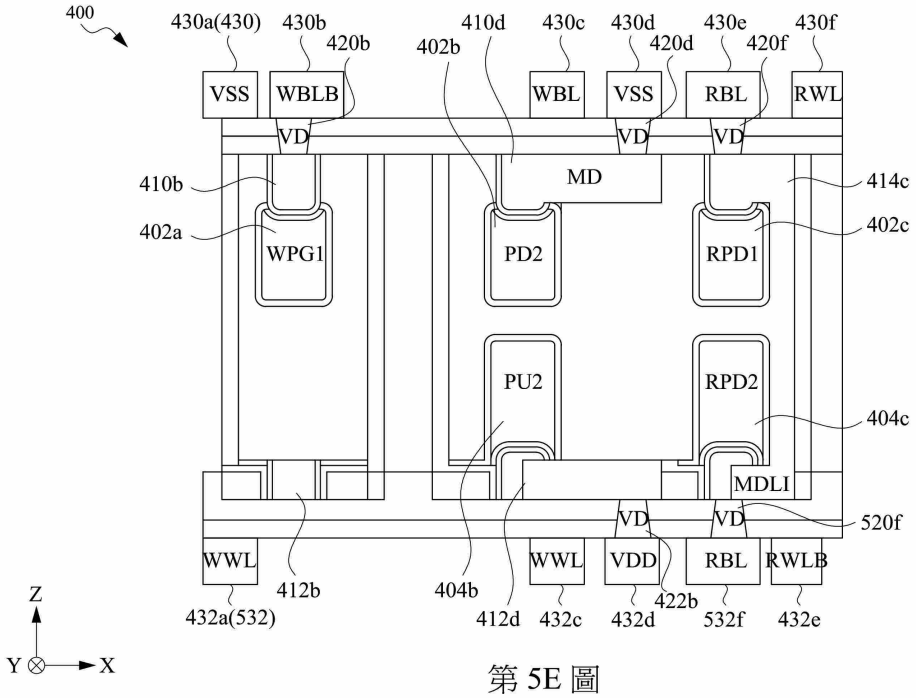
第 5B 圖


500
500C
401
401c
401d
VDD
WWL
VDD
401a
401b
BM0
MDLI
BVG
BVD
CPO
BMD
BPO
Active
WWL
VDD
RBL
RWLB
432a(532)
432c
432d
532f
432e
Y
z
X

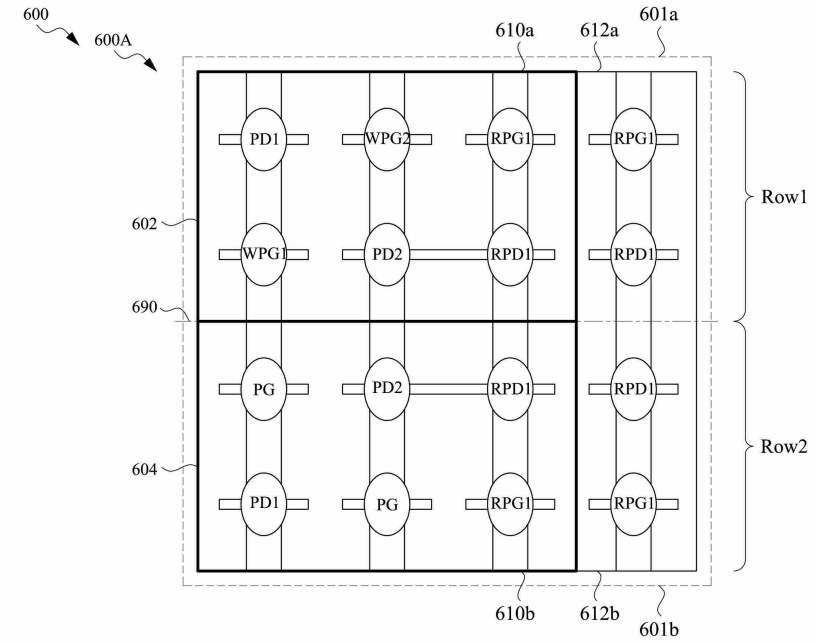
第 5C 圖


500
500D
401
401c
401d
VDD
WWL
VDD
401a
PU1
X2
RPG2
NDB
ND
X1
PU2
RPD2
401b
G
G'
WWL
VDD
RWLB
Y
z
X

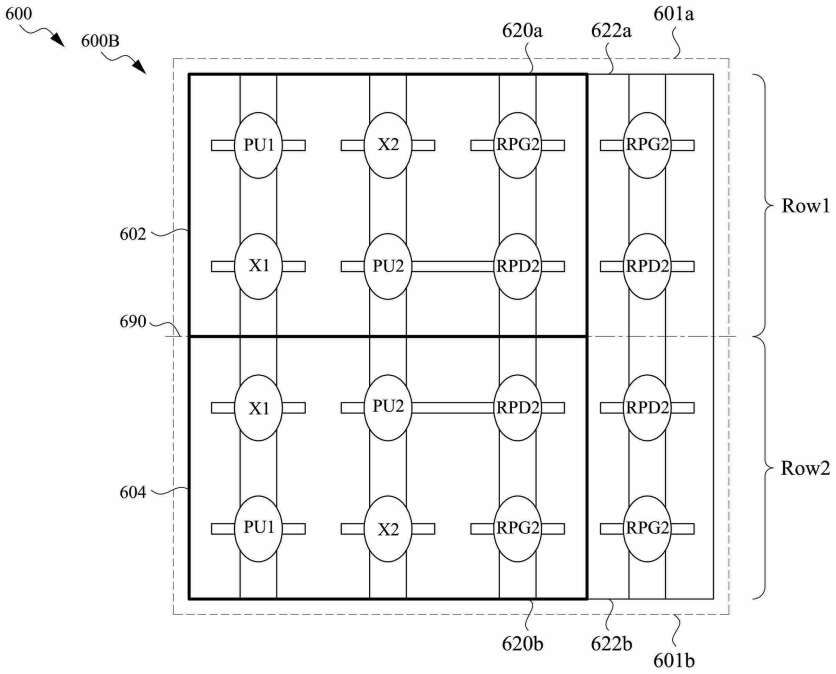
第 5D 圖


400
430a(430)
430b
420b
402b
410d
430c
430d
420d
430e
420f
430f
VSS
WBLB
WBL
VSS
RBL
RWL
VD
VD
VD
410b
MD
414c
402a
402c
WPG1
PD2
RPD1
PU2
RPD2
404c
MDLI
VD
VD
520f
WWL
412b
404b
WWL
VDD
RBL
RWLB
422b
432a(532)
412d
432c
432d
532f
432e
Z
Y
X

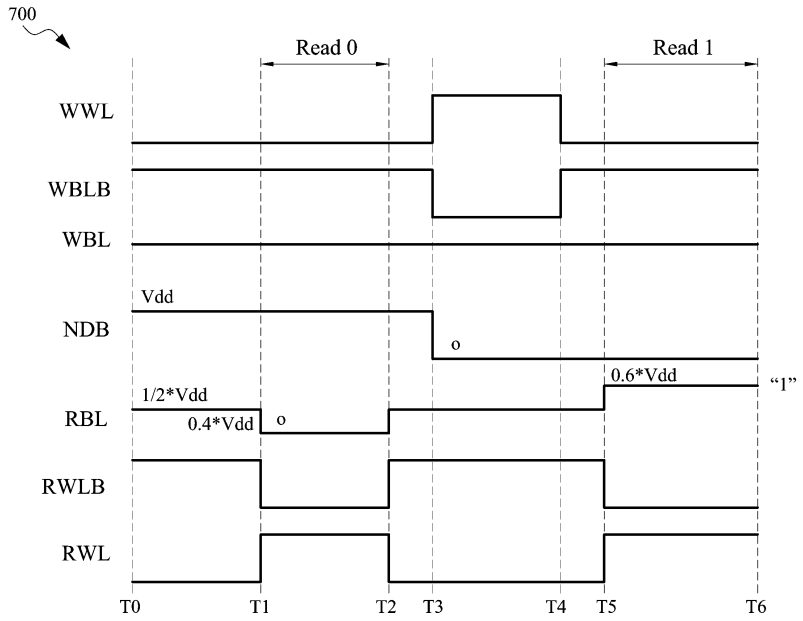
第 5E 圖


600
600A
610a
612a
601a
PD1
WPG2
RPG1
RPG1
Row1
602
WPG1
PD2
RPD1
RPD1
690
PG
PD2
RPD1
RPD1
Row2
604
PD1
PG
RPG1
RPG1
610b
612b
601b

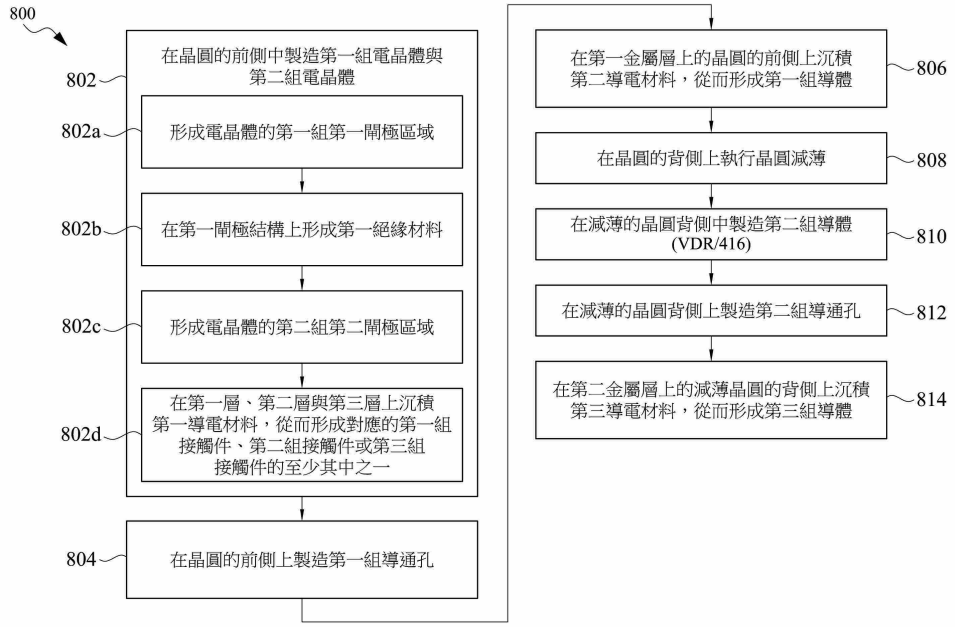
第 6A 圖


600
600B
620a
622a
601a
PU1
X2
RPG2
RPG2
Row1
602
X1
PU2
RPD2
RPD2
690
X1
PU2
RPD2
RPD2
Row2
604
PU1
X2
RPG2
RPG2
620b
622b
601b

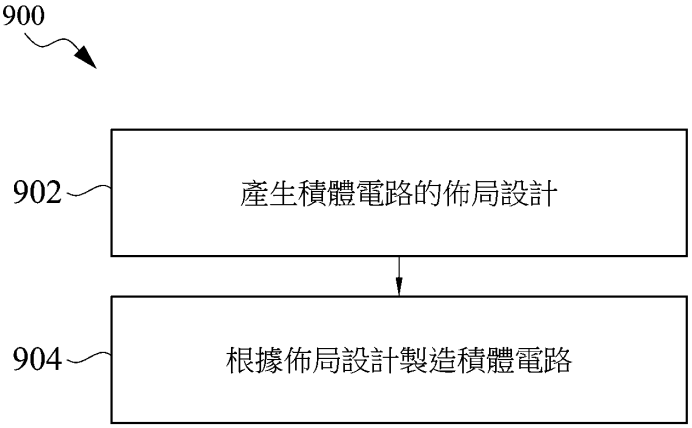
第 6B 圖


700
Read 0
Read 1
WWL
WBLB
WBL
Vdd
NDB
o
0.6*Vdd
"1"
1/2*Vdd
RBL
0.4*Vdd
o
RWLB
RWL
T0
T1
T2
T3
T4
T5
T6

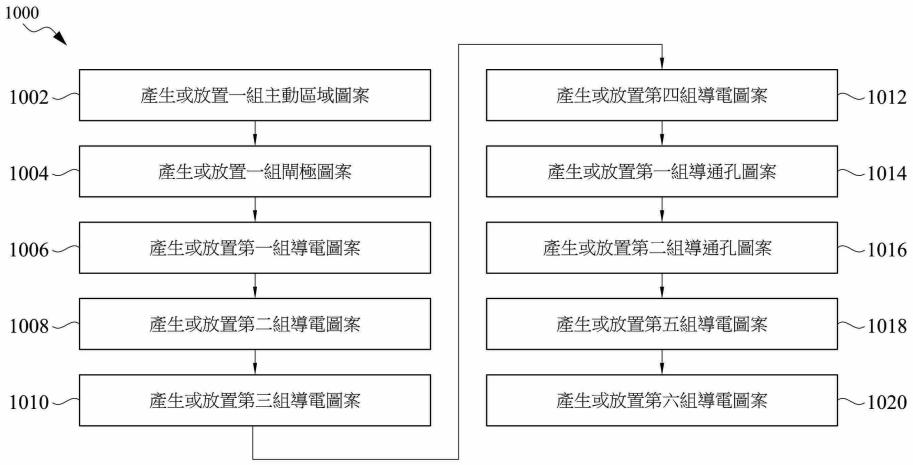
第 7 圖


800
802
在晶圓的前側中製造第一組電晶體與第二組電晶體
802a
形成電晶體的第一組第一閘極區域
802b
在第一閘極結構上形成第一絕緣材料
802c
形成電晶體的第二組第二閘極區域
802d
在第一層、第二層與第三層上沉積第一導電材料，從而形成對應的第一組接觸件、第二組接觸件或第三組接觸件的至少其中之一
804
在晶圓的前側上製造第一組導通孔
806
在第一金屬層上的晶圓的前側上沉積第二導電材料，從而形成第一組導體
808
在晶圓的背側上執行晶圓減薄
810
在減薄的晶圓背側中製造第二組導體(VDR/416)
812
在減薄的晶圓背側上製造第二組導通孔
814
在第二金屬層上的減薄晶圓的背側上沉積第三導電材料，從而形成第三組導體

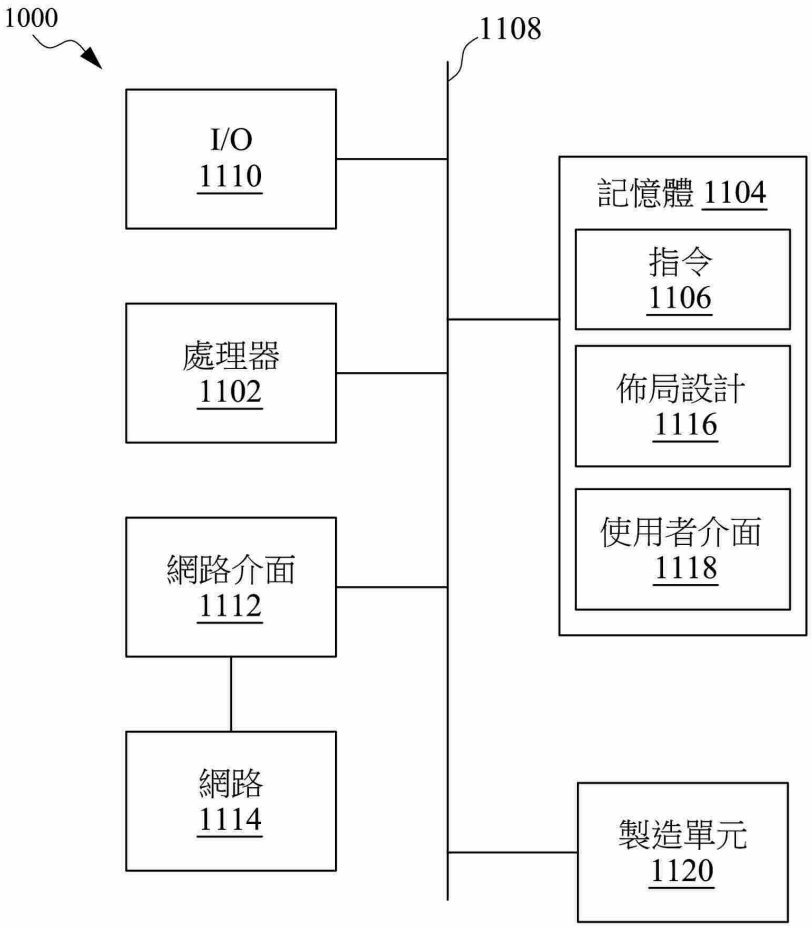
第 8 圖


900
902
產生積體電路的佈局設計
904
根據佈局設計製造積體電路

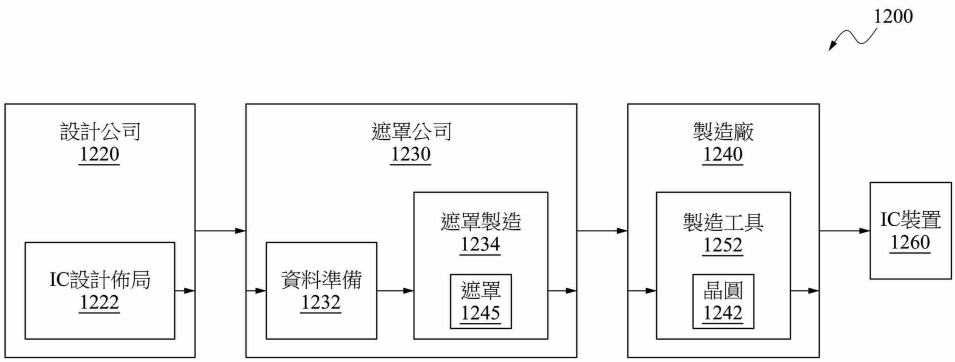
第 9 圖


1000
1002
產生或放置一組主動區域圖案
1004
產生或放置一組閘極圖案
1006
產生或放置第一組導電圖案
1008
產生或放置第二組導電圖案
1010
產生或放置第三組導電圖案
1012
產生或放置第四組導電圖案
1014
產生或放置第一組導通孔圖案
1016
產生或放置第二組導通孔圖案
1018
產生或放置第五組導電圖案
1020
產生或放置第六組導電圖案

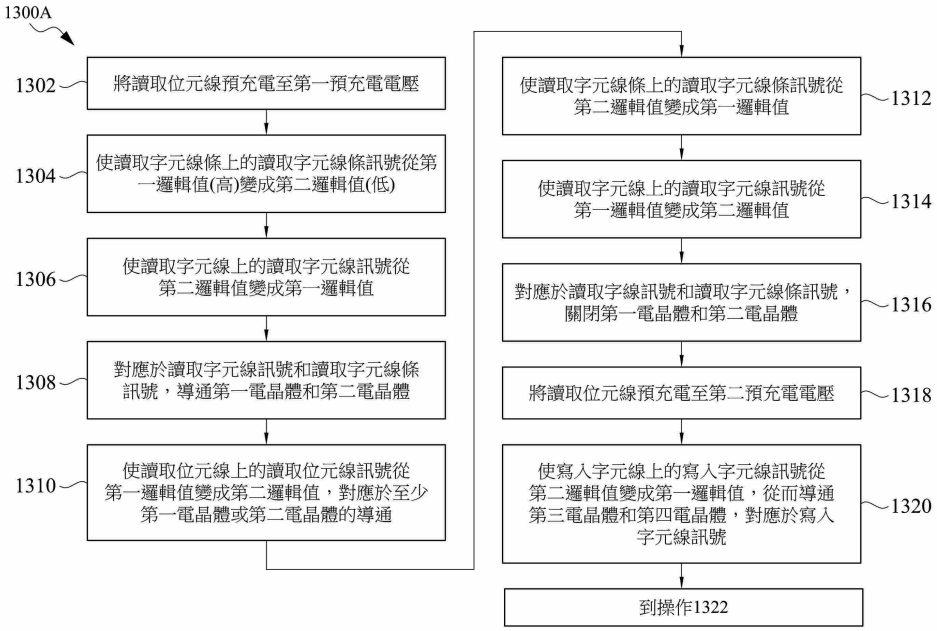
第 10 圖


1000
1108
I/O
1110
處理器
1102
網路介面
1112
網路
1114
記憶體 1104
指令
1106
佈局設計
1116
使用者介面
1118
製造單元
1120

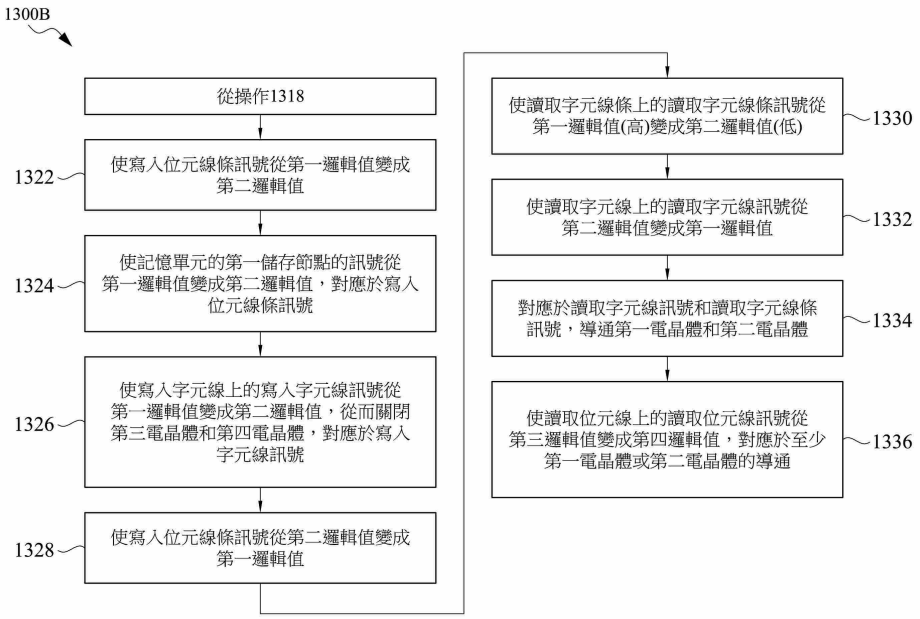
第 11 圖


1200
設計公司
1220
IC設計佈局
1222
遮罩公司
1230
資料準備
1232
遮罩製造
1234
遮罩
1245
製造廠
1240
製造工具
1252
晶圓
1242
IC裝置
1260

第 12 圖


1300A
1302
將讀取位元線預充電至第一預充電電壓
1304
使讀取字元線條上的讀取字元線條訊號從第一邏輯值(高)變成第二邏輯值(低)
1306
使讀取字元線上的讀取字元線訊號從第二邏輯值變成第一邏輯值
1308
對應於讀取字元線訊號和讀取字元線條訊號，導通第一電晶體和第二電晶體
1310
使讀取位元線上的讀取位元線訊號從第一邏輯值變成第二邏輯值，對應於至少第一電晶體或第二電晶體的導通
1312
使讀取字元線條上的讀取字元線條訊號從第二邏輯值變成第一邏輯值
1314
使讀取字元線上的讀取字元線訊號從第一邏輯值變成第二邏輯值
1316
對應於讀取字線訊號和讀取字元線條訊號，關閉第一電晶體和第二電晶體
1318
將讀取位元線預充電至第二預充電電壓
1320
使寫入字元線上的寫入字元線訊號從第二邏輯值變成第一邏輯值，從而導通第三電晶體和第四電晶體，對應於寫入字元線訊號
到操作1322

第 13A 圖


1300B
從操作1318
使寫入位元線條訊號從第一邏輯值變成第二邏輯值
1322
使記憶單元的第一儲存節點的訊號從第一邏輯值變成第二邏輯值，對應於寫入位元線條訊號
1324
使寫入字元線上的寫入字元線訊號從第一邏輯值變成第二邏輯值，從而關閉第三電晶體和第四電晶體，對應於寫入字元線訊號
1326
使寫入位元線條訊號從第二邏輯值變成第一邏輯值
1328
使讀取字元線條上的讀取字元線條訊號從第一邏輯值(高)變成第二邏輯值(低)
1330
使讀取字元線上的讀取字元線訊號從第二邏輯值變成第一邏輯值
1332
對應於讀取字元線訊號和讀取字元線條訊號，導通第一電晶體和第二電晶體
1334
使讀取位元線上的讀取位元線訊號從第三邏輯值變成第四邏輯值，對應於至少第一電晶體或第二電晶體的導通
1336

第 13B 圖