【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I941184
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10D84/40 (2025.01)*　*H10D62/10 (2025.01)*
H10D62/80 (2025.01)　*H10B12/00 (2023.01)*
H10P54/00 (2026.01)　*H10P50/00 (2026.01)*
H10P95/90 (2026.01)　*H10W10/00 (2026.01)*
發明　全 49 頁

【54】名　稱：具有散熱複合淺溝隔離區的半導體電路結構及其製作方法
【21】申請案號：114115834　【22】申請日： 中華民國 114 (2025) 年 04 月 25 日
【11】公開編號：202543434　【43】公開日期： 中華民國 114 (2025) 年 11 月 01 日
【30】優 先 權：　2024/04/26　美國　63/638,981
2024/06/20　美國　63/661,914
【72】發 明 人： 盧超群 (TW) LU, CHAO-CHUN；黃立平 (TW) HUANG, LI-PING
【71】申 請 人： 日日新半導體架構股份有限公司 INVENTION AND COLLABORATION LABORATORY, INC.
臺北市內湖區基湖路 35 巷 22 號 10 樓
【74】代 理 人： 祁明輝；林素華；涂綺玲
【56】參考文獻：
TW　486787B　TW　I808964B
TW　201740510A
審查人員：陳志遠

【57】申請專利範圍

1. 一種半導體電路結構的製作方法，包括:
提供一半導體基材；
形成一淺溝槽從該半導體基材的一原始表面延伸至該半導體基材內部，且位於二個相鄰主動區之間；
在該淺溝槽的一側壁和一底部形成一介電層；
使用一導熱材料填充該淺溝槽，其中該導熱材料藉由該介電層與該半導體基材隔離；以及
形成一字元線，橫跨該二個相鄰主動區與該淺溝槽，其中位於淺溝槽內的該導熱材料不與該字元線重疊。
2. 如請求項 1 所述之半導體電路結構的製作方法，其中使用該導熱材料填充該淺槽渠的步驟，包括:
使用一非晶半導體材料填充該淺溝槽；以及
對該非晶半導體材料進行一雷射退火或一熱退火製程，以形成該導熱材料，其中該導熱材料係一導熱半導體材料。
3. 如請求項 2 所述之半導體電路結構的製作方法，其中該導熱半導體材料包括平均晶粒實質介於 0.1 微米(um)至 2 微米之間的矽。
4. 如請求項 2 所述之半導體電路結構的製作方法，其中在對該非晶半導體材料進行該雷射退火或該熱退火製程之前，更包括: 利用一紫外光固化該非晶半導體材料。

5. 如請求項 2 所述之半導體電路結構的製作方法，其中一第一覆蓋層覆蓋於該二個相鄰主動區上方，在使用該非晶導熱半導體材料填充該淺溝渠之後，該非晶半導體材料會覆蓋該第一覆蓋層。
6. 如請求項 5 所述之半導體電路結構的製作方法，在使用該非晶導熱半導體材料填充該淺溝渠之後，該非晶半導體材料的一頂面會高出該第一覆蓋層的一頂面實質介於 800 奈米至 2000 奈米之間。
7. 如請求項 5 所述之半導體電路結構的製作方法，在對該非晶半導體材料進行該雷射退火或該熱退火製程之後，更包括對該導熱半導體材料進行一平坦化製程。
8. 如請求項 7 所述之半導體電路結構的製作方法，其中在進行該平坦化製程之後該導熱半導體材料的一頂面與該第一覆蓋的該頂面實質齊平。
9. 如請求項 7 所述之半導體電路結構的製作方法，在進行該平坦化製程之後，更包括將該導熱半導體材料向下蝕刻，使蝕刻之後的該導熱半導體材料的一頂面實質上低於該半導體基材的該原始表面。
10. 如請求項 9 所述之半導體電路結構的製作方法，其中在將該導熱半導體材料向下蝕刻之後，該導熱半導體材料的該蝕刻頂面實質上低於該半導體基材的該原始表面實質介於 5 奈米至 30 奈米之間。
11. 如請求項 9 所述之半導體電路結構的製作方法，在將該導熱半導體材料向下蝕刻之後，更包括沉積一第二覆蓋層，以覆蓋該導熱半導體材料的該頂面。
12. 如請求項 2 所述之半導體電路結構的製作方法，其中該導熱半導體材料包括矽；且在該導熱半導體材料中，沿著該導熱半導體材料的一深度方向的矽晶粒數量最多為 3 個。

圖式簡單說明

為了對本說明書之上述及其他方面有更佳的瞭解，下文特舉實施例，並配合所附圖式詳細說明如下：

第 1A(1)圖係根據本說明書的一實施例繪示在半導體基材中形成淺溝隔離結構藉以定義出至少一個主動區之後的製程結構俯視圖；

第 1A(2)圖、第 1A(3)圖、第 1A(4)圖、第 1A(5)圖分別是沿著第 1A(1)圖中的切線 CA1、CA2、CA3、CA4 所繪示的結構剖面圖。第 1A(6)圖係根據第 1A(1)圖繪示動態隨機存取記憶體電路結構之周邊電路區的製程結構剖面圖；

第 1B(1)圖係繪示在定義出凹陷閘極圖案之後的製程結構俯視圖；

第 1B(2)圖、第 1B(3)圖、第 1B(4)圖、第 1B(5)圖分別是沿著第 1B(1)圖中的切線 CB1、CB2、CB3、CB4 所繪示的結構剖面圖；第 1B(6)圖係根據第 1B(1)圖繪示動態隨機存取記憶體電路結構之周邊電路區的製程結構剖面圖；

第 1C(1)圖係繪示在將凹陷閘極圖案轉移至剩餘的氮化矽層之後的製程結構俯視圖；

第 1C(2)圖、第 1C(3)圖、第 1C(4)圖、第 1C(5)圖分別是沿著第 1C(1)圖中的切線 CC1、CC2、CC3、CC4 所繪示的結構剖面圖；第 1C(6)圖係根據第 1C(1)圖繪示動態隨機存取記憶體電路結構之周邊電路區的製程結構剖面圖；

第 1D(1)圖係繪示在形成至少一個鏤空溝槽之後的製程結構俯視圖；

第 1D(2)圖、第 1D(3)圖、第 1D(4)圖、第 1D(5)圖分別是沿著第 1D(1)圖中的切線 CD1、CD2、CD3、CD4 所繪示的結構剖面圖。第 1D(6)圖係根據第 1D(1)圖繪示動態隨機存取記憶體電路結構之周邊電路區的製程結構剖面圖；

第 1E(1)圖係繪示在至少一個鏤空溝槽之中形成至少一個導熱區之後的製程結構俯視圖；

第 1E(2)圖、第 1E(3)圖、第 1E(4)圖、第 1E(5)圖分別是沿著第 1E(1)圖中的切線 CE1、CE2、CE3、CE4 所繪示的結構剖面圖；第 1E(6)圖係根據第 1E(1)圖繪示動態隨機存取記憶體電路結構之周邊電路區的製程結構剖面圖；

第 1F(1)圖係繪示在形成矽氧化物硬罩幕層和另一個非晶碳(amorphous carbon，a-C)層之後的製程結構俯視圖；

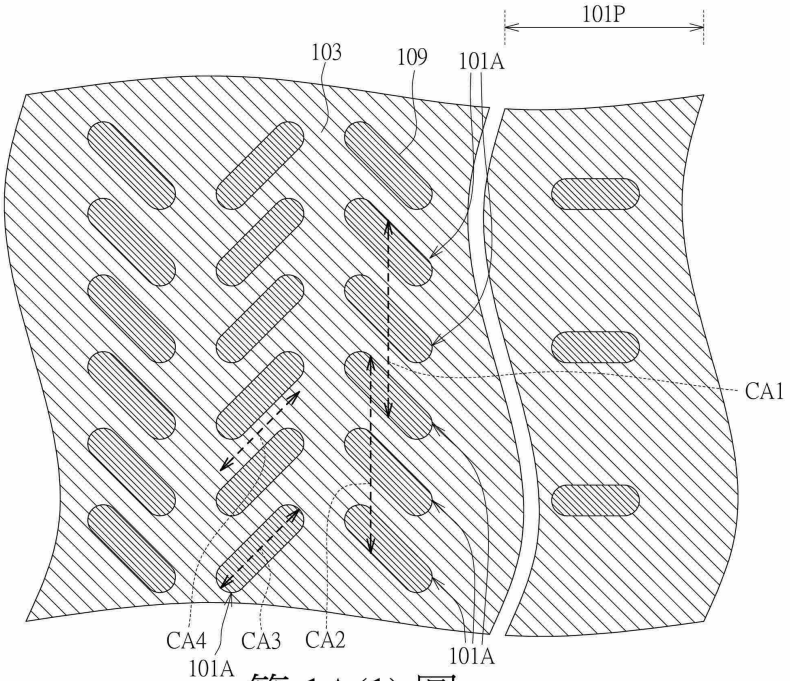
第 1F(2)圖、第 1F(3)圖、第 1F(4)圖、第 1F(5)圖分別是沿著第 1F(1)圖中的切線 CF1、CF2、CF3、CF4 所繪示的結構剖面圖；第 1F(6)圖係根據第 1F(1)圖繪示動態隨機存取記憶體電路結構之周邊電路區的製程結構剖面圖；

第 1G(1)圖係繪示在形成複數個閘極凹室和複數個字元線溝槽之後的製程結構俯視圖；

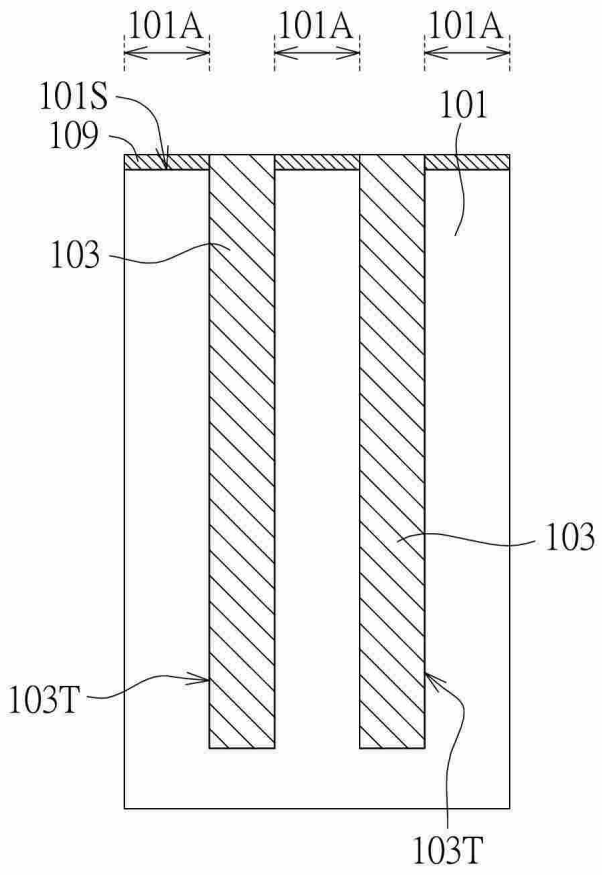
第 1G(2)圖、第 1G(3)圖、第 1G(4)圖、第 1G(5)圖分別是沿著第 1G(1)圖中的切線 CG1、CG2、CG3、CG4 所繪示的結構剖面圖；第 1G(6)圖係根據第 1G(1)圖繪示動態隨機存取記憶體電路結構之周邊電路區的製程結構剖面圖；

第 1H(1)圖係繪示在完成半導體電路結構之製備後的製程結構俯視圖；

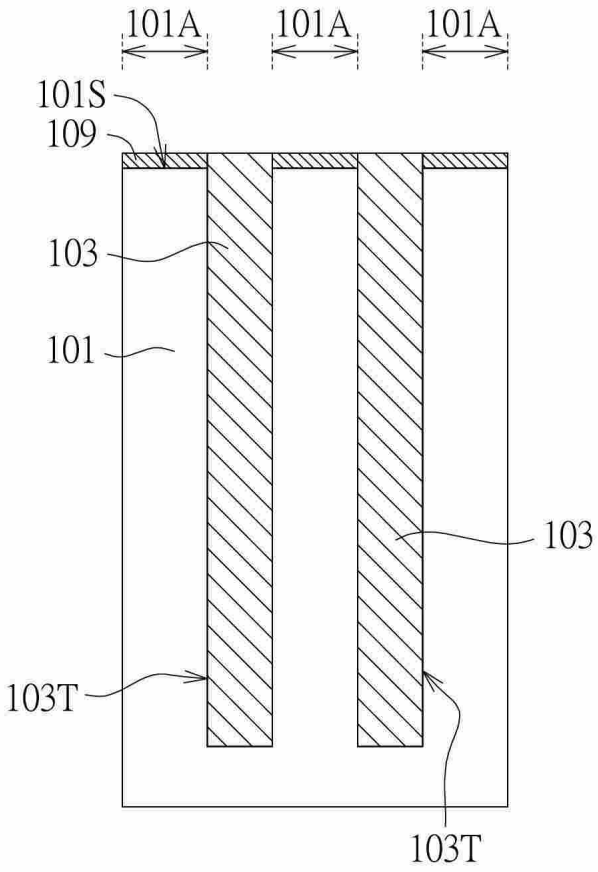
第 1H(2)圖、第 1H(3)圖、第 1H(4)圖、第 1H(5)圖分別是沿著第 1H(1)圖中的切線 CH1、CH2、CH3、CH4 所繪示的結構剖面圖；第 1H(6)圖係根據第 1H(1)圖繪示半導體電路結構(動態隨機存取記憶體電路結構)之周邊電路區的製程結構剖面圖。



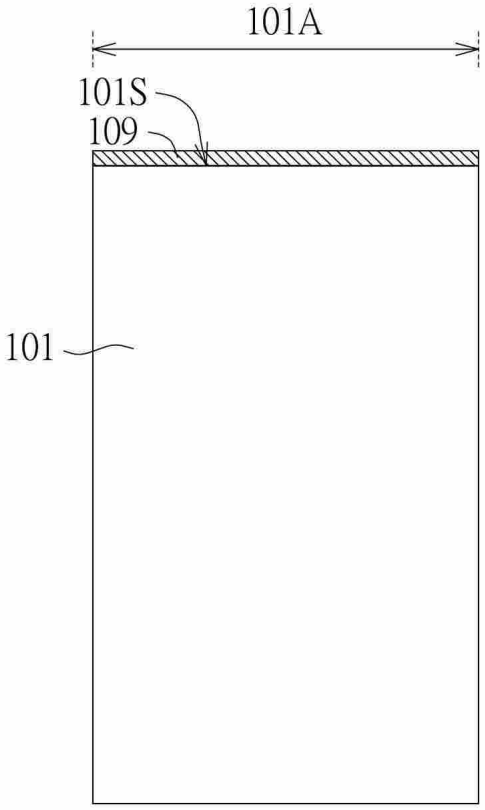
第 1A(1) 圖



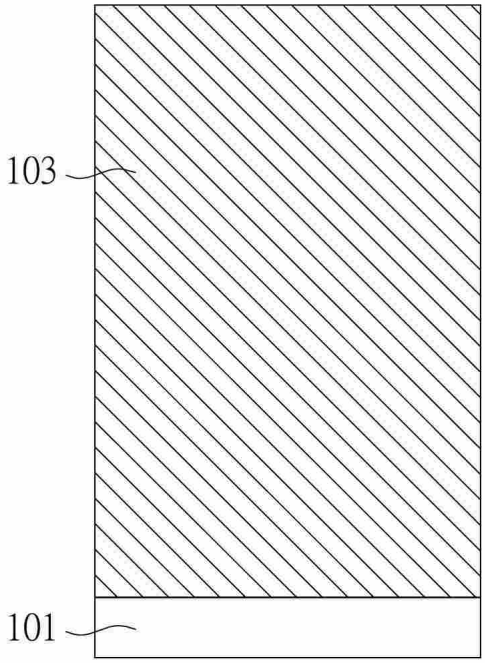
第 1A(2) 圖



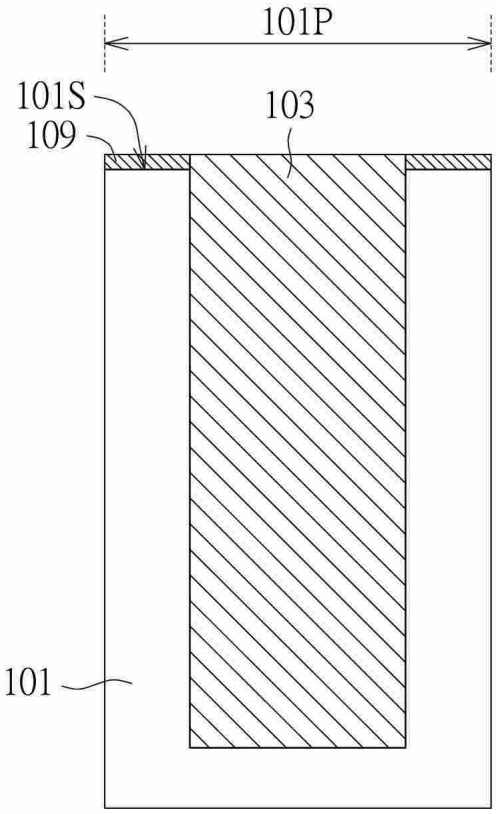
第 1A(3) 圖



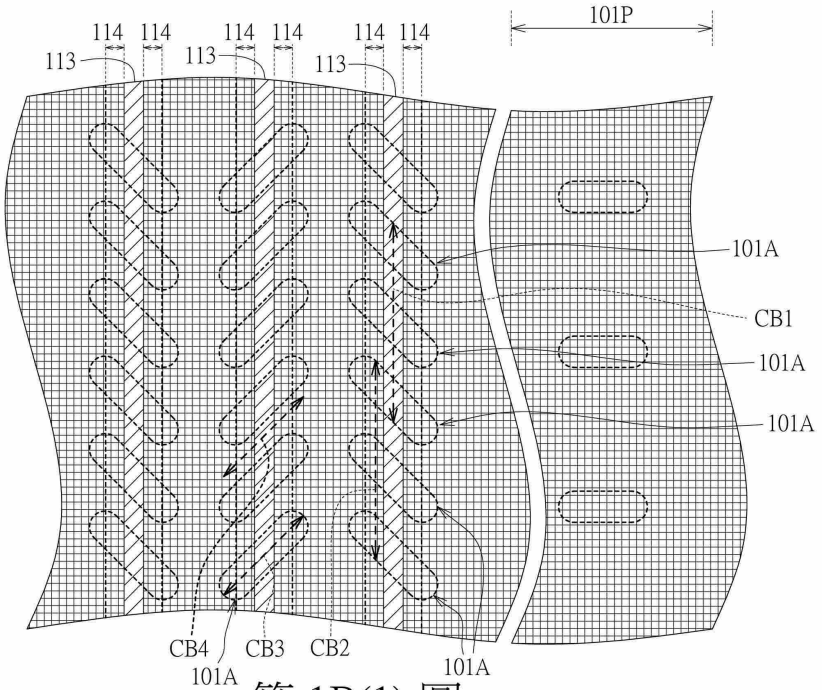
第 1A(4) 圖



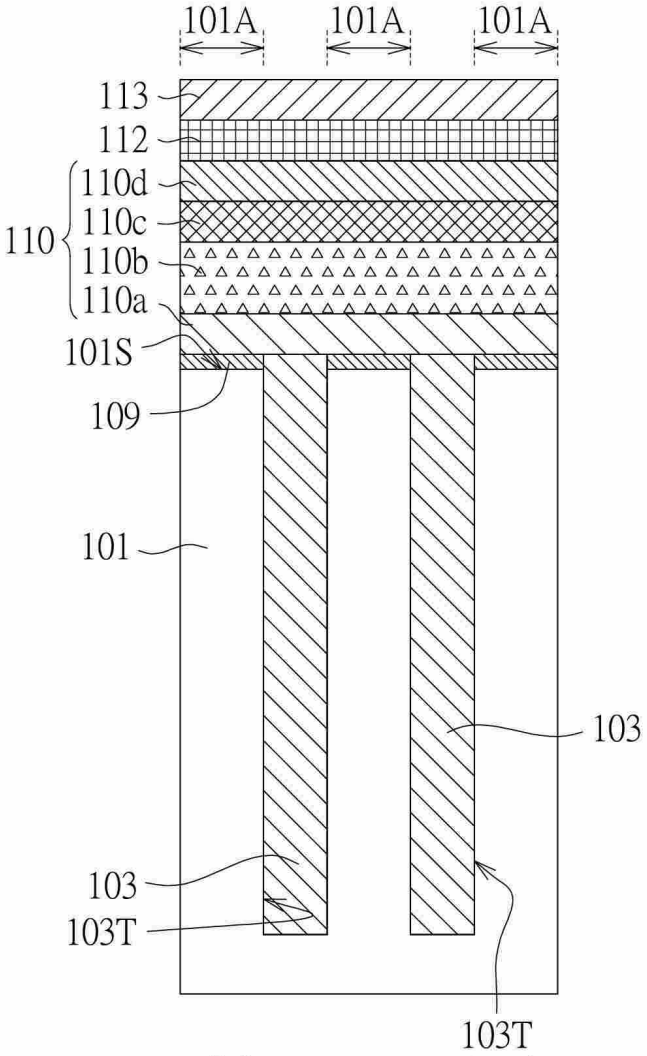
第 1A(5) 圖



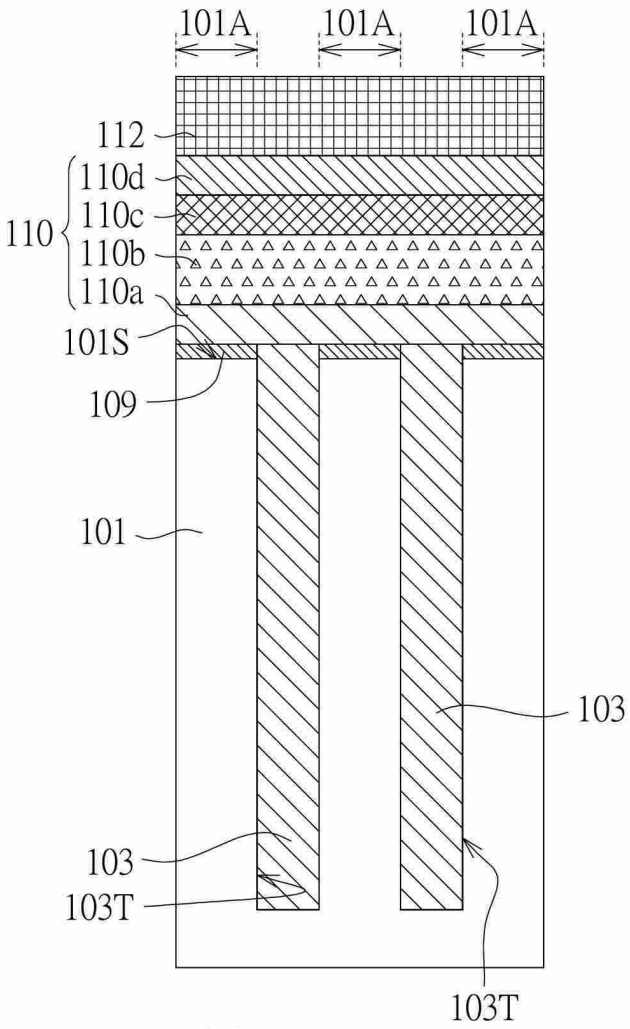
第 1A(6) 圖


101P
114
114
114
114
114
114
113
113
113
101A
CB1
101A
101A
CB4
CB3
CB2
101A
101A

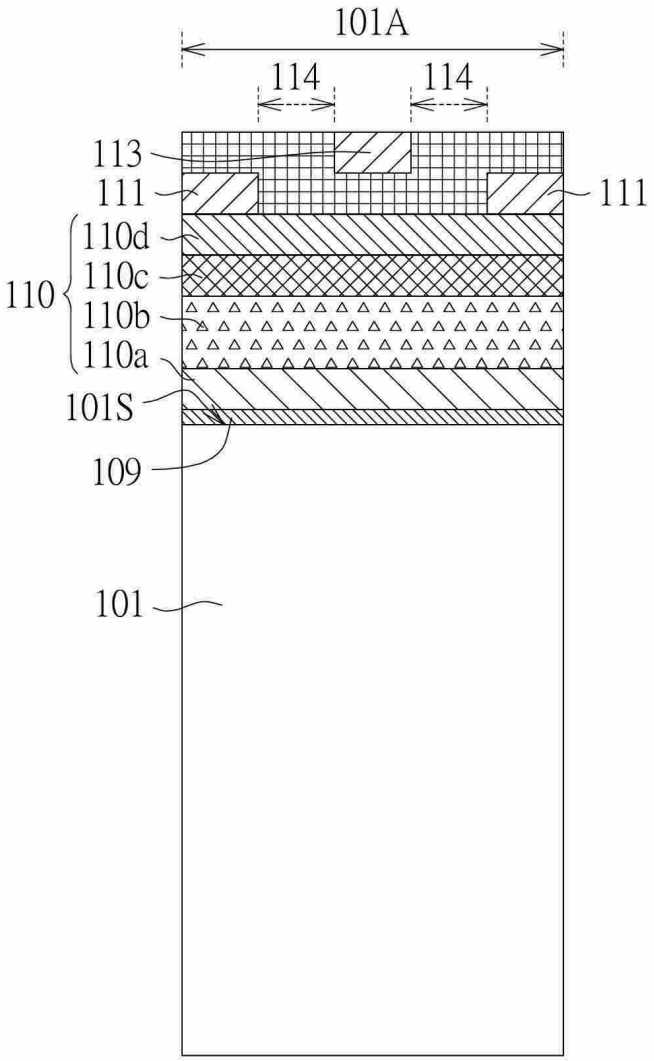
第 1B(1) 圖


101A
101A
101A
113
112
110
110d
110c
110b
110a
101S
109
101
103
103
103T
103T

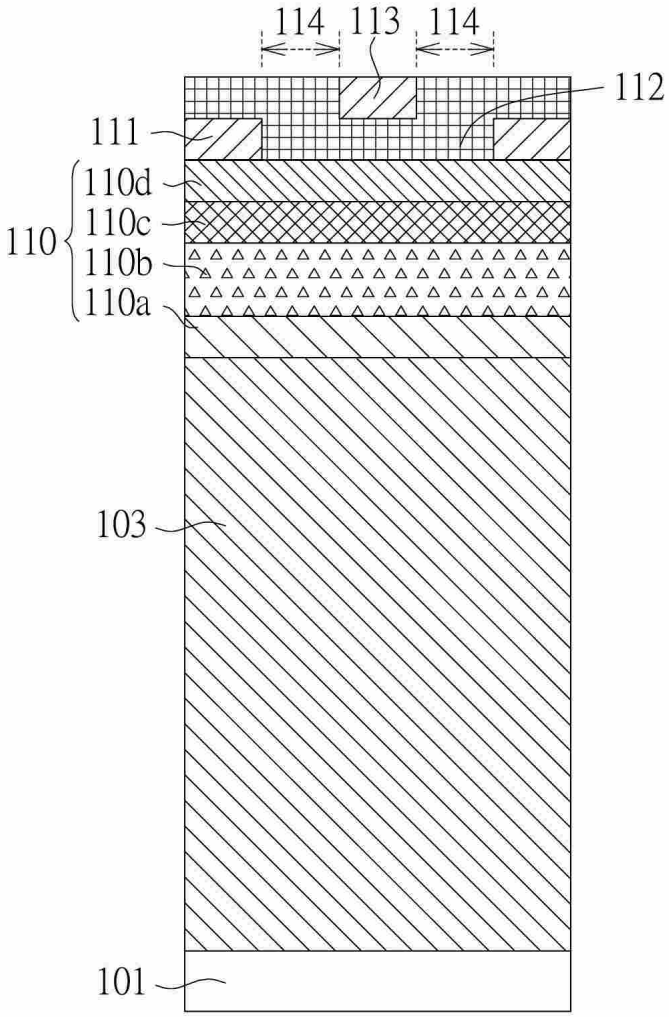
第 1B(2) 圖


101A
101A
101A
112
110d
110c
110
110b
110a
101S
109
101
103
103
103T
103T

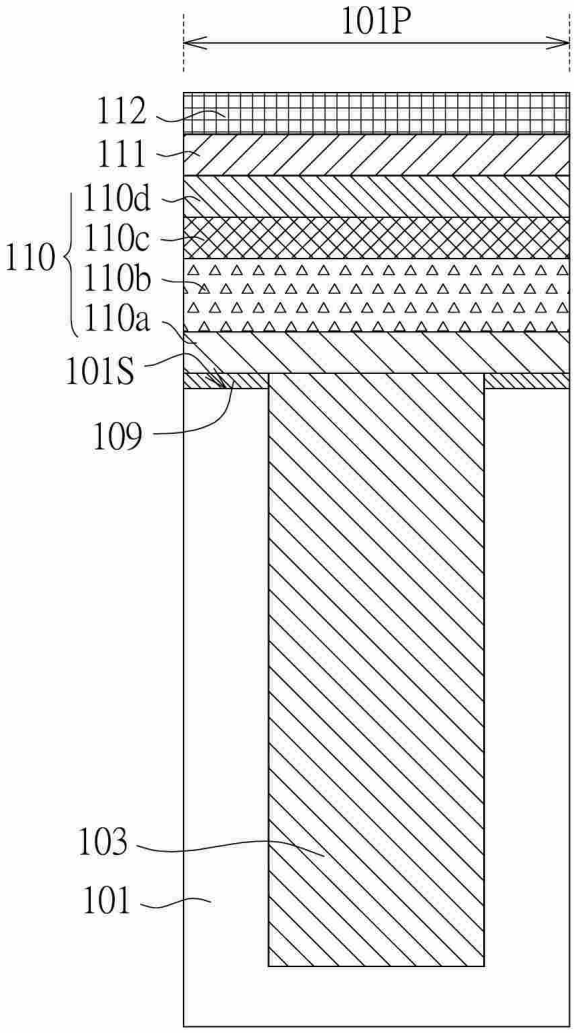
第 1B(3) 圖



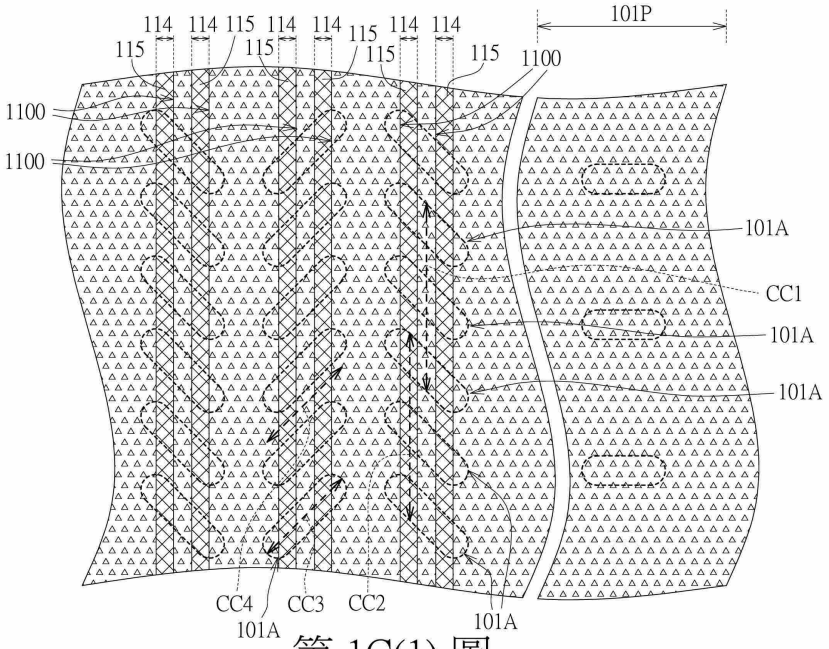
第 1B(4) 圖



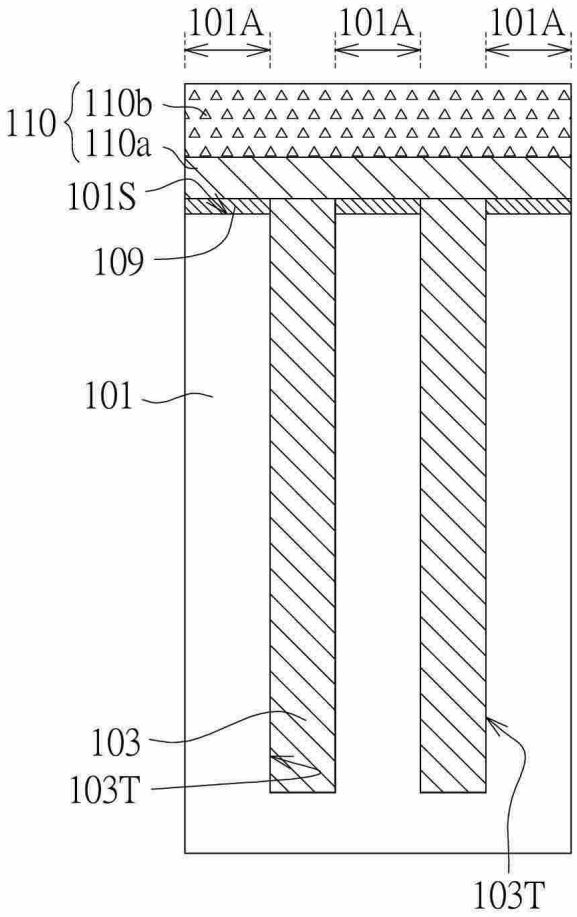
第 1B(5) 圖



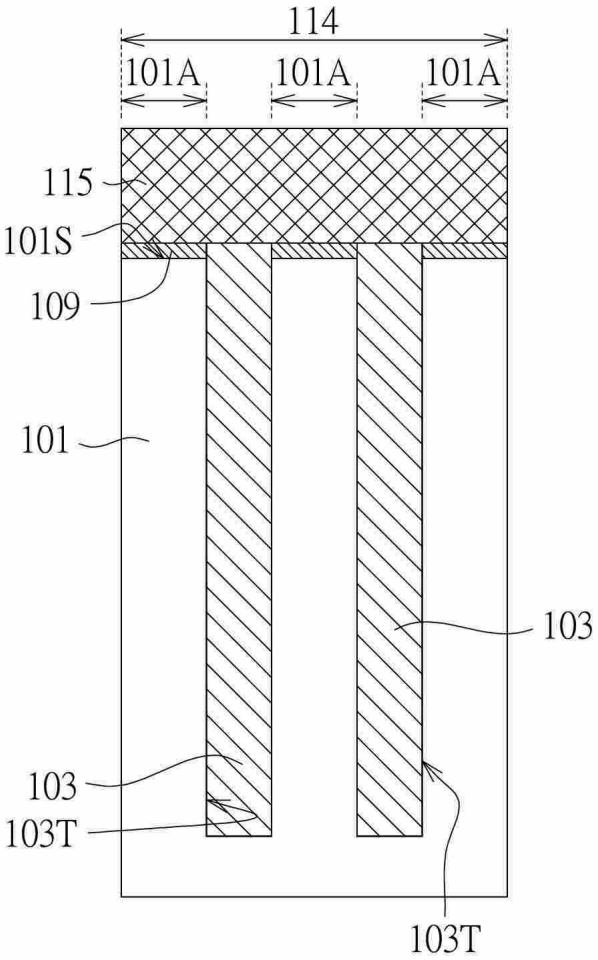
第 1B(6) 圖


114
114
115
114
114
115
114
114
115
115
115
115
101P
1100
1100
1100
101A
CC1
101A
101A
CC4
101A
CC3
CC2
101A

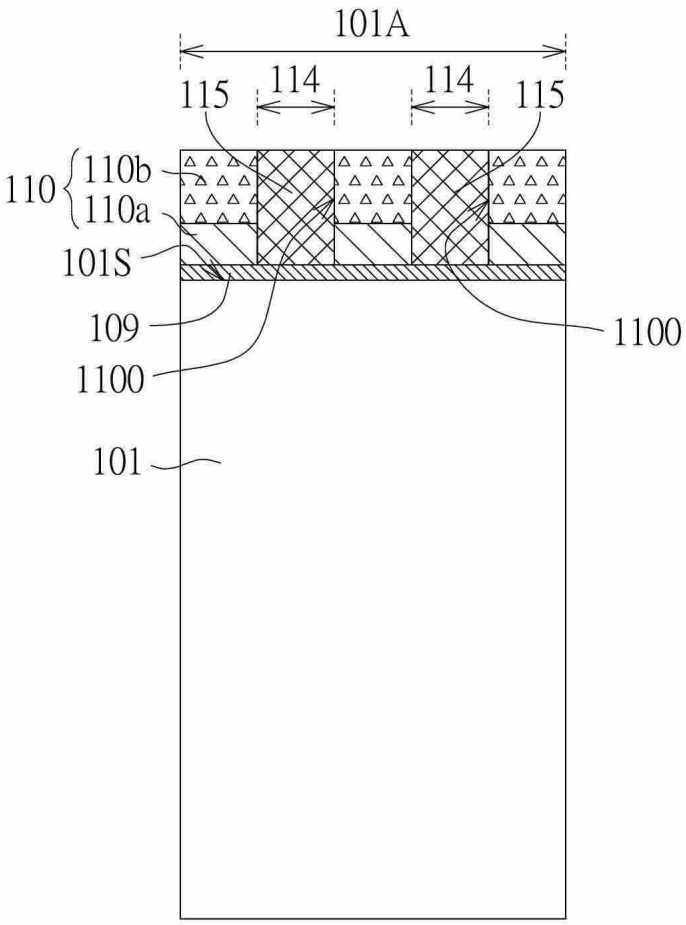
第 1C(1) 圖



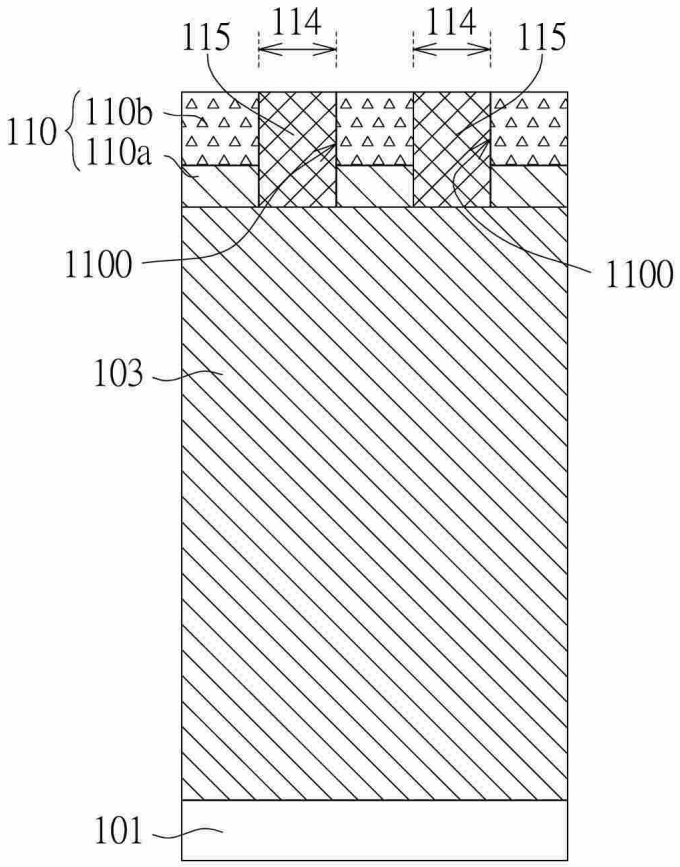
第 1C(2) 圖



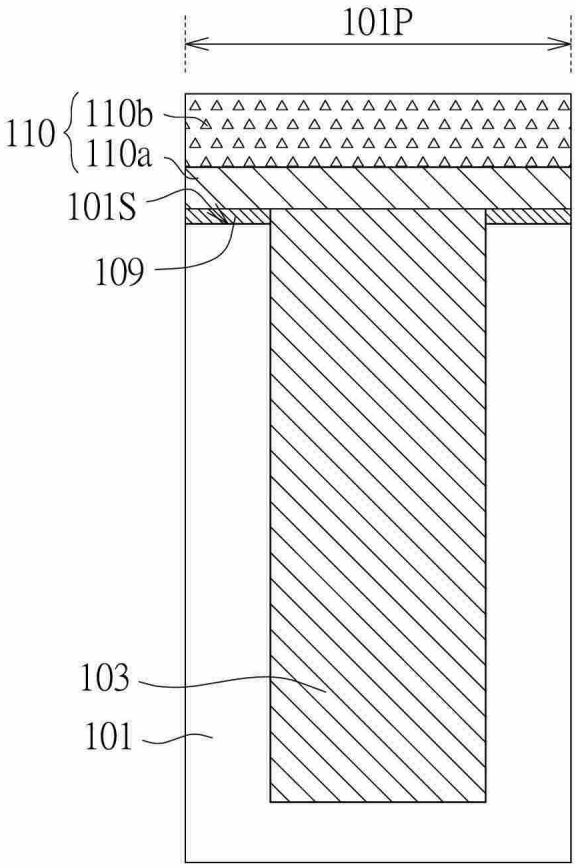
第 1C(3) 圖



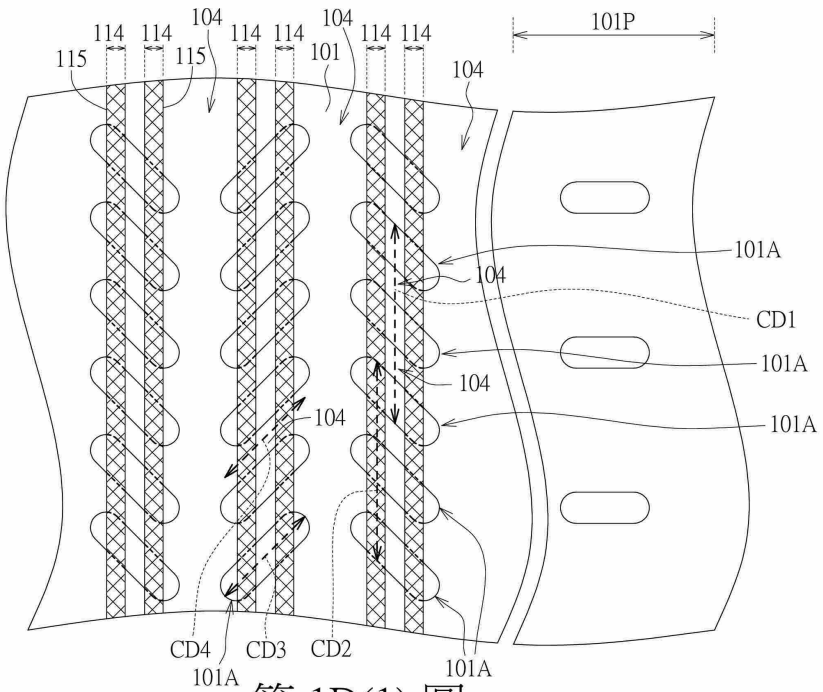
第 1C(4) 圖



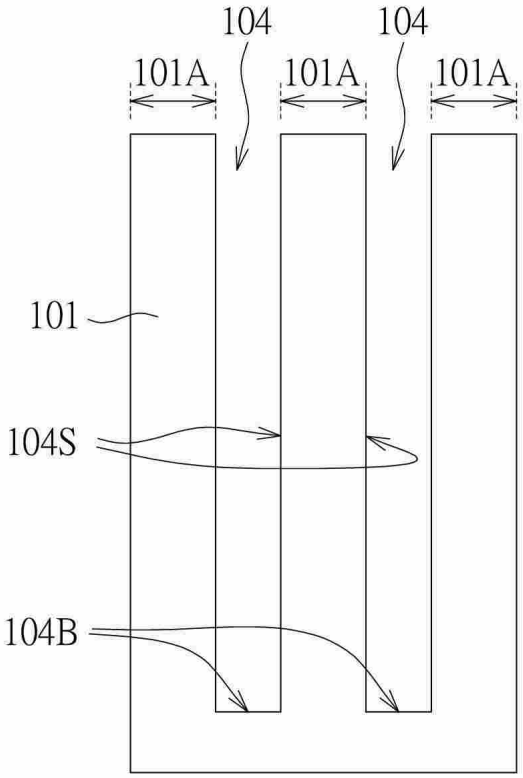
第 1C(5) 圖



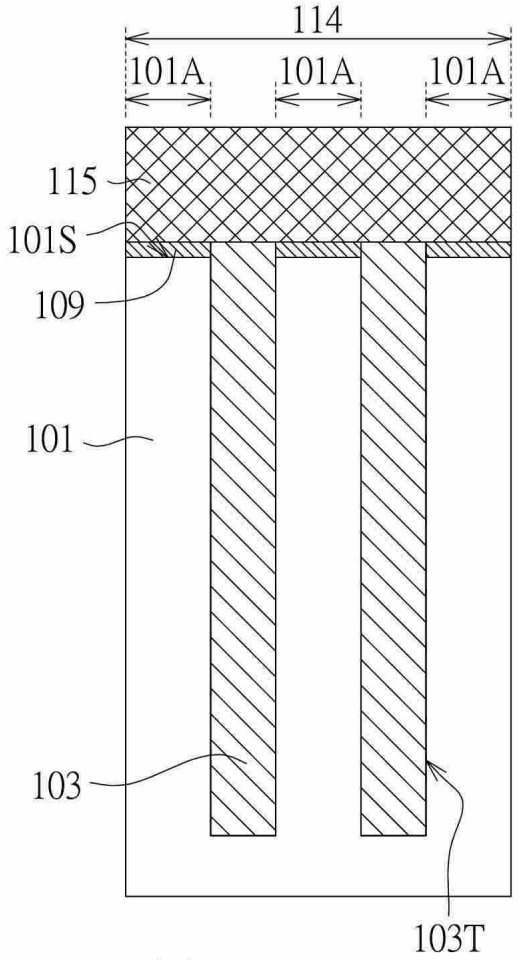
第 1C(6) 圖


114
114
104
114
114
104
114
114
101P
115
115
101
104
101A
104
CD1
101A
104
104
101A
CD4
101A
CD3
CD2
101A

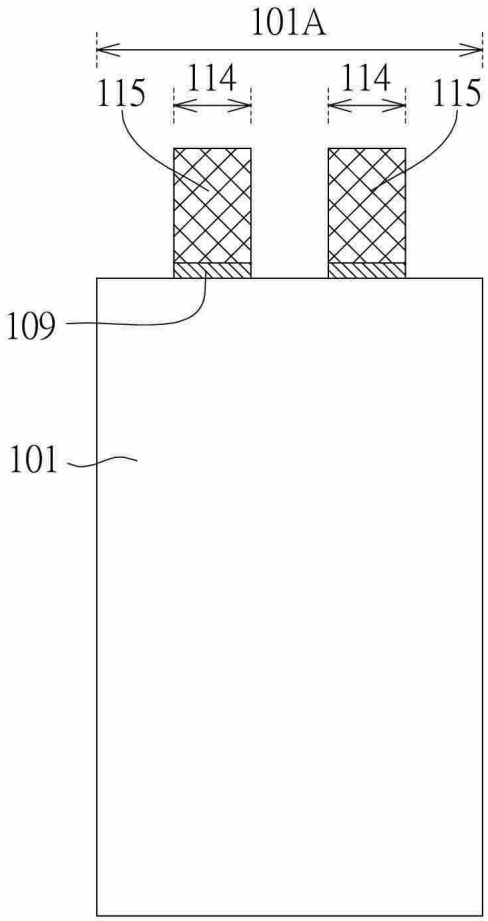
第 1D(1) 圖



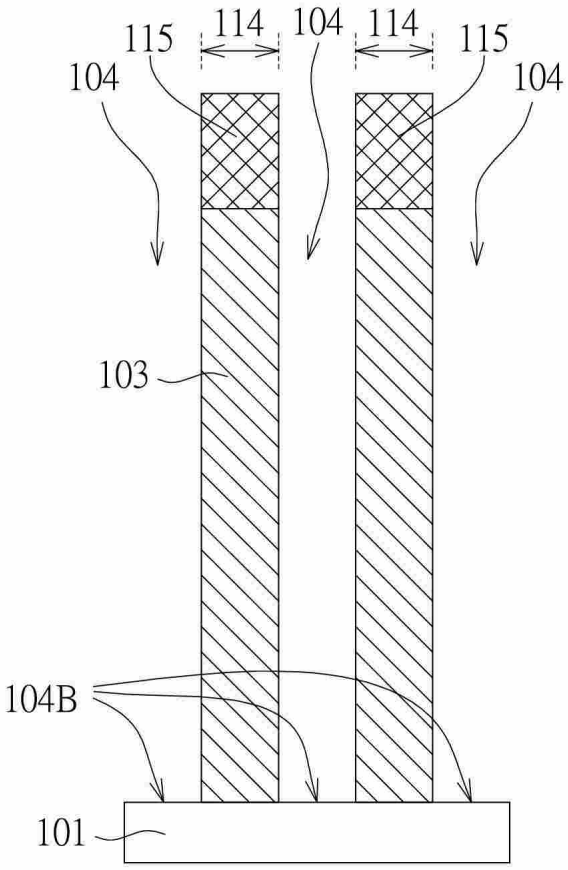
第 1D(2) 圖



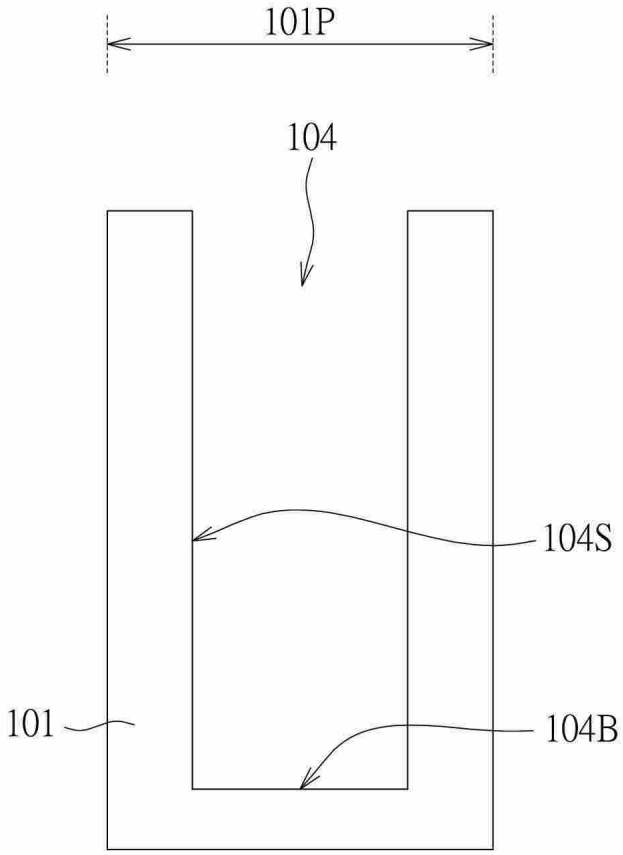
第 1D(3) 圖



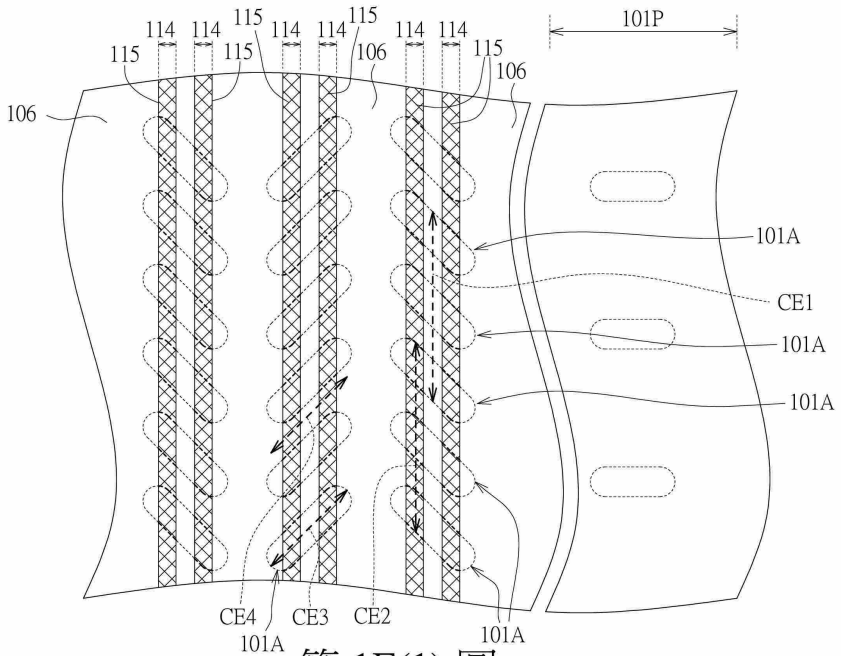
第 1D(4) 圖



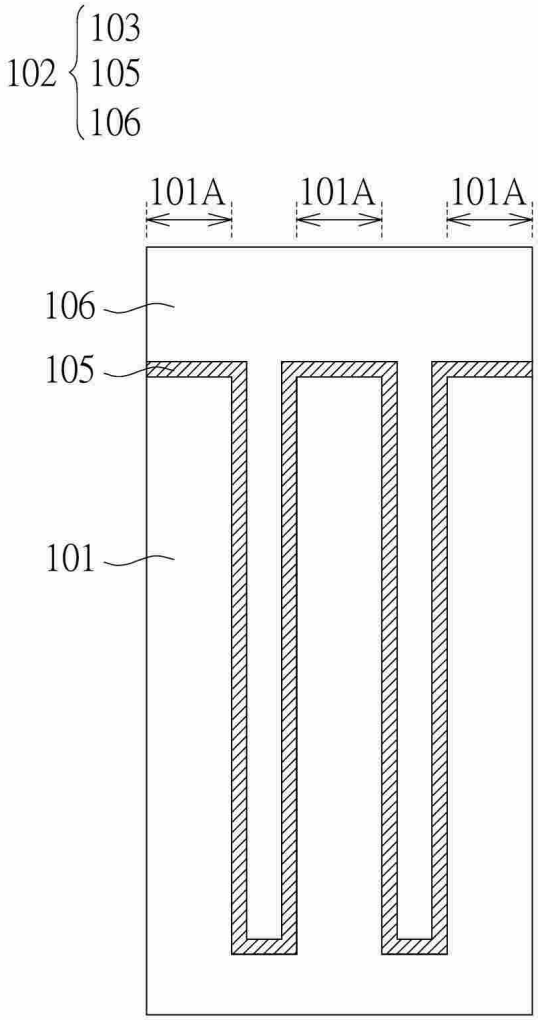
第 1D(5) 圖



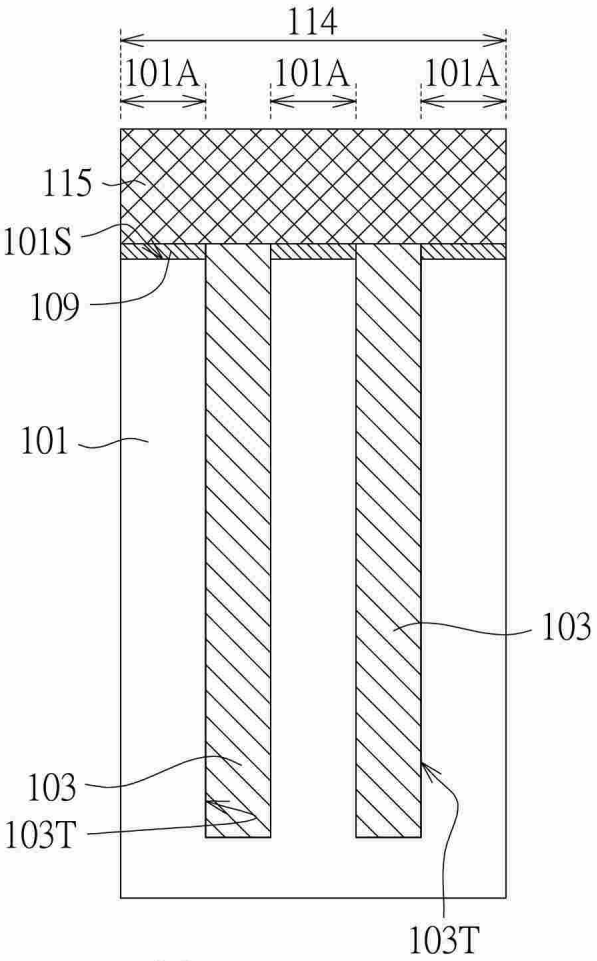
第 1D(6) 圖


101P
114
114
115
114
114
115
114
114
115
115
115
106
106
106
101A
CE1
101A
101A
CE4
CE3
CE2
101A
101A

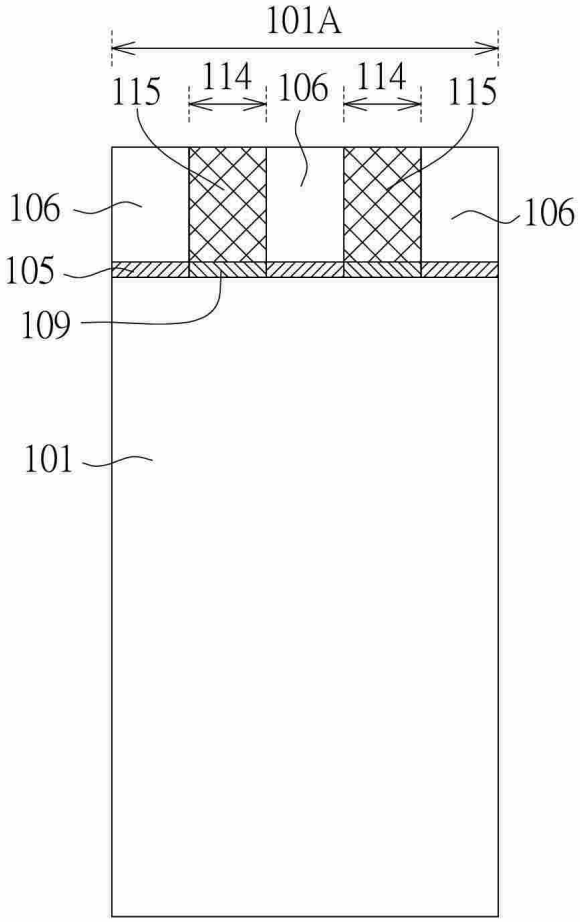
第 1E(1) 圖



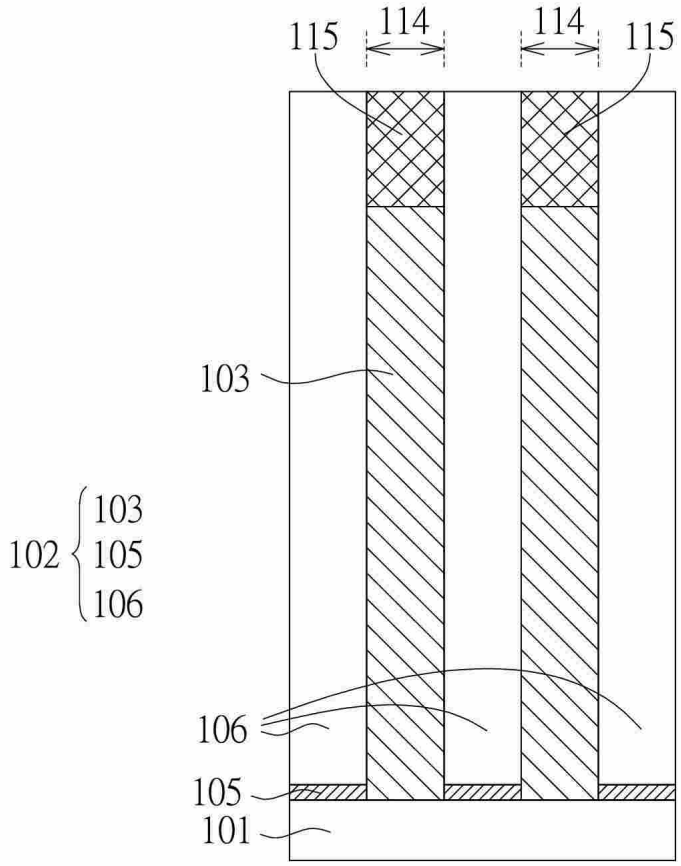
第 1E(2) 圖



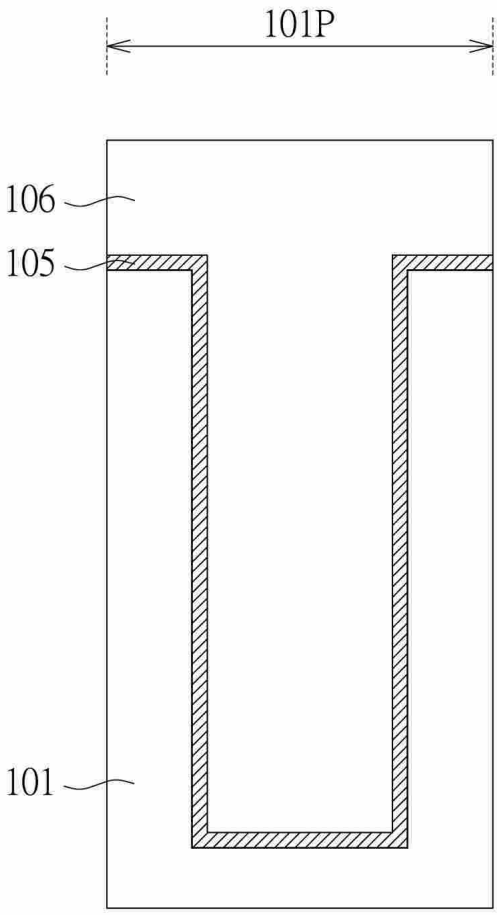
第 1E(3) 圖



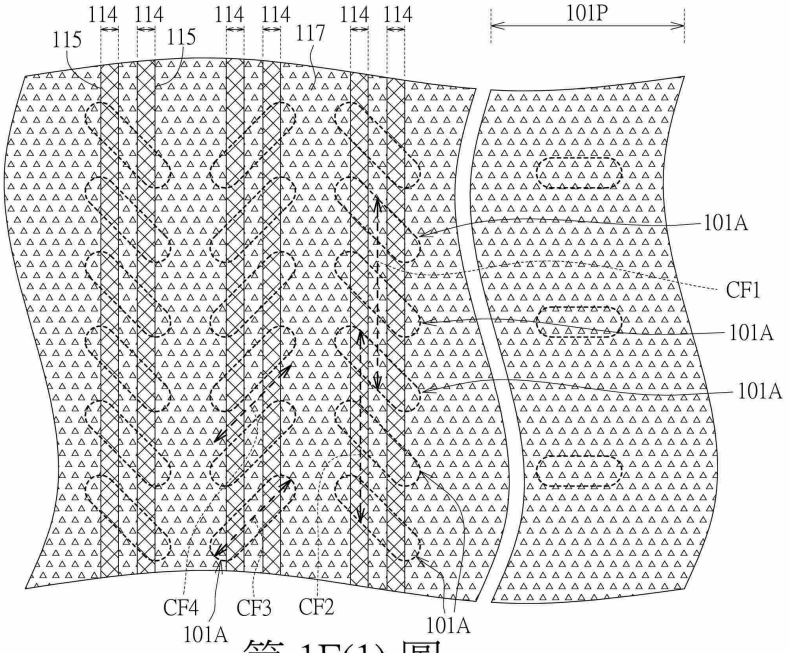
第 1E(4) 圖



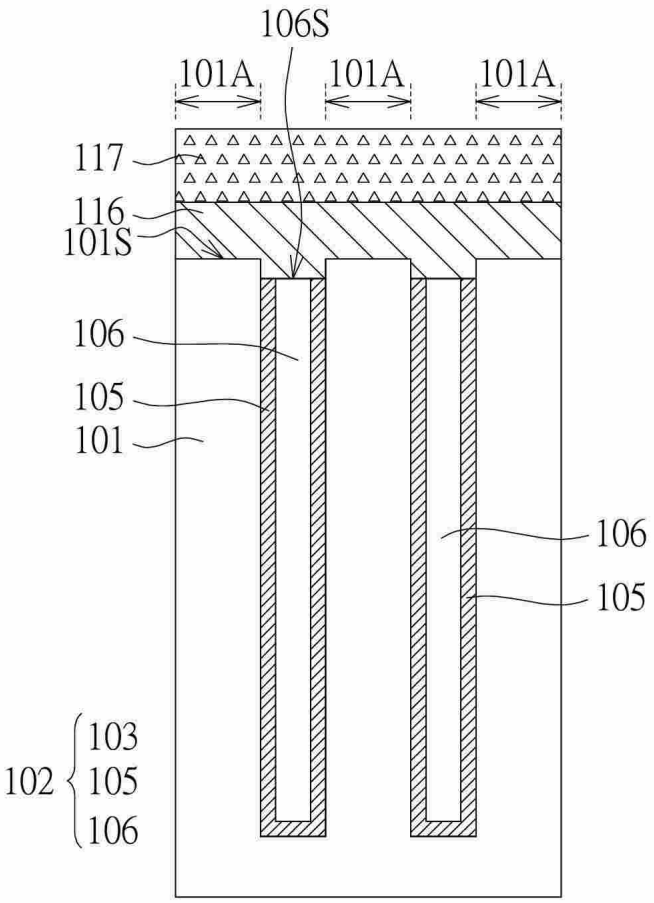
第 1E(5) 圖



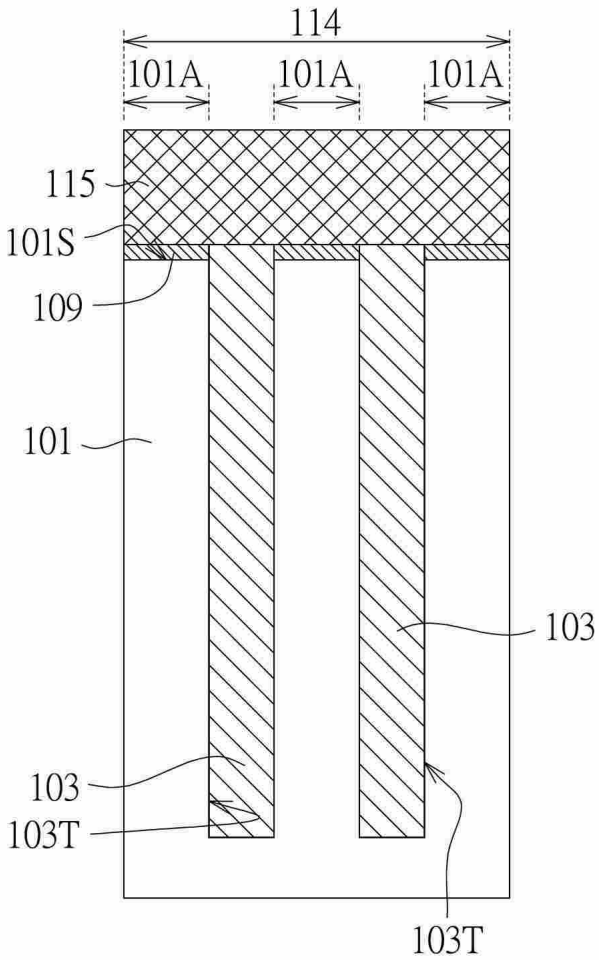
第 1E(6) 圖


114
114
114
114
114
114
101P
115
115
117
101A
CF1
101A
101A
CF4
101A
CF3
CF2
101A

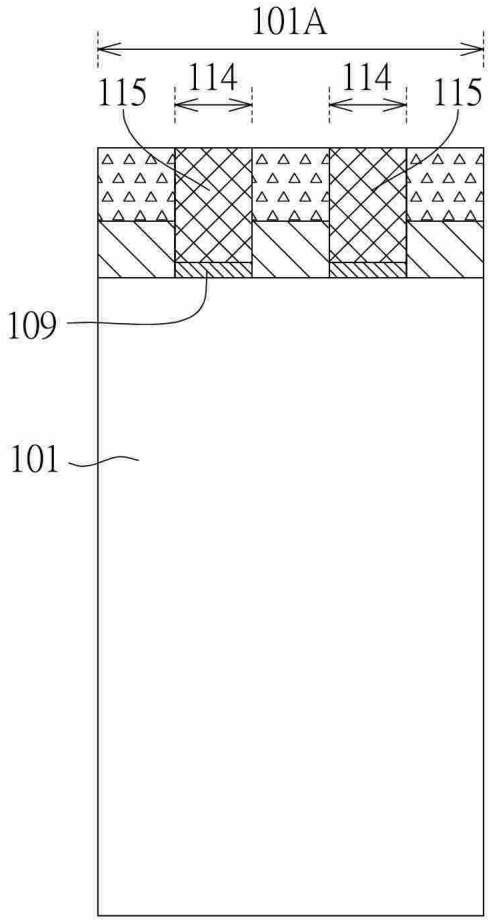
第 1F(1) 圖


106S
101A
101A
101A
117
116
101S
106
105
101
106
105
102
103
105
106

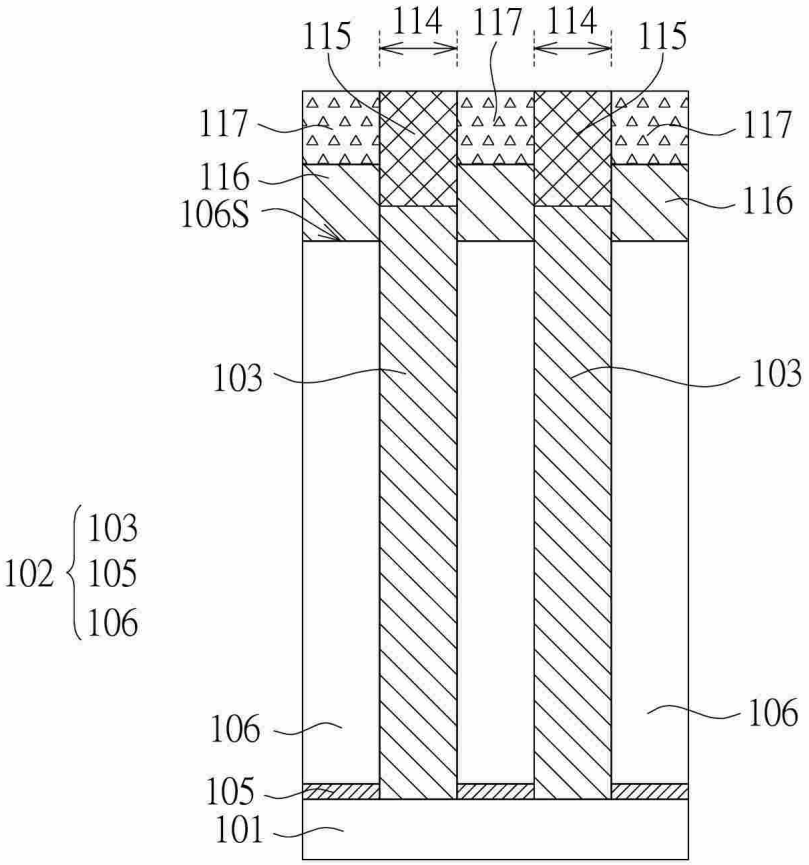
第 1F(2) 圖



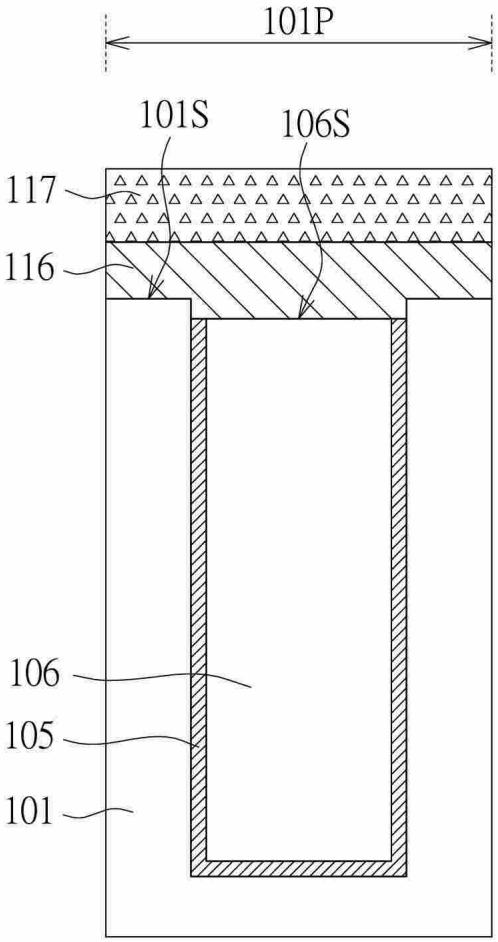
第 1F(3) 圖



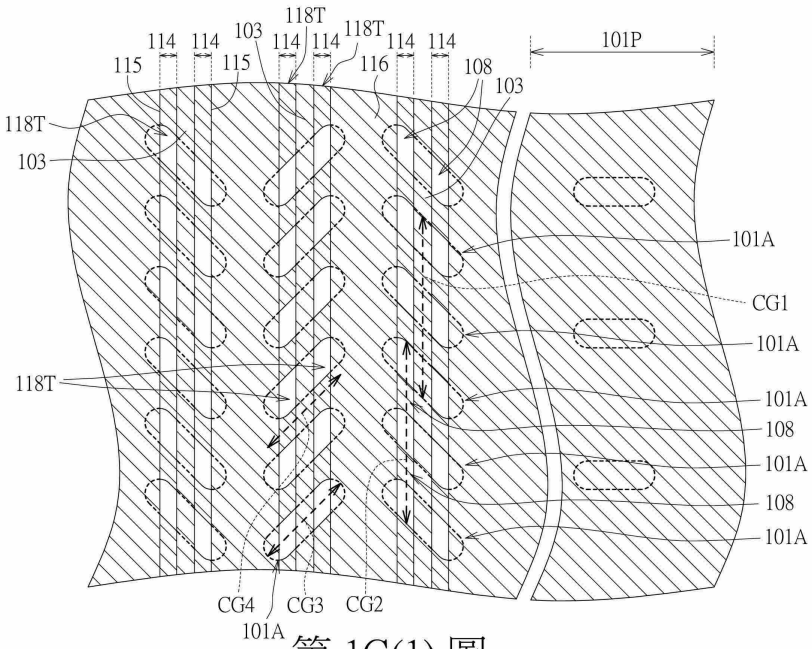
第 1F(4) 圖


115
114
117
114
115
117
117
116
116
106S
103
103
102
103
105
106
106
106
105
101

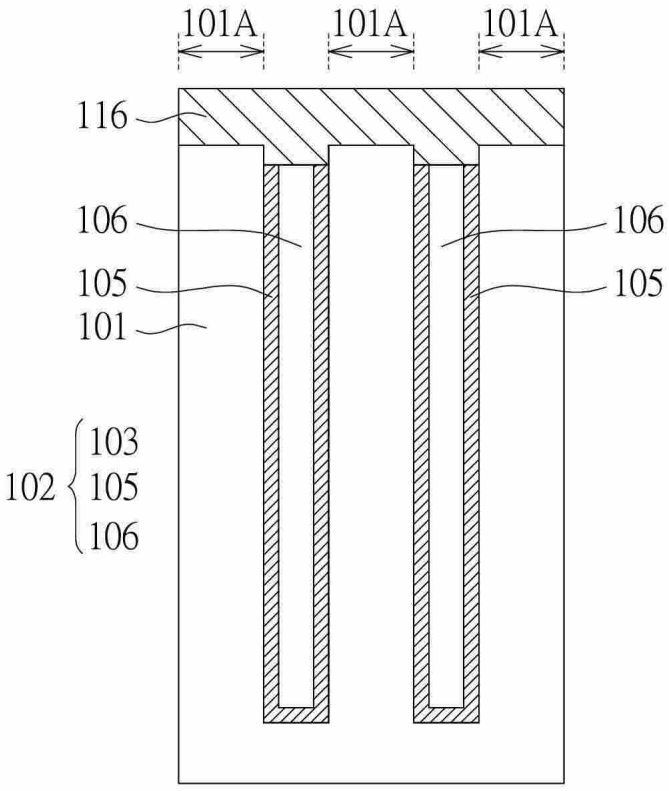
第 1F(5) 圖



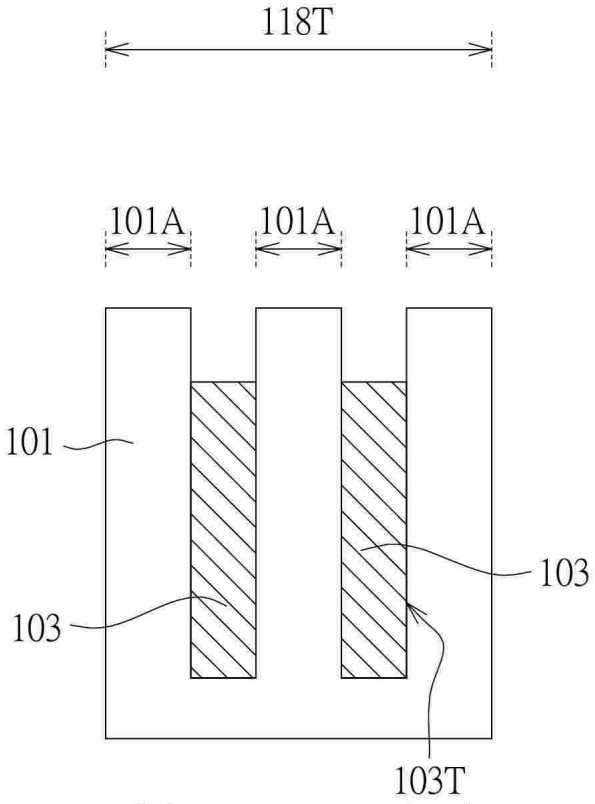
第 1F(6) 圖


118T
114
114
103
114
114
118T
114
114
101P
115
115
116
108
103
118T
103
101A
CG1
101A
118T
101A
108
101A
108
101A
CG4
101A
CG3
CG2

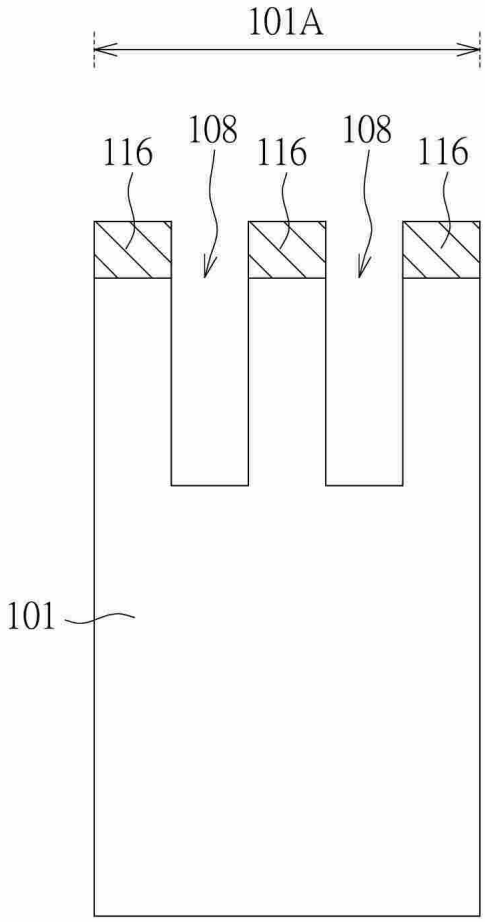
第 1G(1) 圖


101A
101A
101A
116
106
106
105
105
101
102
103
105
106

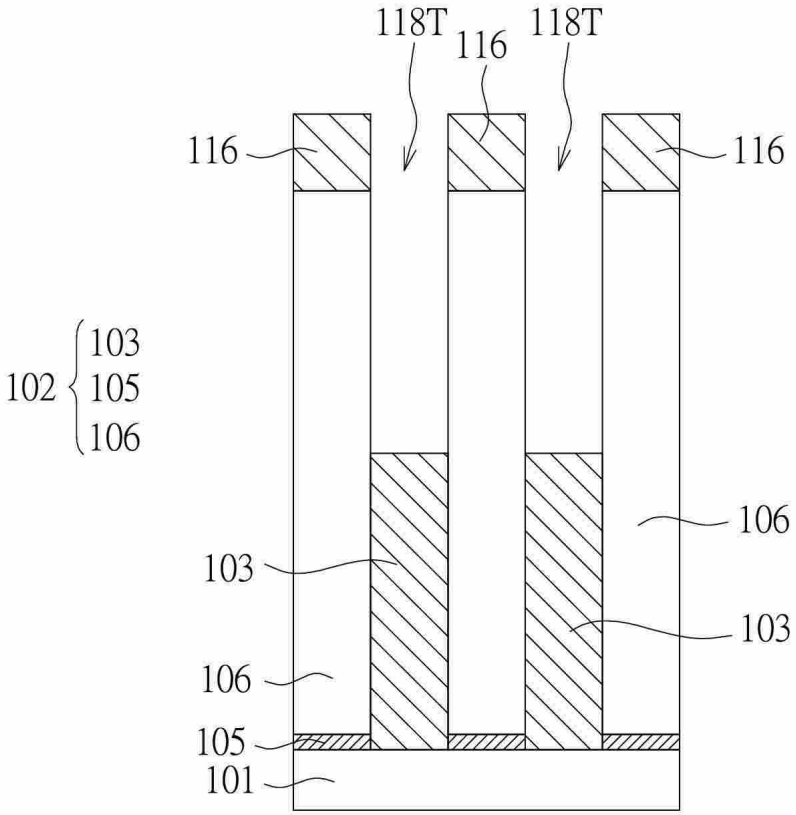
第 1G(2) 圖



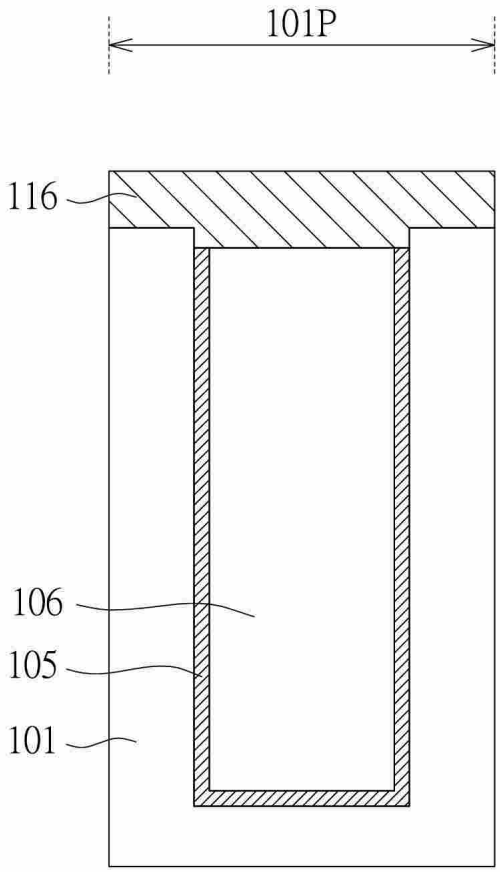
第 1G(3) 圖



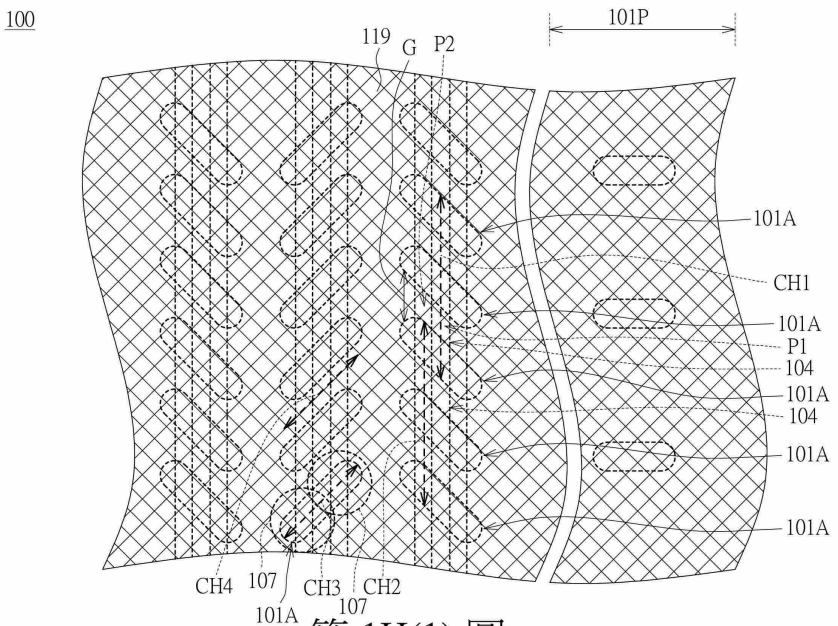
第 1G(4) 圖



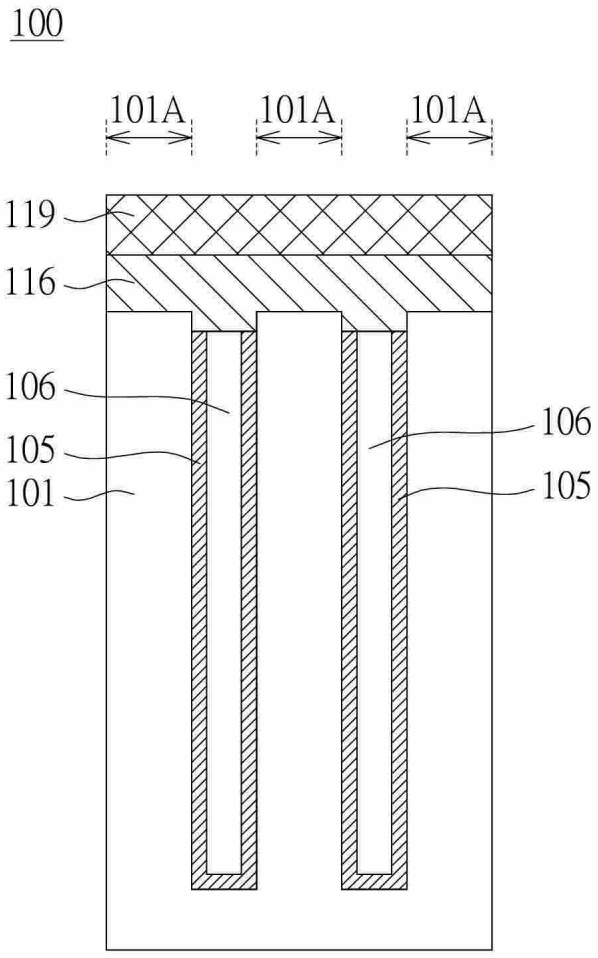
第 1G(5) 圖



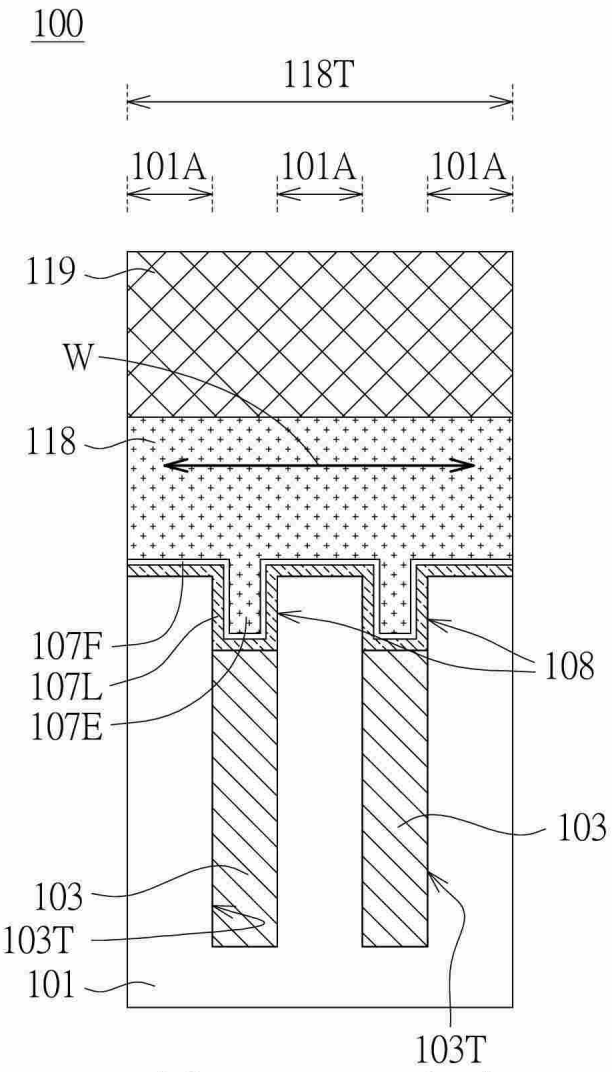
第 1G(6) 圖


100
101P
119
G
P2
101A
CH1
101A
P1
104
101A
104
101A
101A
CH4
107
101A
CH3
107
CH2

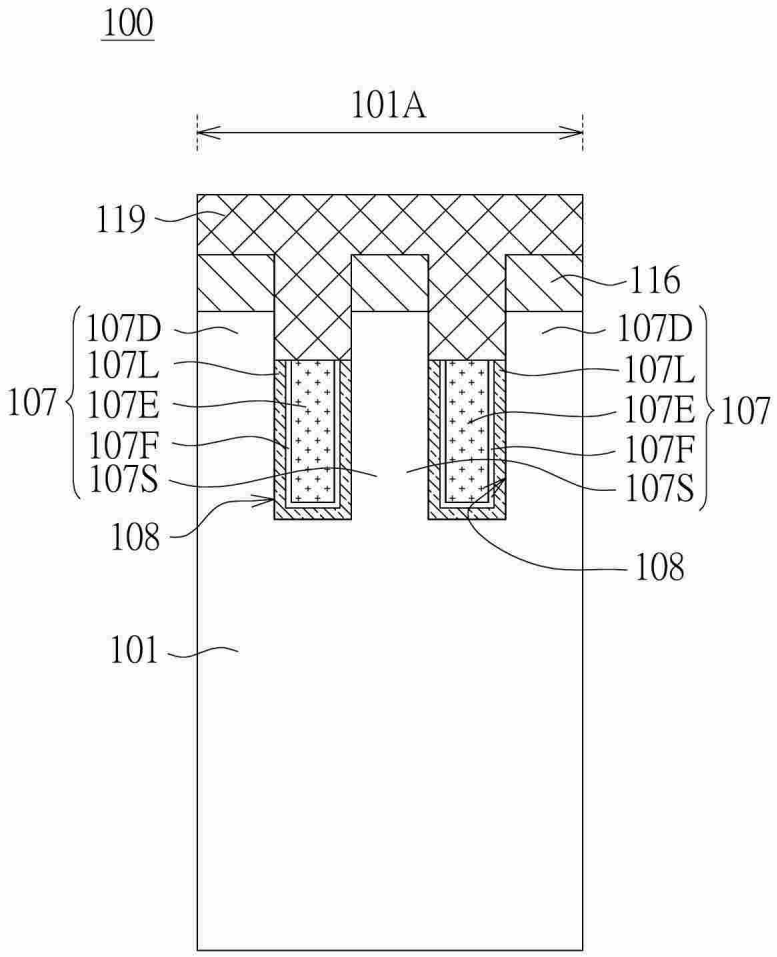
第 1H(1) 圖



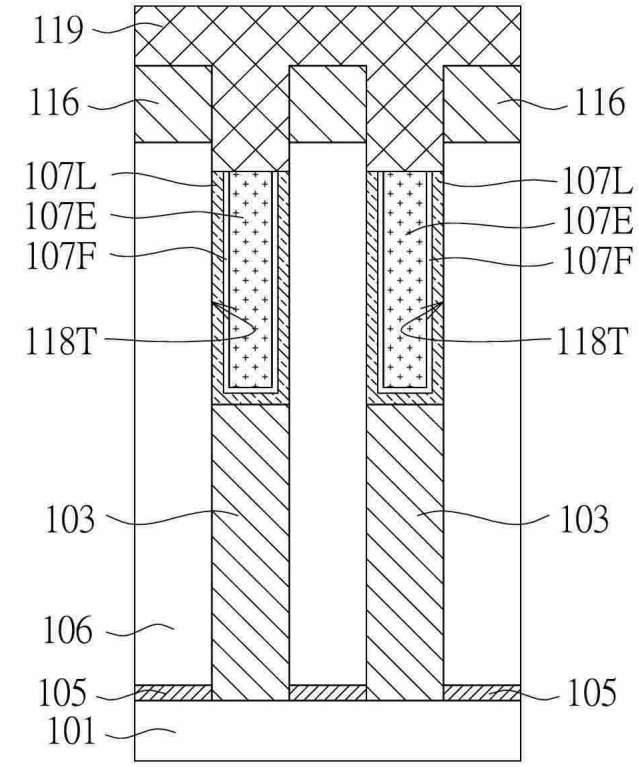
第 1H(2) 圖


100
118T
101A
101A
101A
119
W
118
107F
107L
107E
108
103
103
103T
101
103T

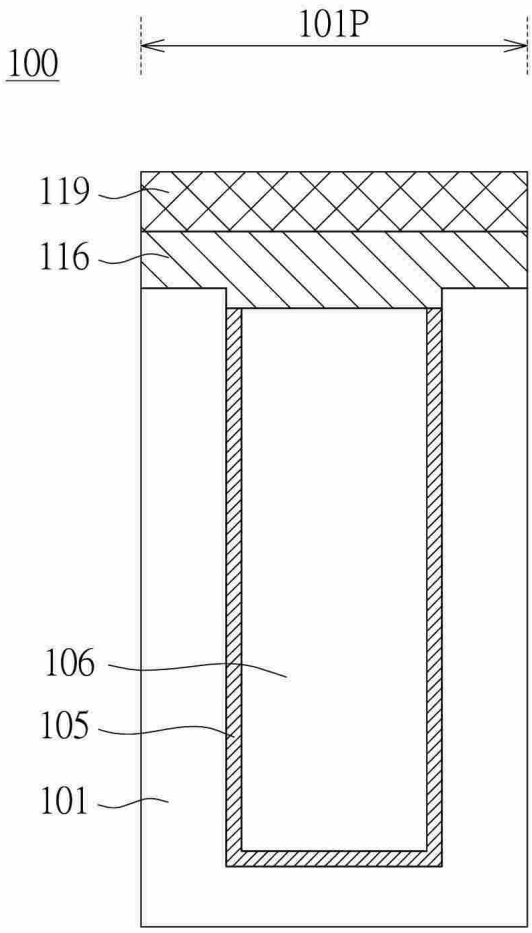
第 1H(3) 圖



第 1H(4) 圖


100
119
116
116
107L
107E
107F
107L
107E
107F
118T
118T
103
103
106
105
105
101

第 1H(5) 圖



第 1H(6) 圖