【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I941204
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10D64/01 (2025.01)*　*C23C16/40 (2006.01)*
H10D30/01 (2025.01)　*H10D62/17 (2025.01)*
H10D64/27 (2025.01)　*H10D64/23 (2025.01)*
H10D30/62 (2025.01)

發明　　全 55 頁

【54】名　稱：半導體裝置和其形成方法

【21】申請案號：114118336　【22】申請日： 中華民國 114 (2025) 年 05 月 15 日
【11】公開編號：202616875　【43】公開日期： 中華民國 115 (2026) 年 04 月 16 日
【30】優 先 權： 2024/10/02　美國　18/904,809

【72】發 明 人： 林政頤 (TW) LIN, CHENG-I；陳書涵 (TW) CHEN, SHU-HAN；唐浩明 (TW) TANG, HAO-MING；林宗達 (TW) LIN, TSUNG-DA；徐　志安 (US) CHUI, CHI ON
【71】申 請 人： 台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.
新竹市新竹科學工業園區力行六路八號
【74】代 理 人： 秦建譜；許志銘

【56】參考文獻：
US　11024725B2　　US　20190386112A1

審查人員：林宥辰

【57】申請專利範圍

1. 一種形成一半導體裝置的方法，包括：
形成至一奈米結構堆疊的一開口，其中一閘極間隔物及一內部間隔物作為該開口的多個側壁；
將一氧化電漿施加至該開口中的該奈米結構堆疊及作為該開口的該些側壁的該閘極間隔物及該內部間隔物的多個表面，其中該氧化電漿在該開口中的該奈米結構堆疊上形成一均勻厚度氧化物表面，且在該閘極間隔物及該內部間隔物的該些表面上形成該均勻厚度氧化物表面；
在該開口中的該奈米結構堆疊以及該閘極間隔物及該內部間隔物的該些表面上的該均勻厚度氧化物表面上形成一高介電常數閘極介電質；及
在該高介電常數閘極介電質上形成一閘極電極。
2. 如請求項 1 所述之方法，其中施加該氧化電漿僅消耗該閘極間隔物及該內部間隔物的一部分以形成該均勻厚度氧化物表面，其中該閘極間隔物及該內部間隔物的一剩餘部分沒有該均勻厚度氧化物表面。
3. 如請求項 1 所述之方法，其中該均勻厚度氧化物表面從該閘極間隔物的一上表面至該內部間隔物的一下表面的整個高度具有一均勻厚度。
4. 如請求項 1 所述之方法，其中該均勻厚度氧化物表面在該奈米結構堆疊中的各個奈米結構上具有一相同厚度。
5. 一種形成一半導體裝置的方法，包括：
形成至一奈米結構堆疊的一開口，其中一閘極間隔物及一內部間隔物作為該開口的多個側壁；

將一氧化電漿施加至該開口中的該奈米結構堆疊以及作為該開口的該些側壁的該閘極間隔物及該內部間隔物的多個表面，其中該氧化電漿在該開口中的該奈米結構堆疊上形成一非均勻厚度氧化物表面；

在該開口中的該奈米結構堆疊上的該非均勻厚度氧化物表面上形成一高介電常數閘極介電質；及

在該高介電常數閘極介電質上形成一閘極電極。

6. 如請求項 5 所述之方法，其中施加該氧化電漿會消耗該閘極間隔物及該內部間隔物的整體材料。

7. 如請求項 6 所述之方法，其中該奈米結構堆疊上的該非均勻厚度氧化物表面包括在該奈米結構堆疊中的一上層奈米結構上的一第一厚度氧化物表面及在該奈米結構堆疊中的一下層奈米結構上的一第二厚度氧化物表面，其中該第一厚度氧化物表面的一厚度大於該第二厚度氧化物表面的一厚度。

8. 如請求項 5 所述之方法，其中該非均勻厚度氧化物表面形成在該閘極間隔物及該內部間隔物的該些表面上。

9. 一種半導體裝置，包括：

一奈米結構堆疊；

一閘極結構，包括位於該奈米結構堆疊的一第一部分上的一高介電常數閘極介電質及位於該高介電常數閘極介電質上的一閘極電極；

多個源極/汲極區，位於該閘極結構的相對側上；及

一間隔物，位於該閘極電極的多個側壁上，其中該間隔物在該奈米結構堆疊中的分開的多個奈米結構之間的一空間中分離該閘極電極與該些源極/汲極區，

其中該間隔物包括一氧化物表面，該氧化物表面在該奈米結構堆疊的一上表面處具有一第一寬度且在該奈米結構堆疊的一下表面處具有一第二寬度，其中該第一寬度大於該第二寬度。

10. 如請求項 9 所述之半導體裝置，其中該奈米結構堆疊包括一第一介面層及一第二介面層，該第一介面層用於該奈米結構堆疊的該上表面處的一第一奈米結構而具有一第一厚度，該第二介面層用於該奈米結構堆疊的該下表面處的一第二奈米結構而具有一第二厚度。

圖式簡單說明

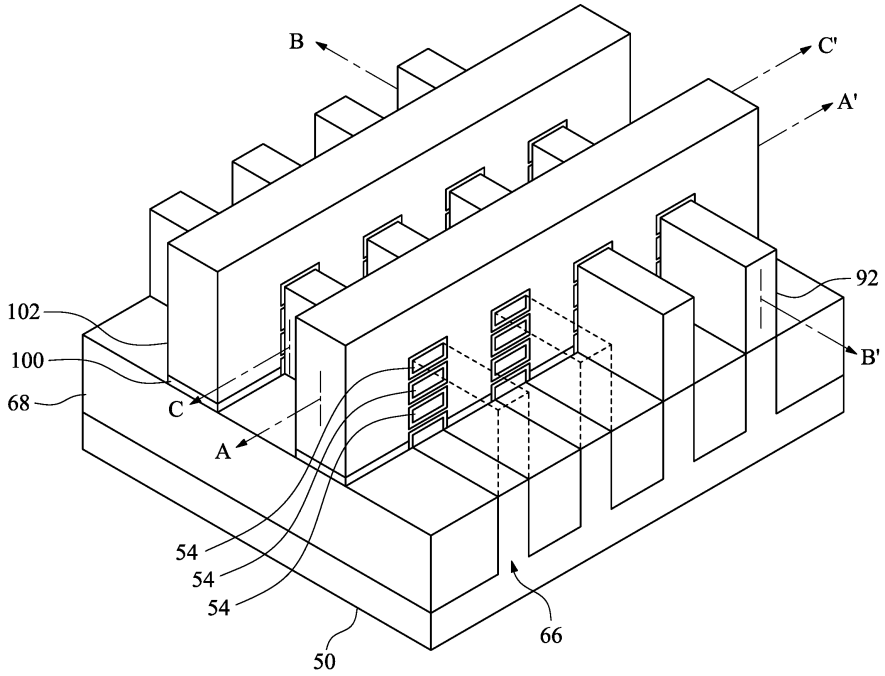
當結合附圖閱讀時，從以下詳細描述中可以最好地理解本公開的各方面。應注意，根據工業中的標準方法，各種特徵未按比例繪製。實際上，為了清楚地討論，可任意增加或減少各種特徵的尺寸。

第 1 圖繪示根據一些實施例的奈米結構場效應電晶體(nanostructure field-effect transistor，nano-FET)實例的三維視圖。

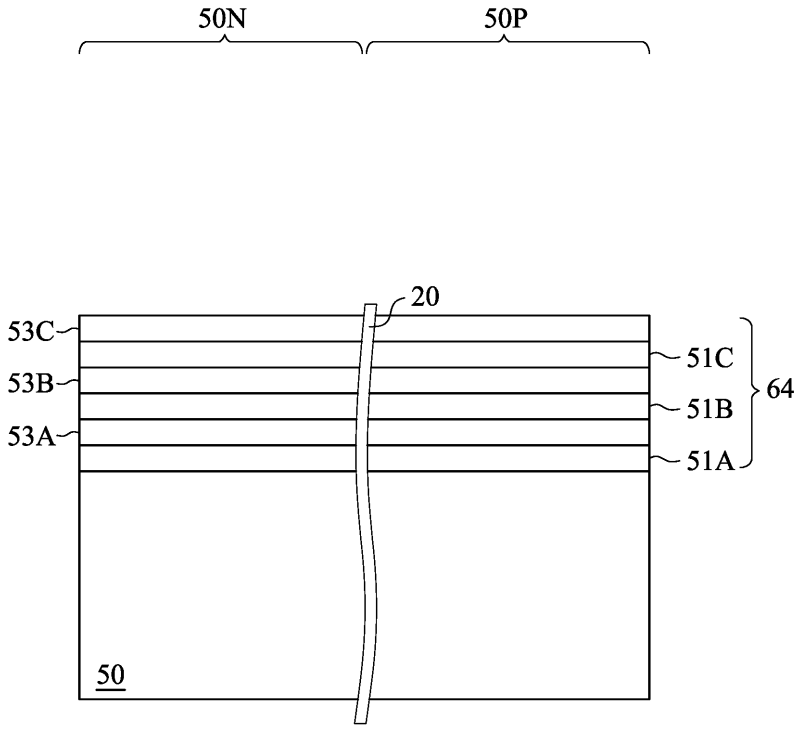
第 2 圖、第 3 圖、第 4 圖、第 5A 圖、第 5B 圖、第 6A 圖、第 6B 圖、第 7A 圖、第 7B 圖、第 7C 圖、第 8A 圖、第 8B 圖、第 9A 圖、第 9B 圖、第 10A 圖、第 10B 圖、第 10C 圖、第 10D 圖、第 11A 圖、第 11B 圖、第 11C 圖、第 11D 圖、第 12A 圖、第 12B 圖、第 13A 圖、第 13B 圖、第 14A 圖、第 14B 圖、第 15A 圖、第 15B 圖、第 15C 圖、第 15D 圖、第 15E 圖、第 15F 圖是根據一些實施例的製造 nano-FET 中間階段的橫截面圖。

第 16 圖繪示根據一些實施例的電感耦合電漿系統實例的橫截面圖。

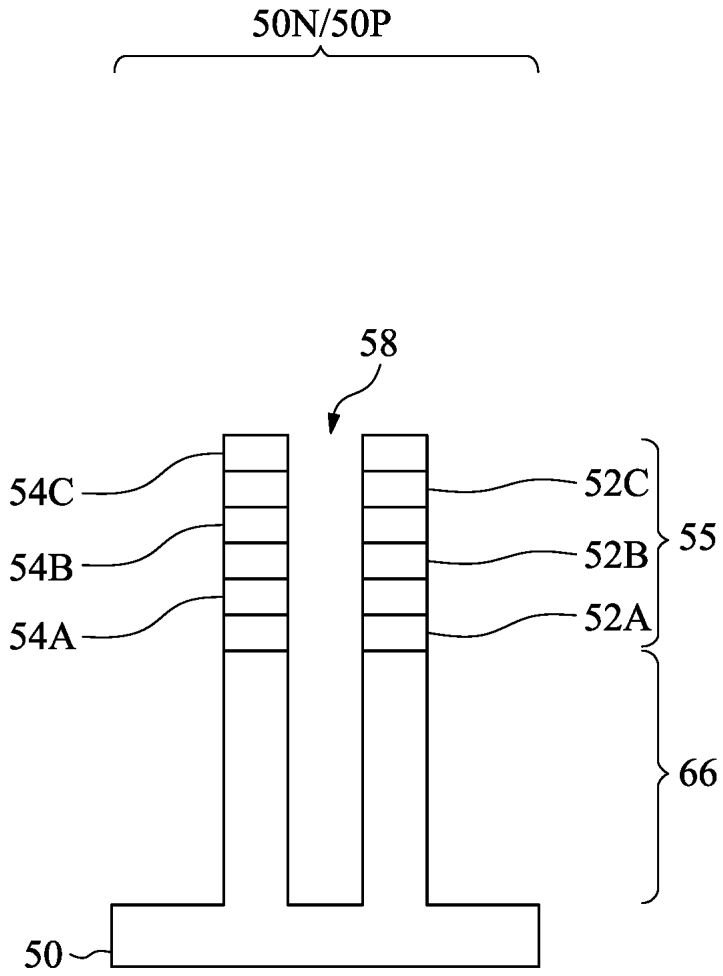
第 17A 圖、第 17B 圖、第 17C 圖、第 17D 圖、第 17E 圖、第 17F 圖、第 18A 圖、第 18B 圖、第 18C 圖、第 18D 圖、第 18E 圖、第 18F 圖、第 19A 圖、第 19B 圖、第 19C 圖、第 20A 圖、第 20B 圖及第 20C 圖是根據一些實施例的製造 nano-FET 中間階段的橫截面圖。


B
C'
A'
92
102
100
68
C
A
B'
54
54
54
50
66

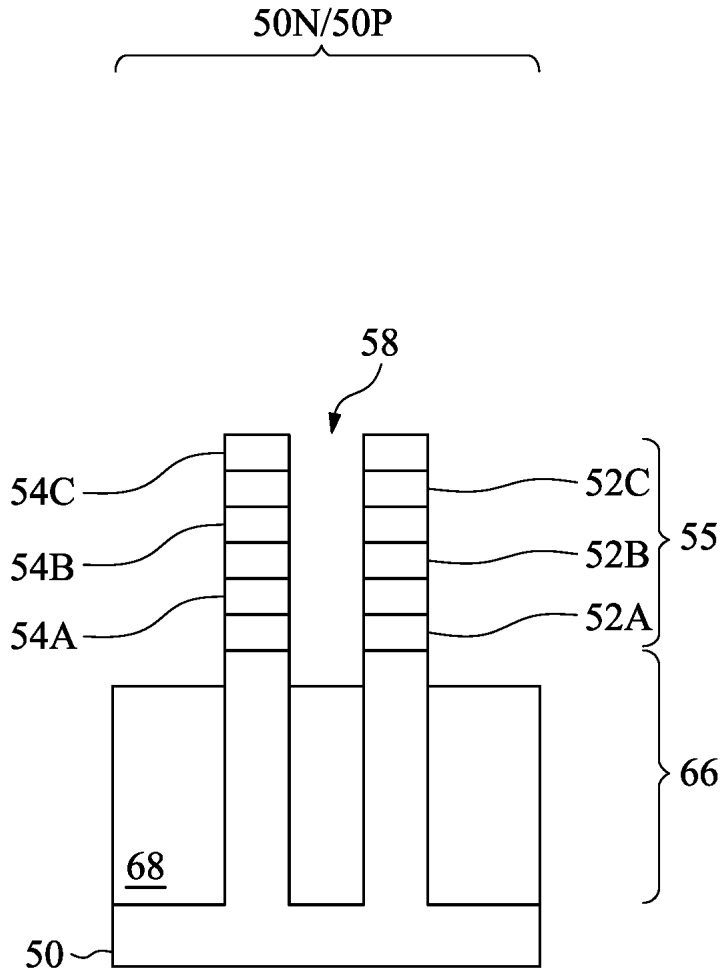
第 1 圖


50N
50P
20
53C
53B
53A
51C
51B
51A
64
50

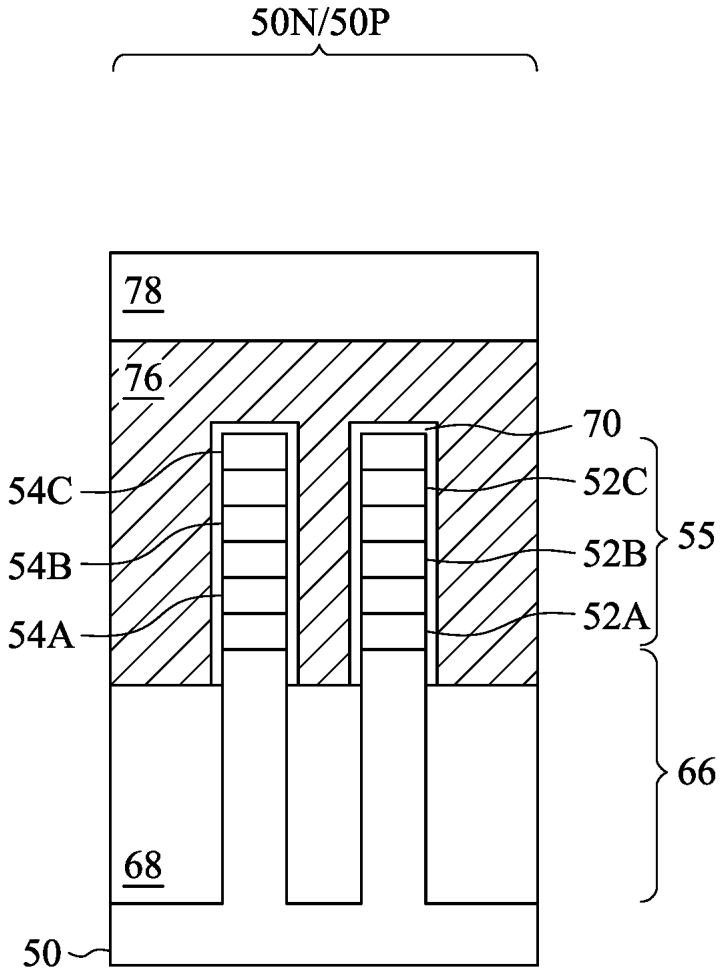
第 2 圖



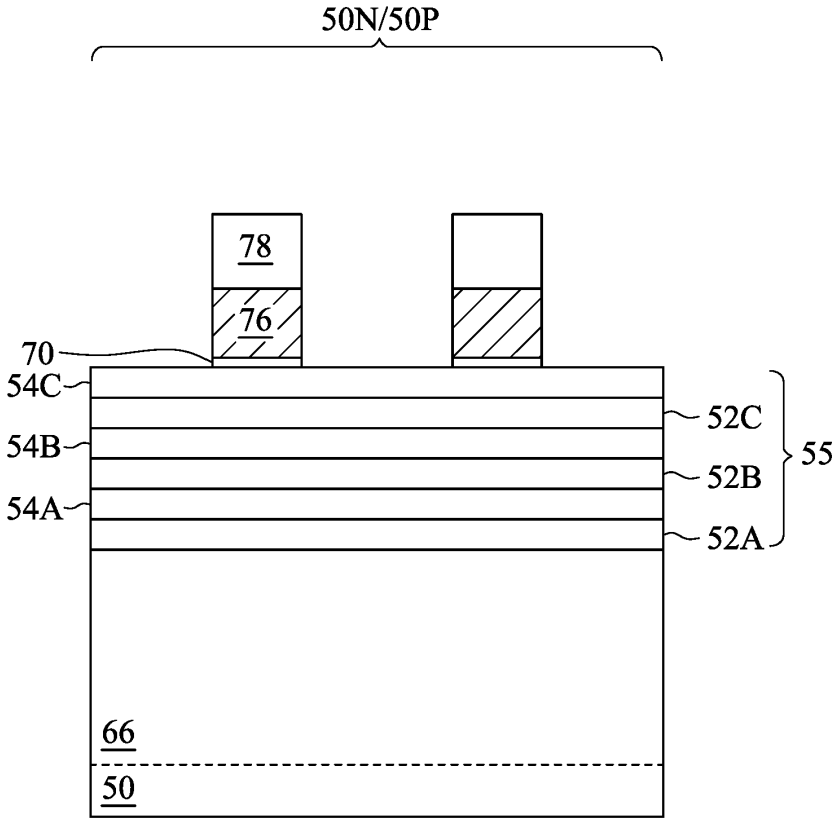
第 3 圖



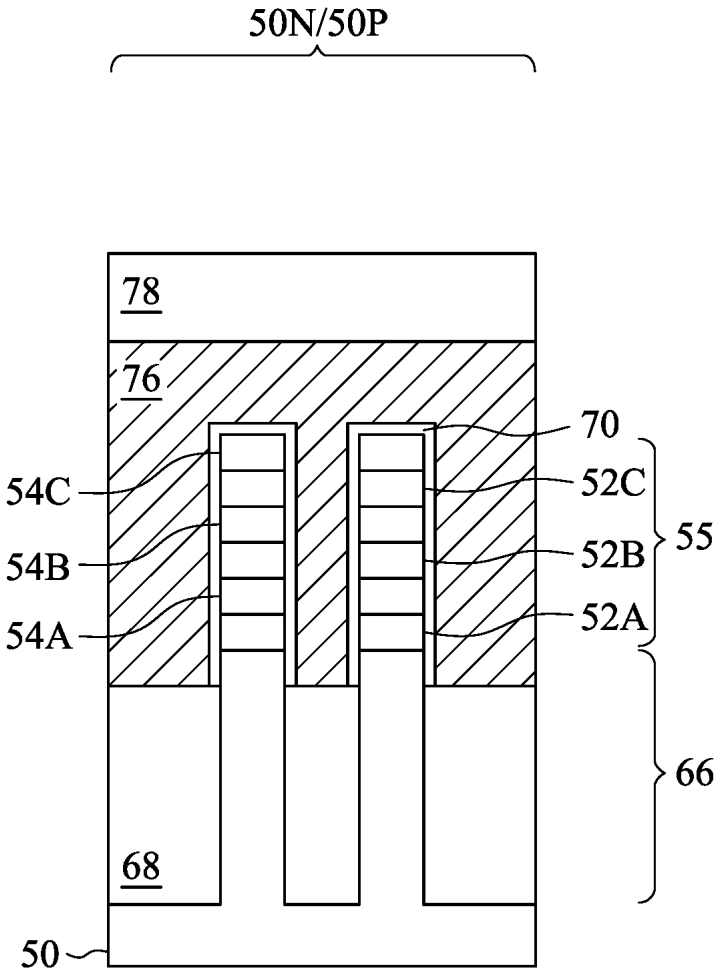
第 4 圖



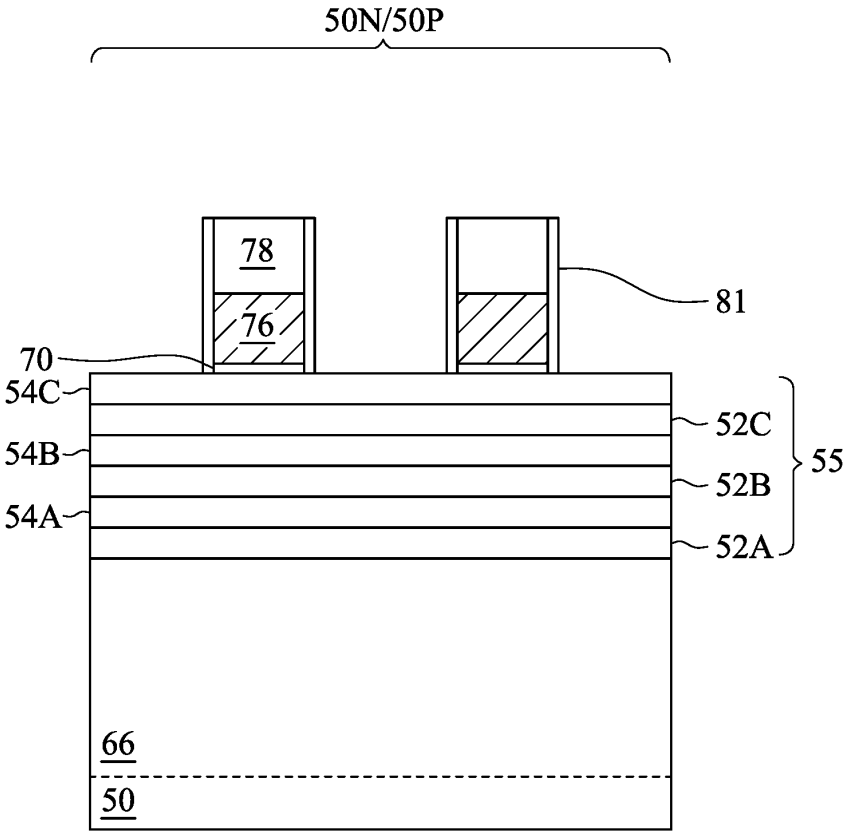
第 5A 圖



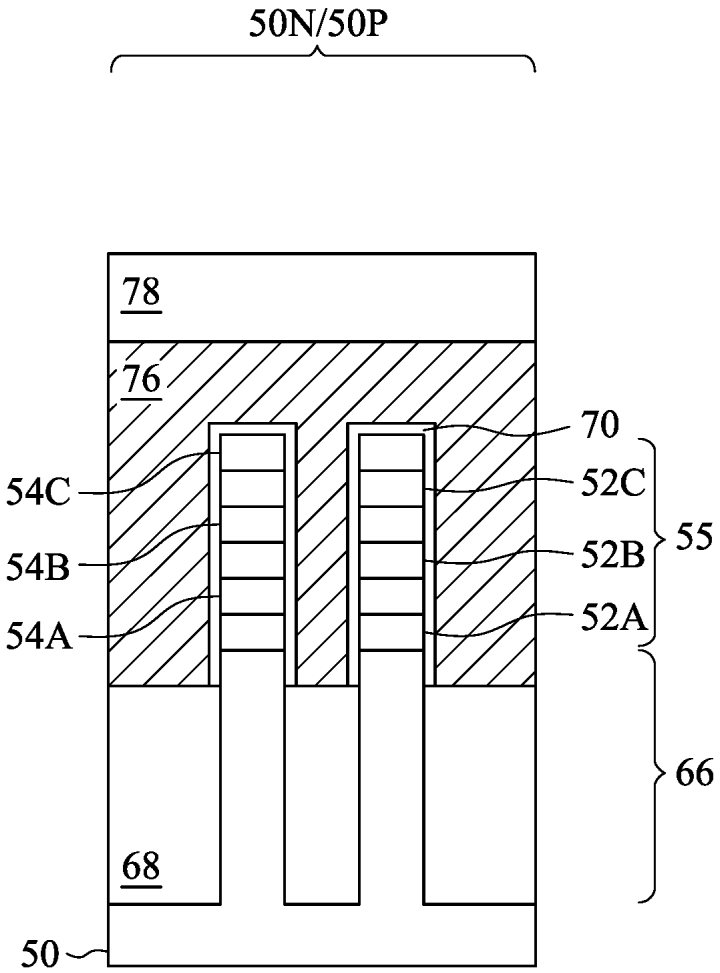
第 5B 圖



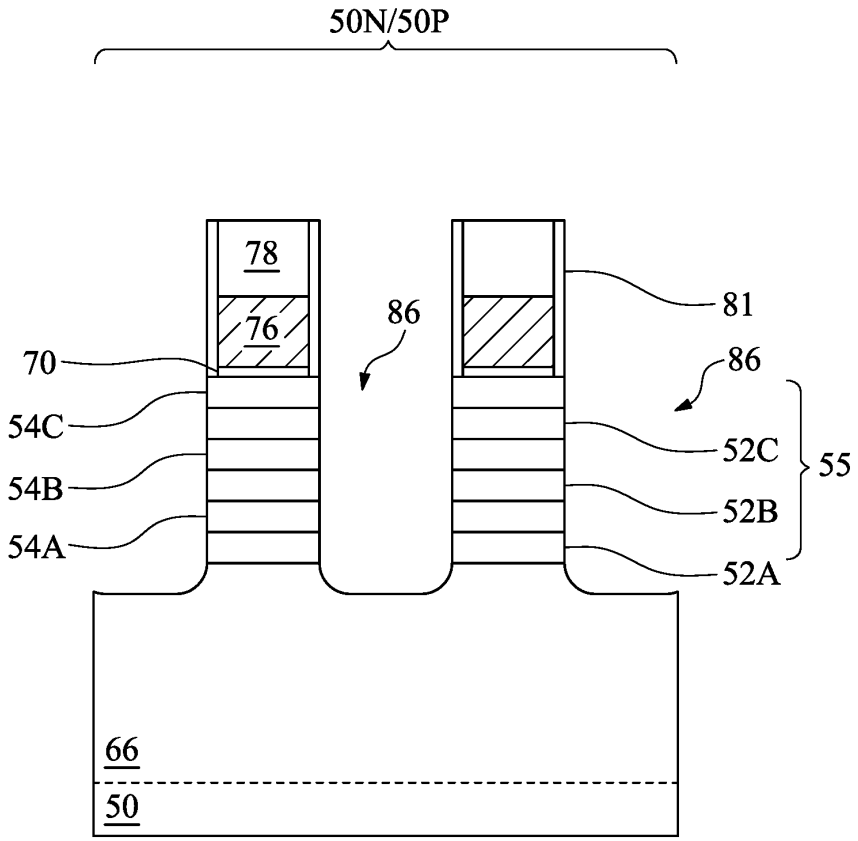
第 6A 圖



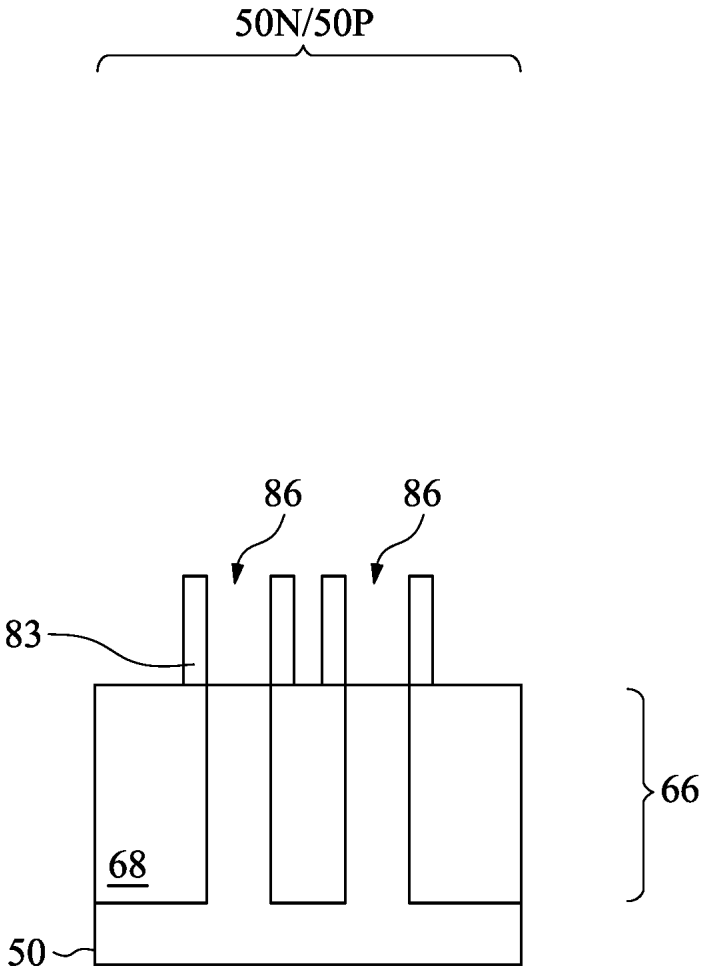
第 6B 圖



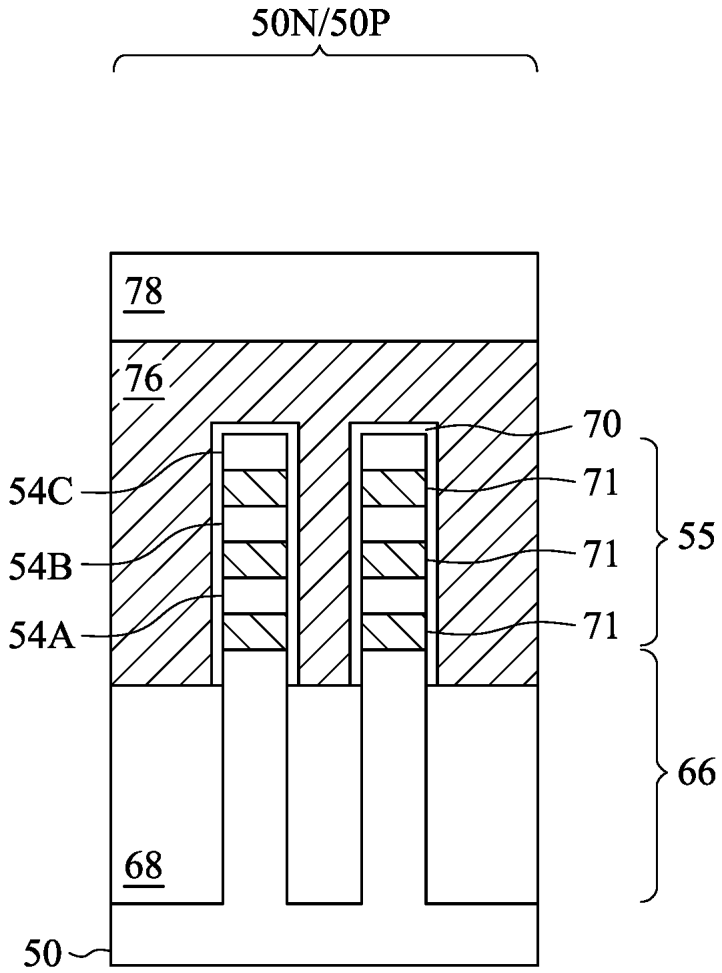
第 7A 圖



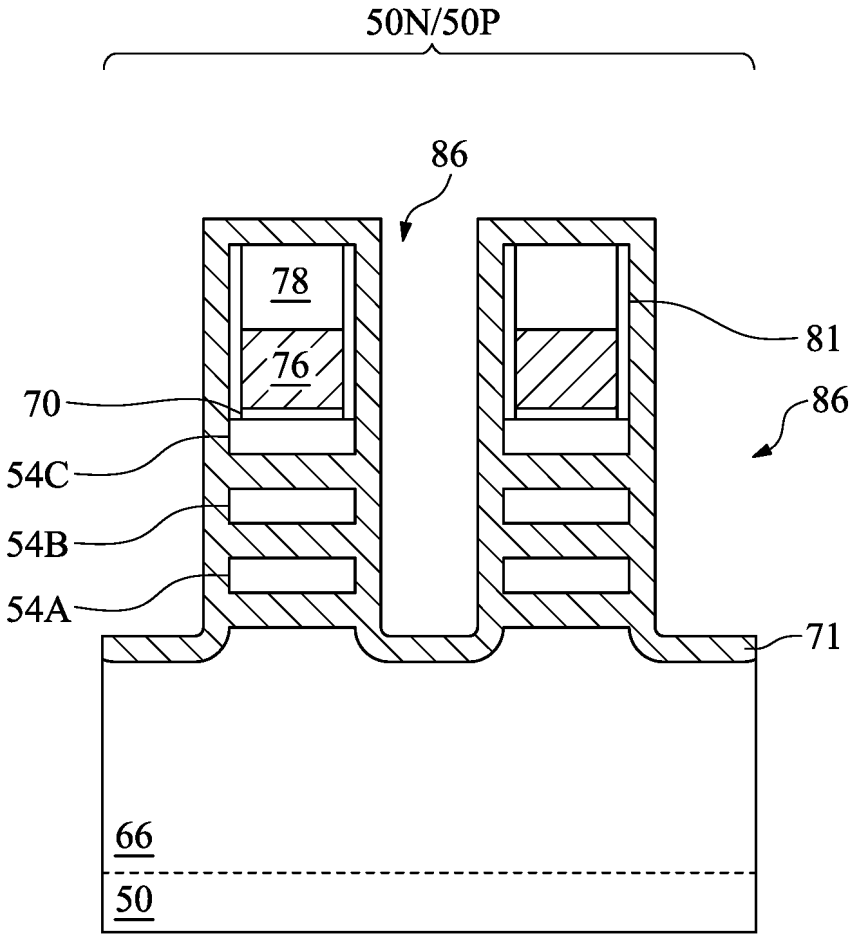
第 7B 圖



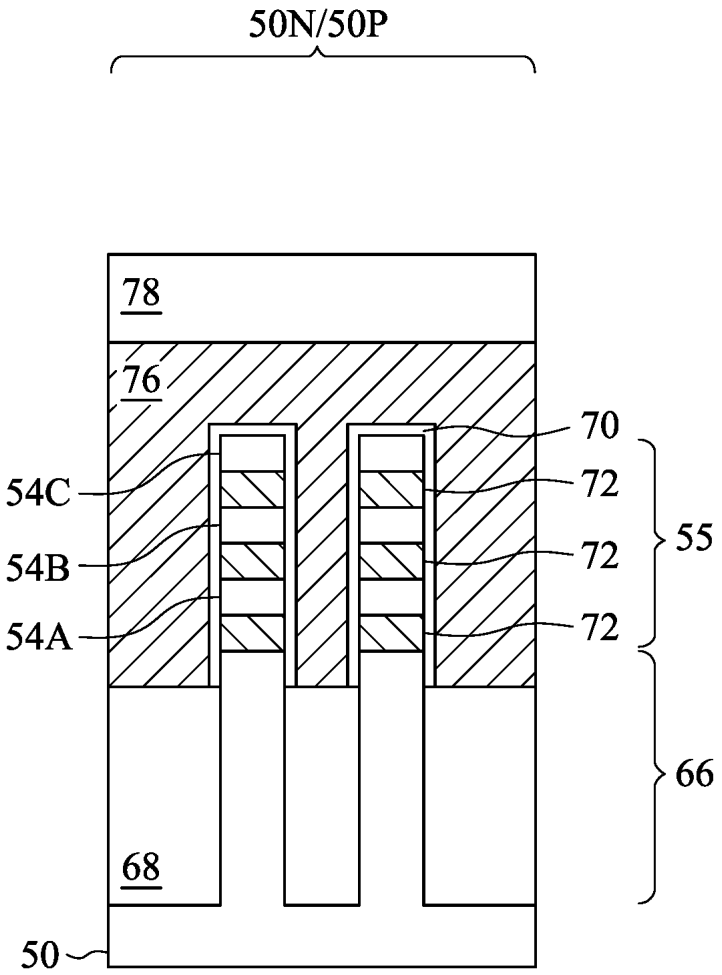
第 7C 圖



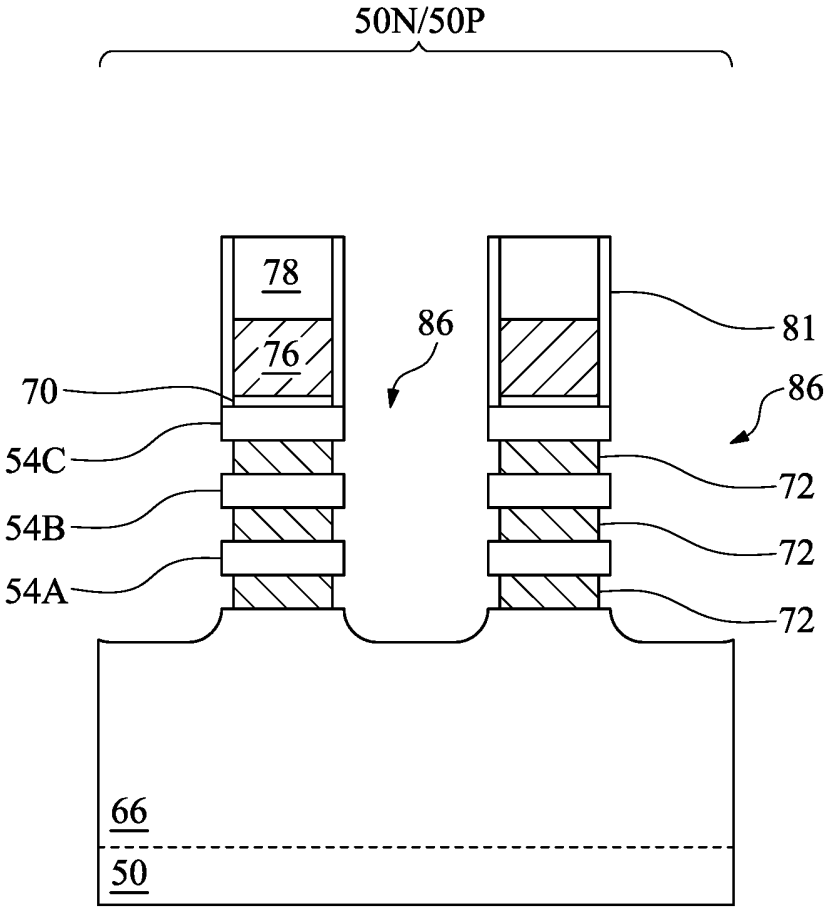
第 8A 圖



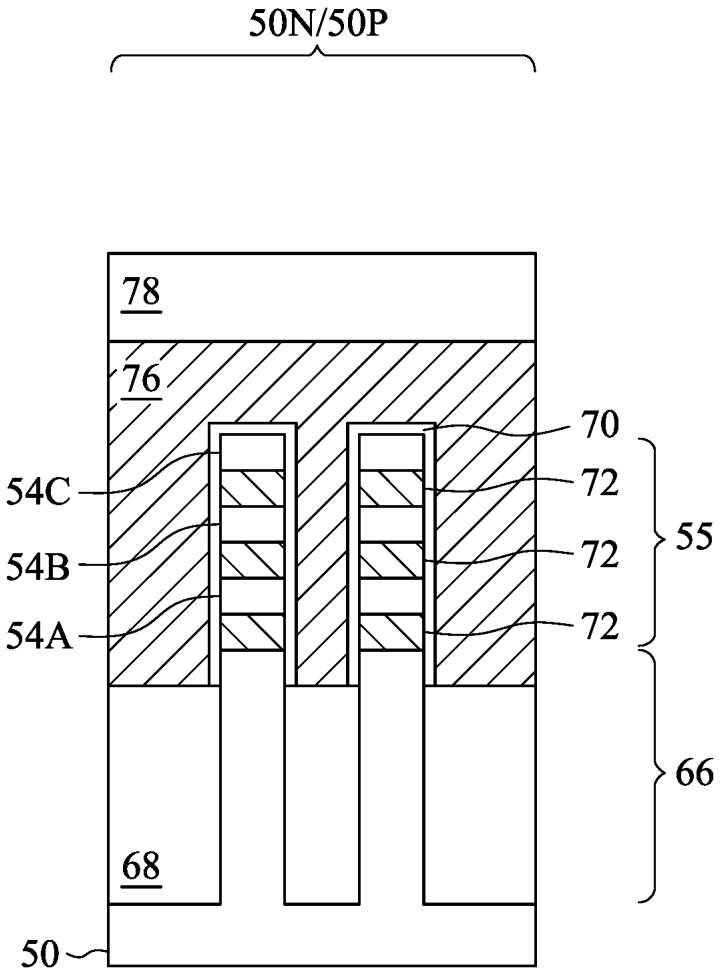
第 8B 圖



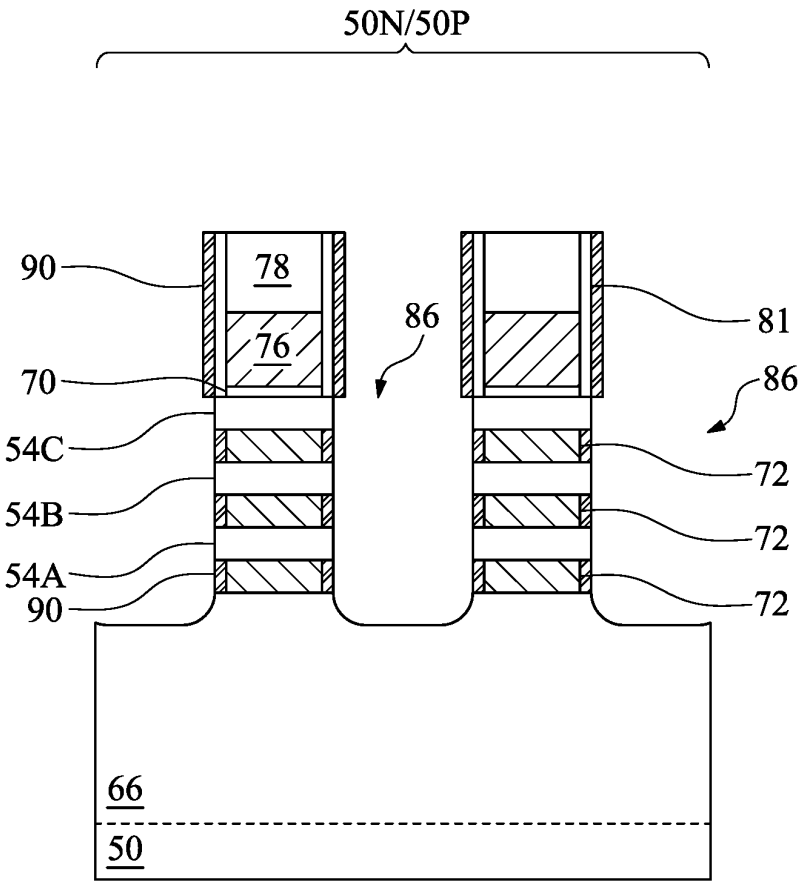
第 9A 圖



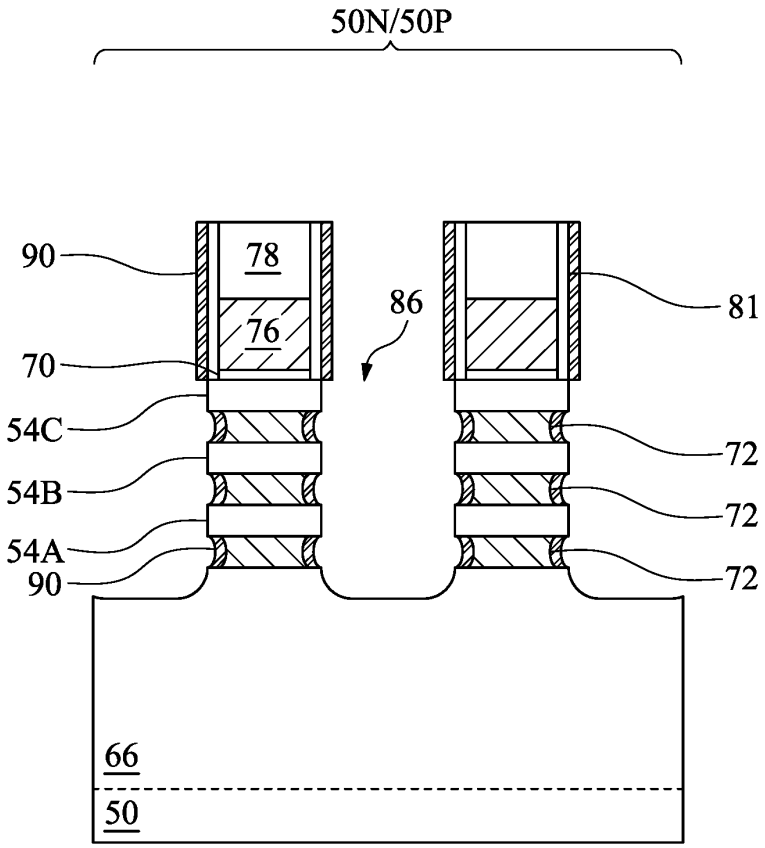
第 9B 圖



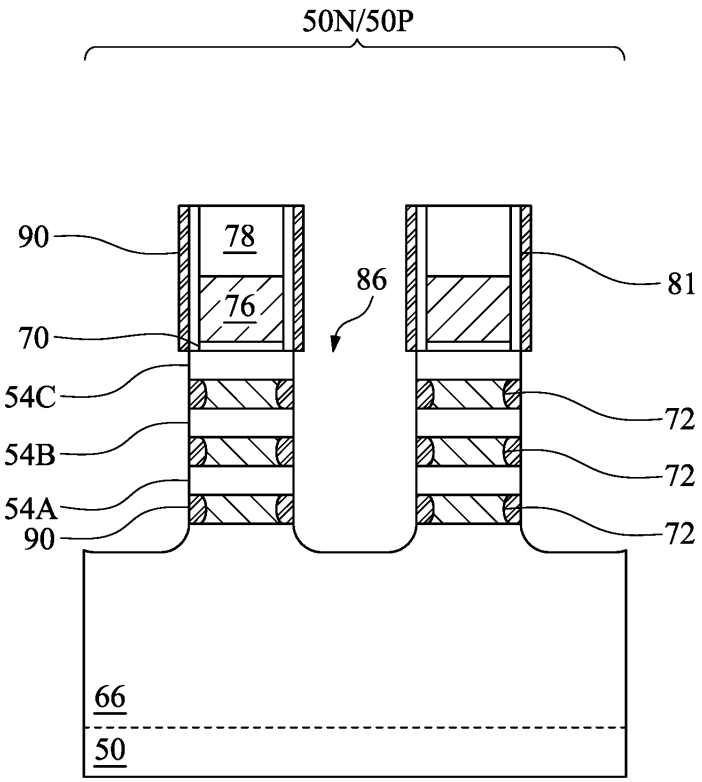
第 10A 圖



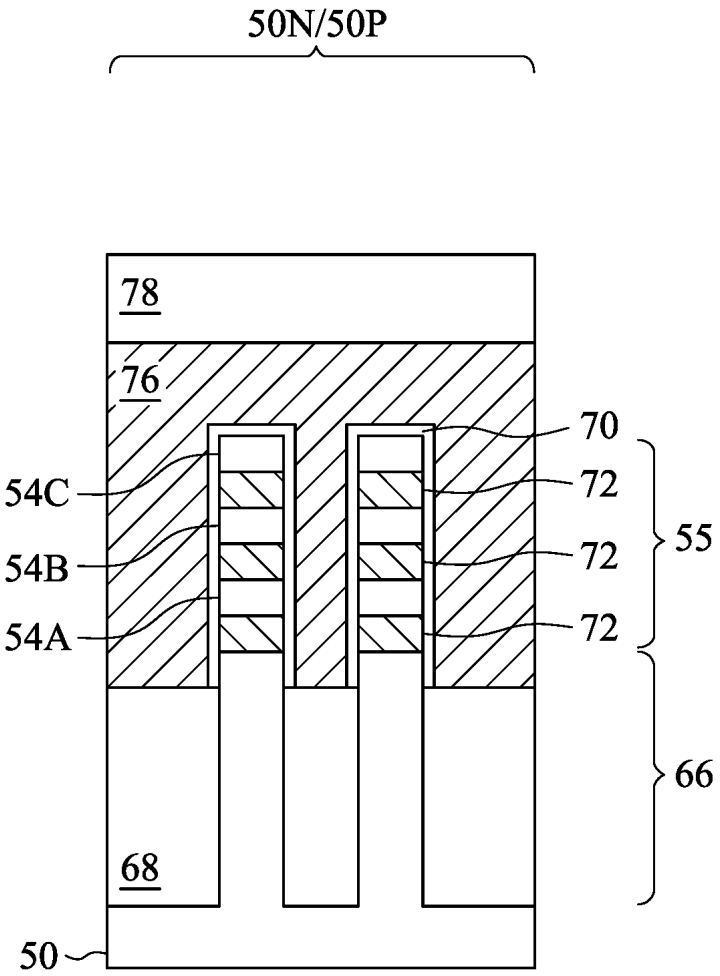
第 10B 圖



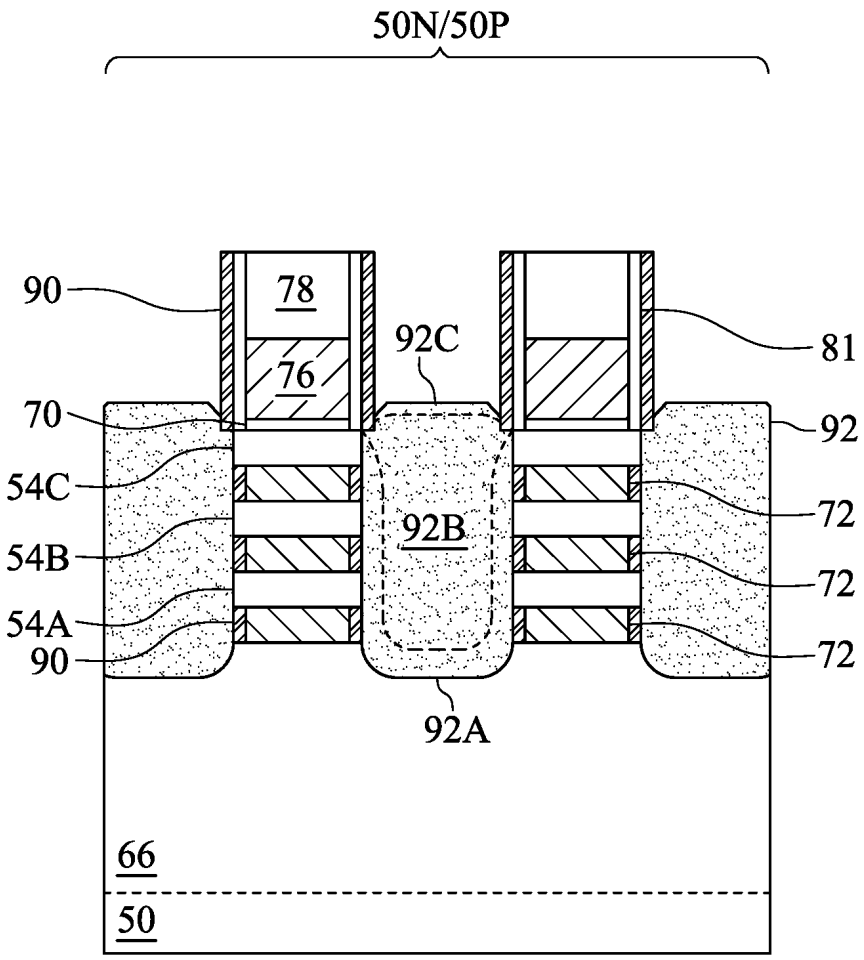
第 10C 圖



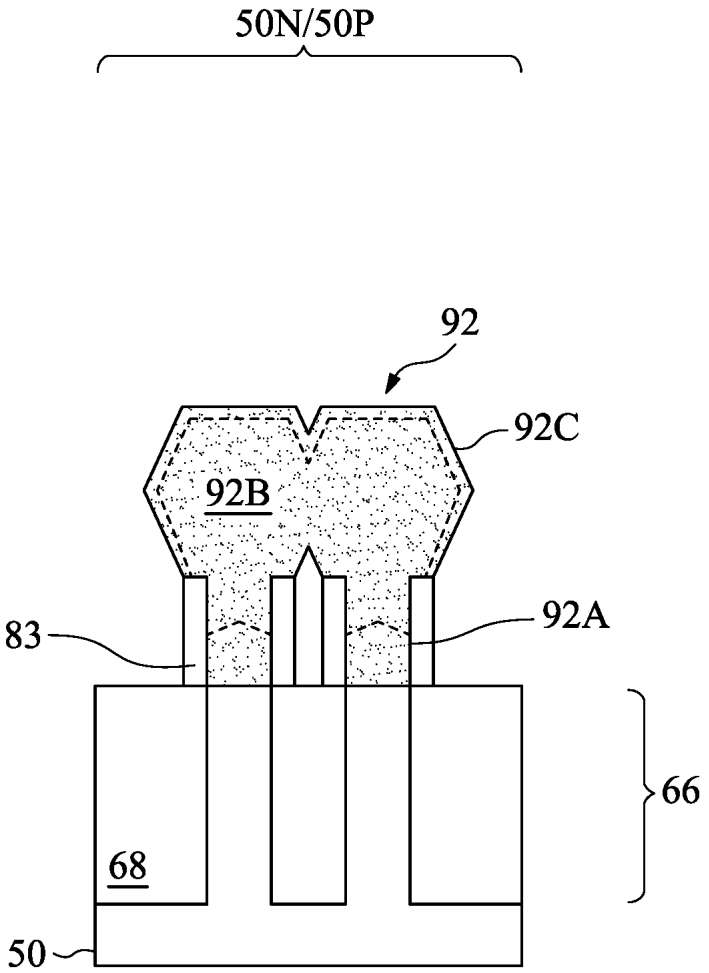
第 10D 圖



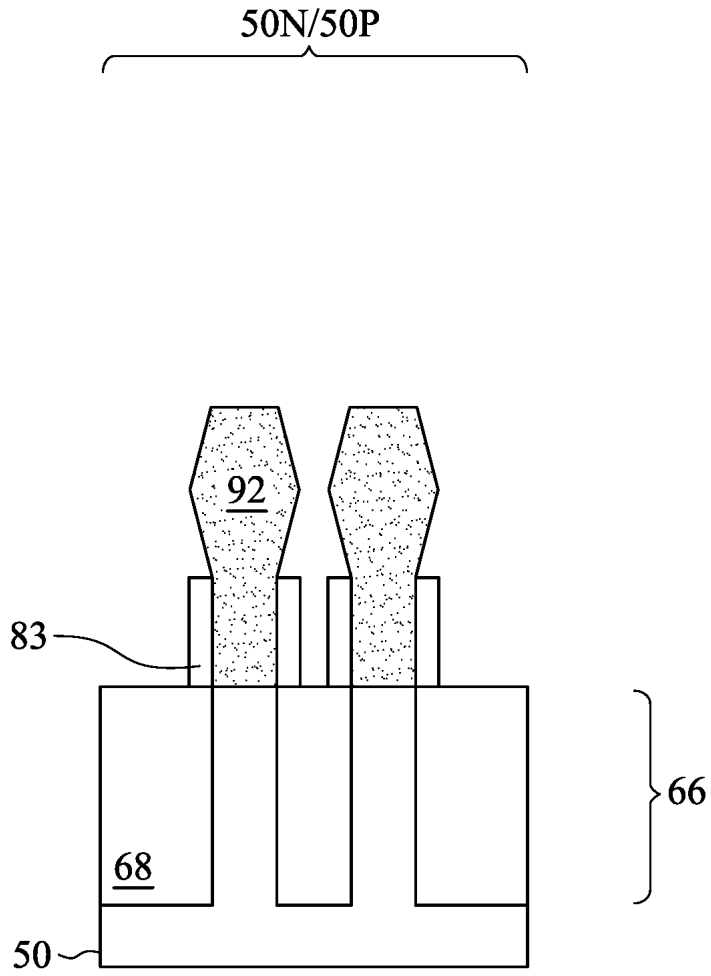
第 11A 圖



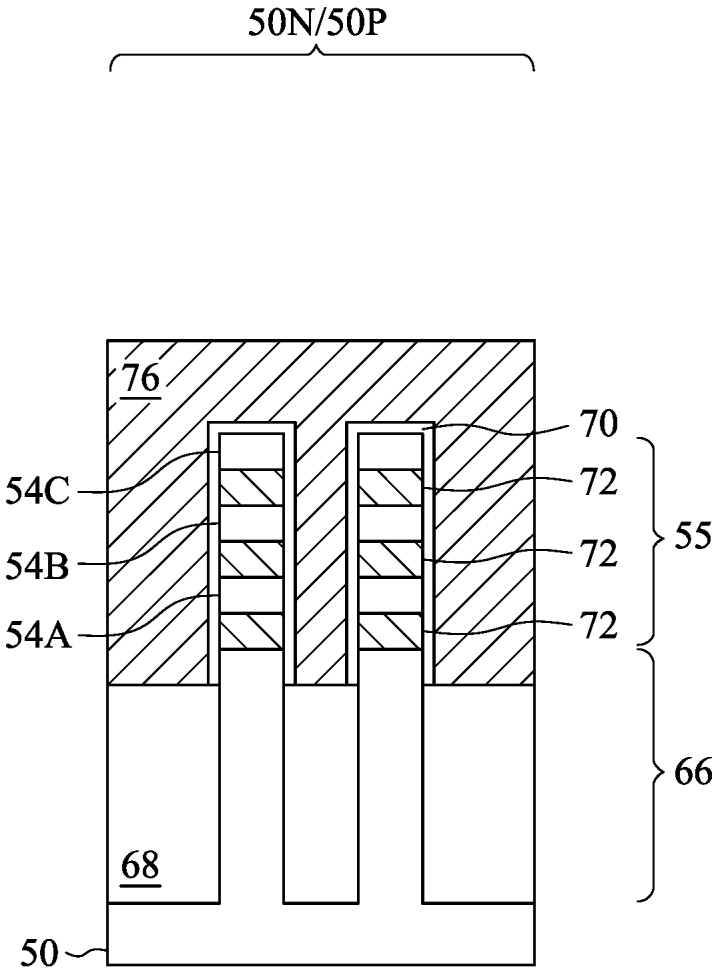
第 11B 圖



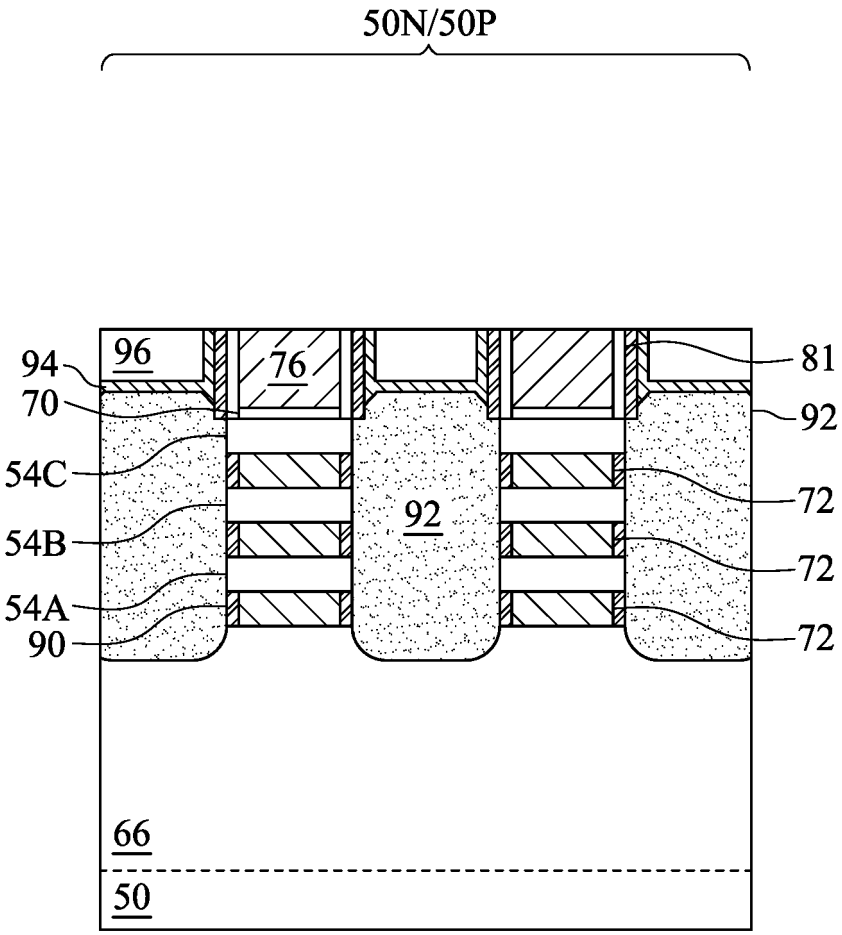
第 11C 圖



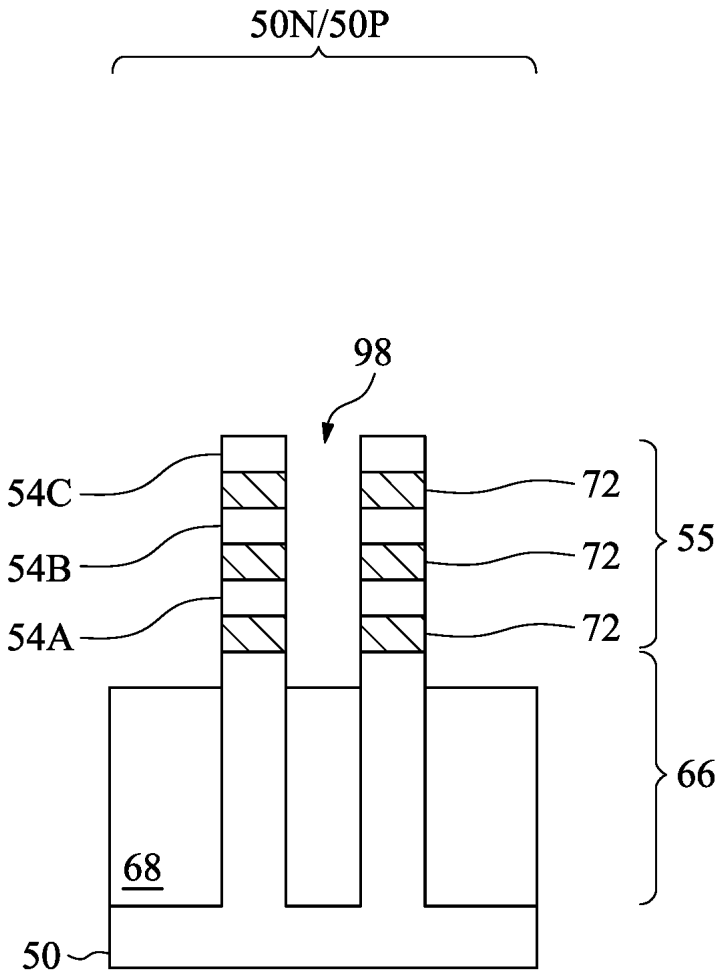
第 11D 圖



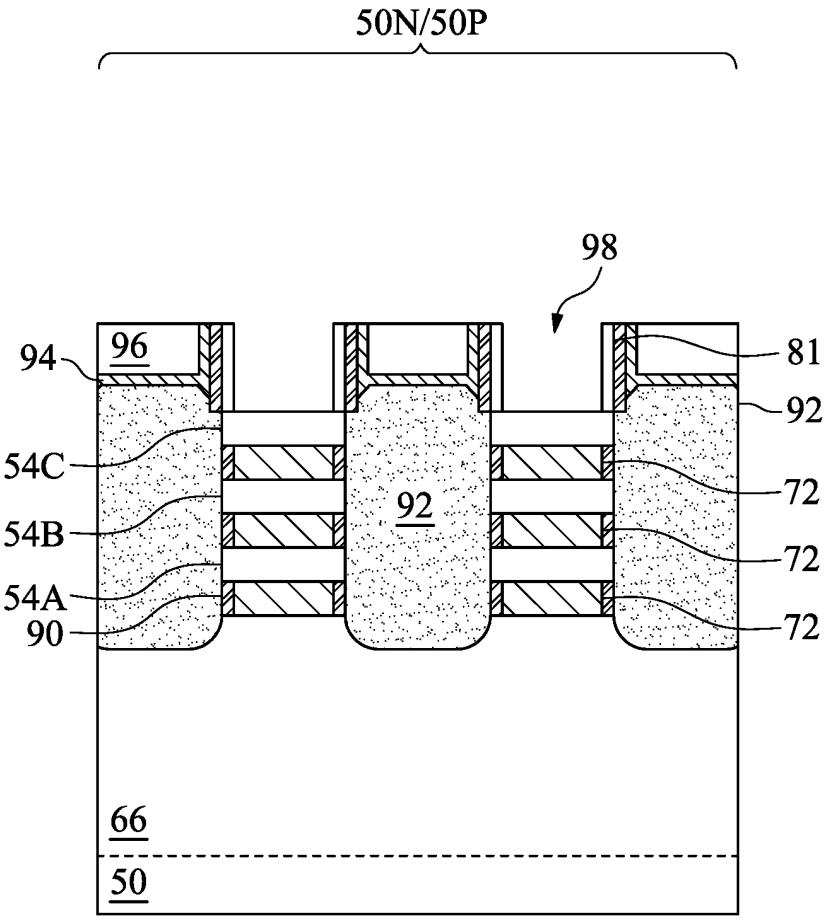
第 12A 圖



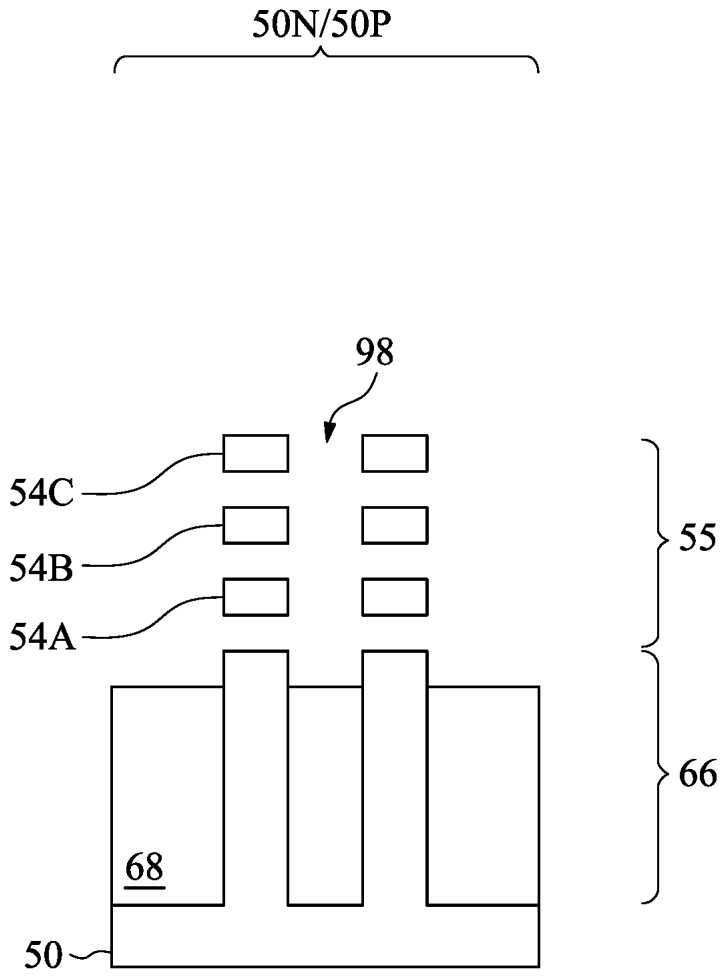
第 12B 圖



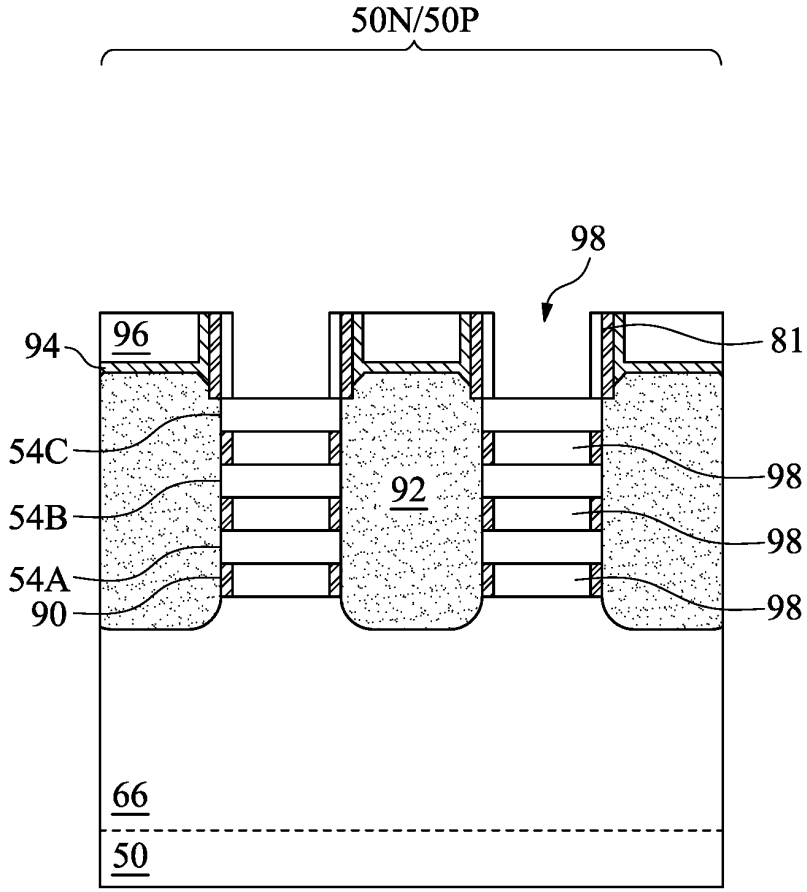
第 13A 圖



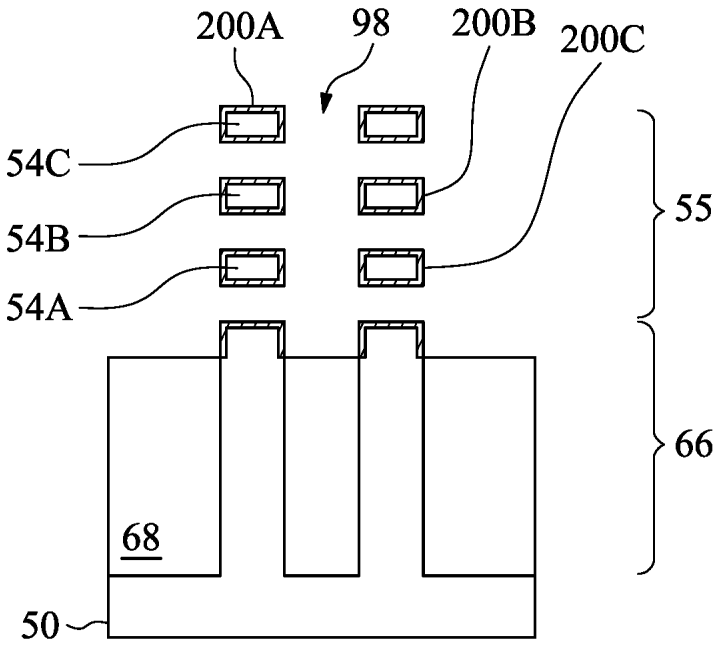
第 13B 圖



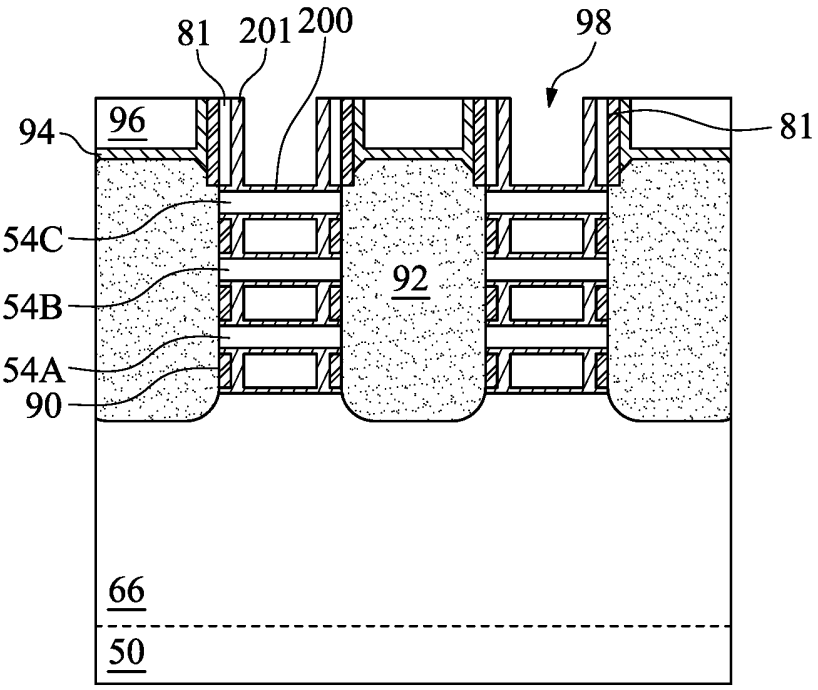
第 14A 圖



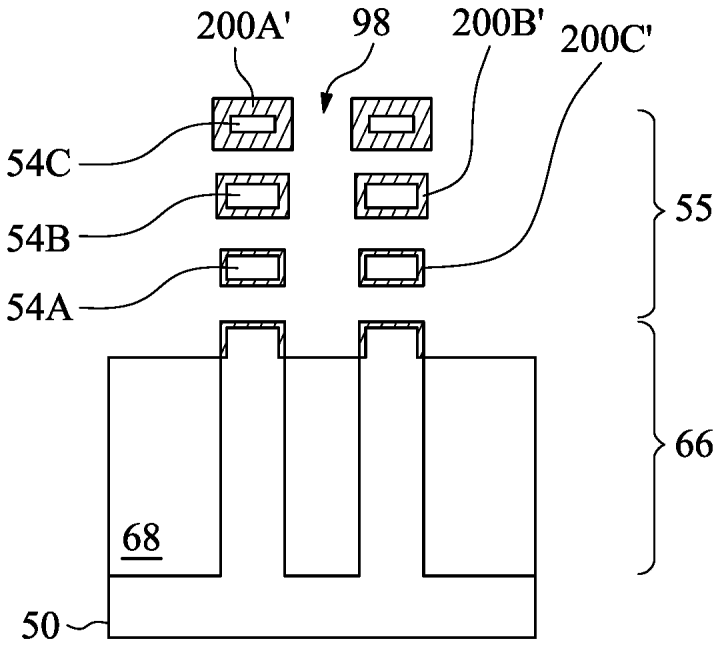
第 14B 圖



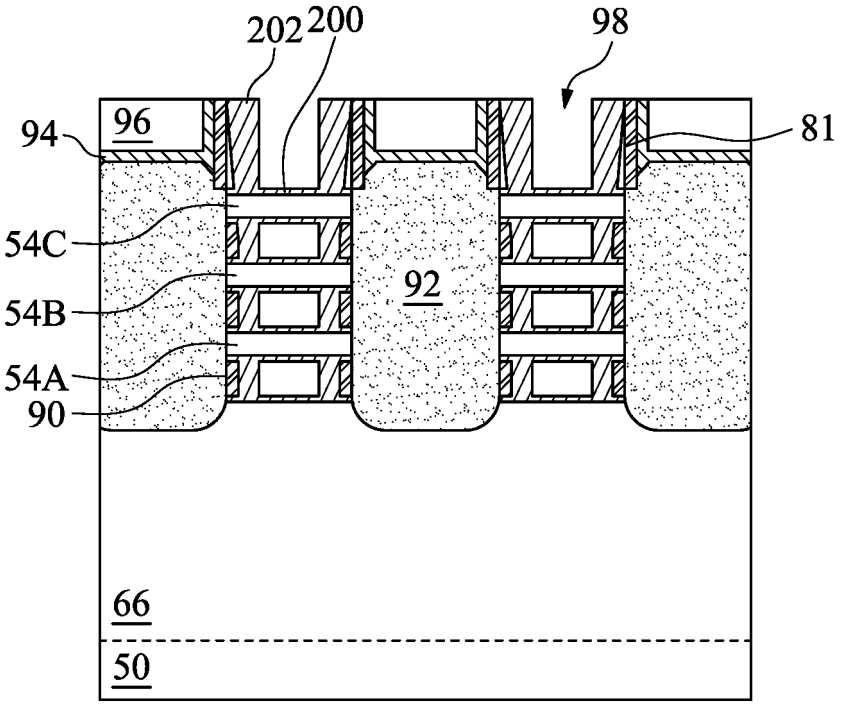
第 15A 圖



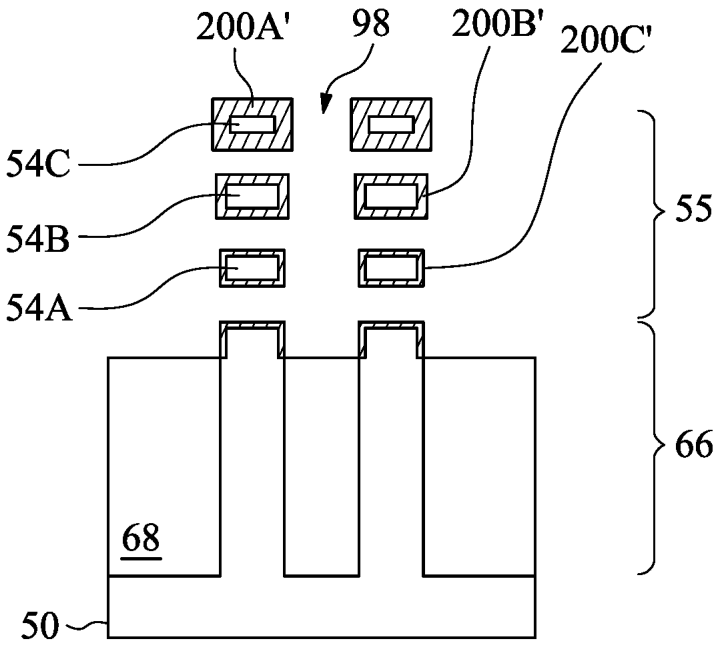
第 15B 圖



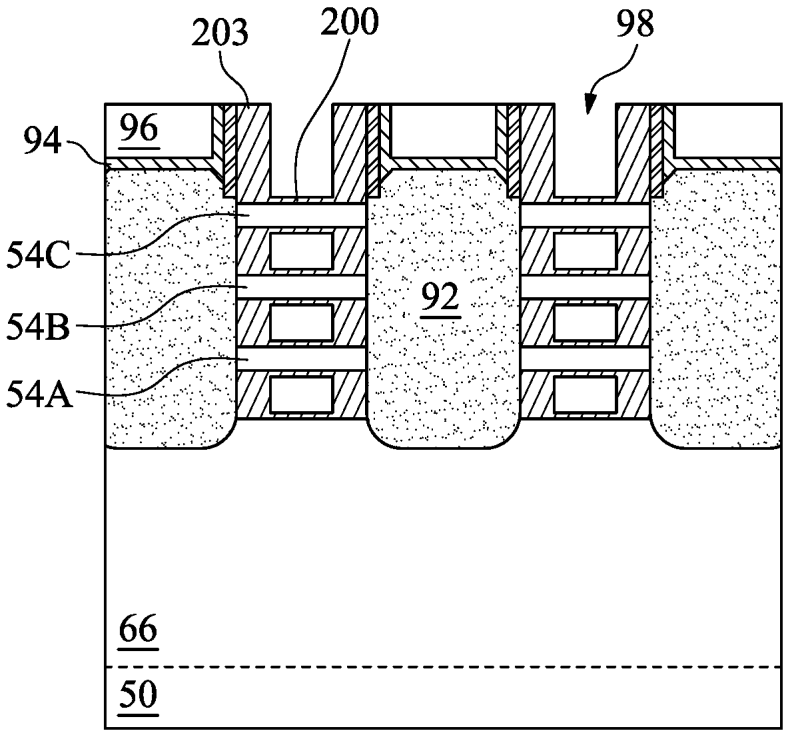
第 15C 圖



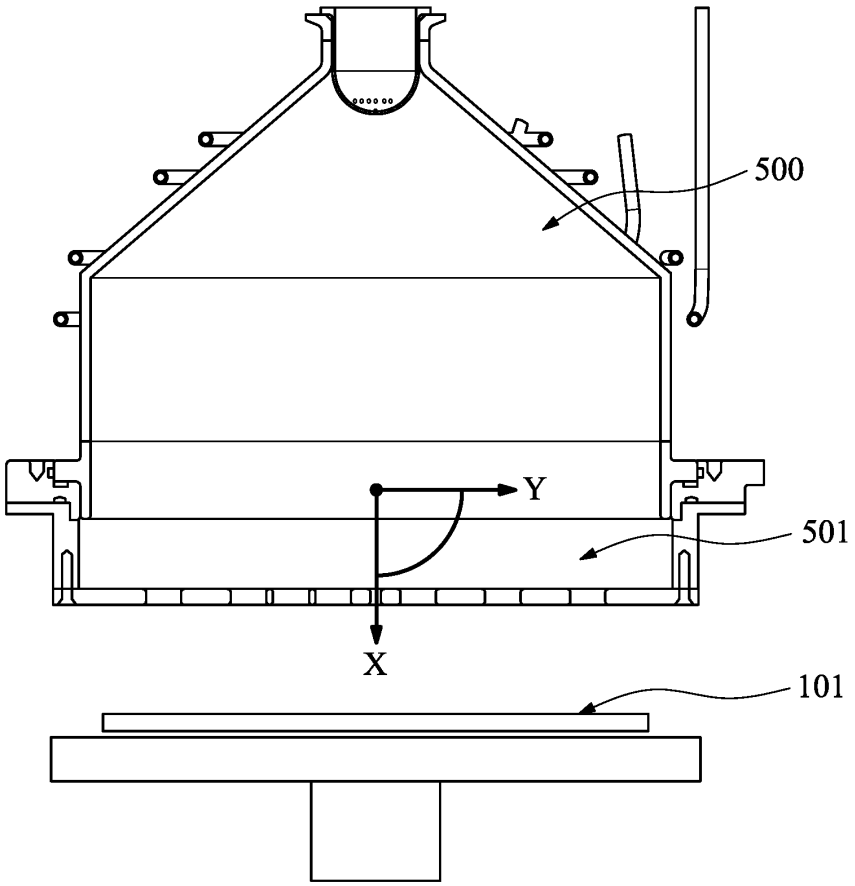
第 15D 圖



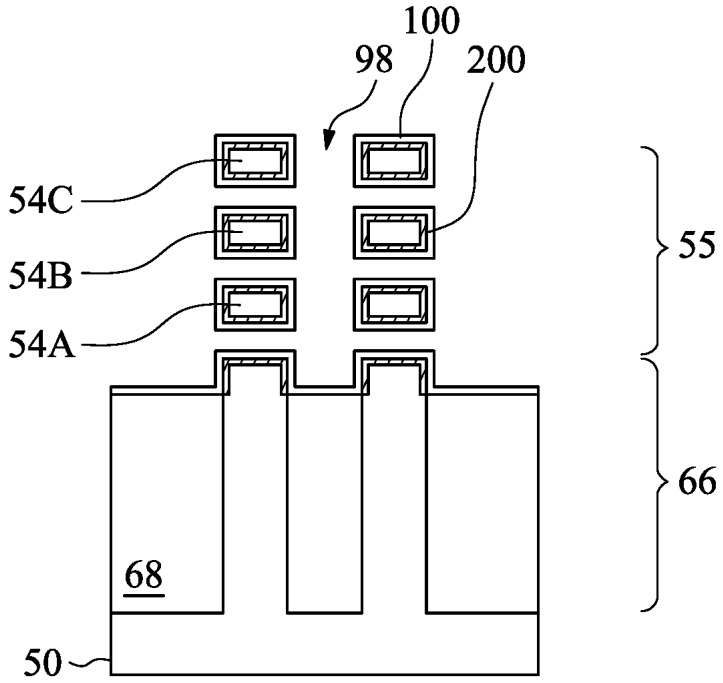
第 15E 圖



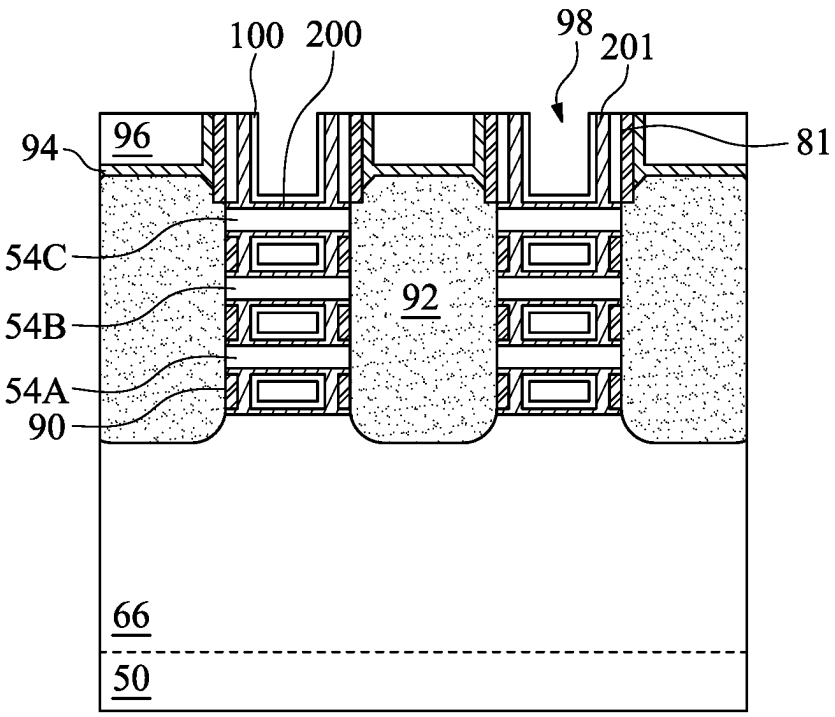
第 15F 圖



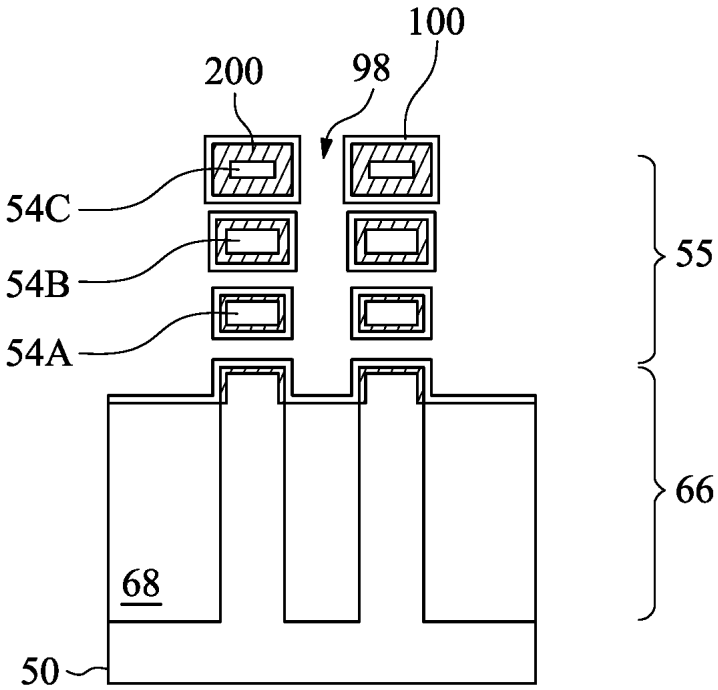
第 16 圖



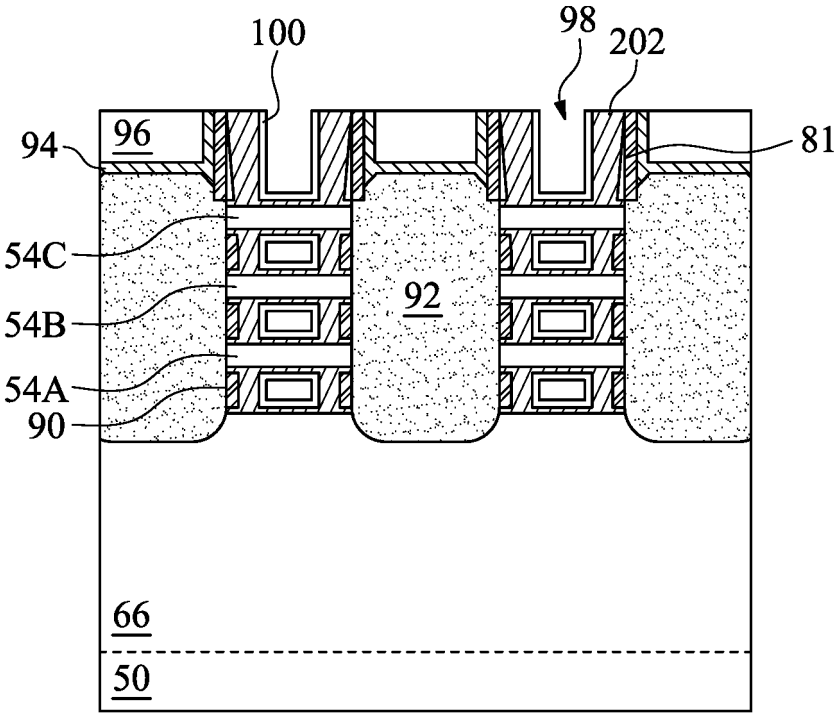
第 17A 圖



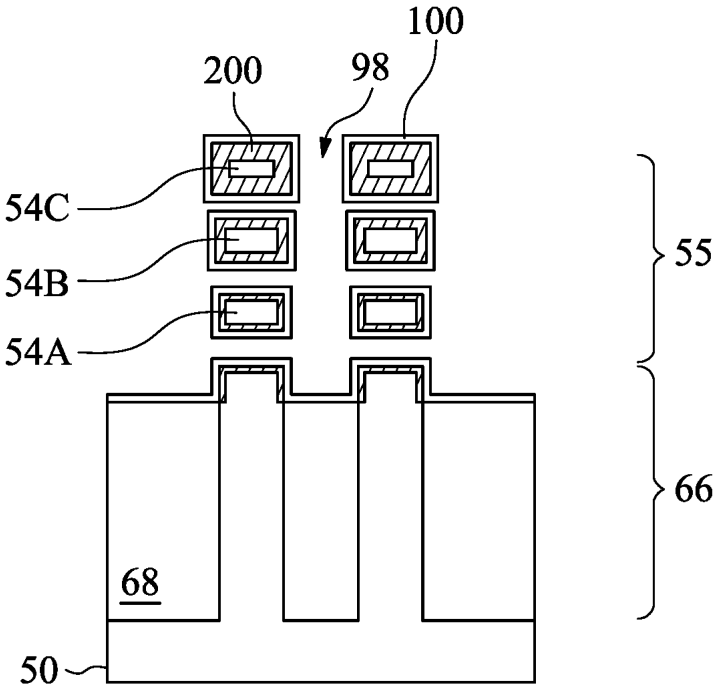
第 17B 圖



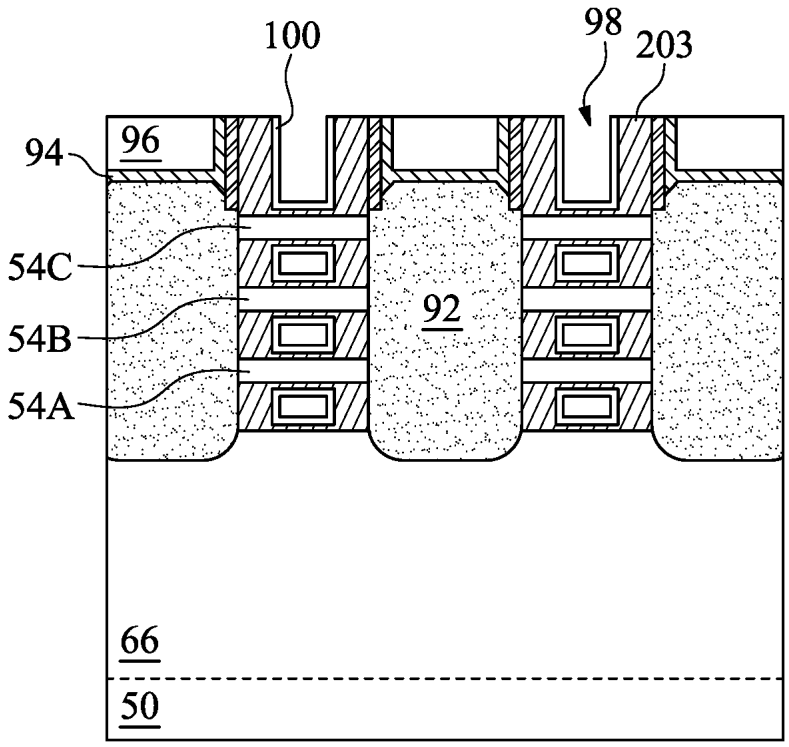
第 17C 圖



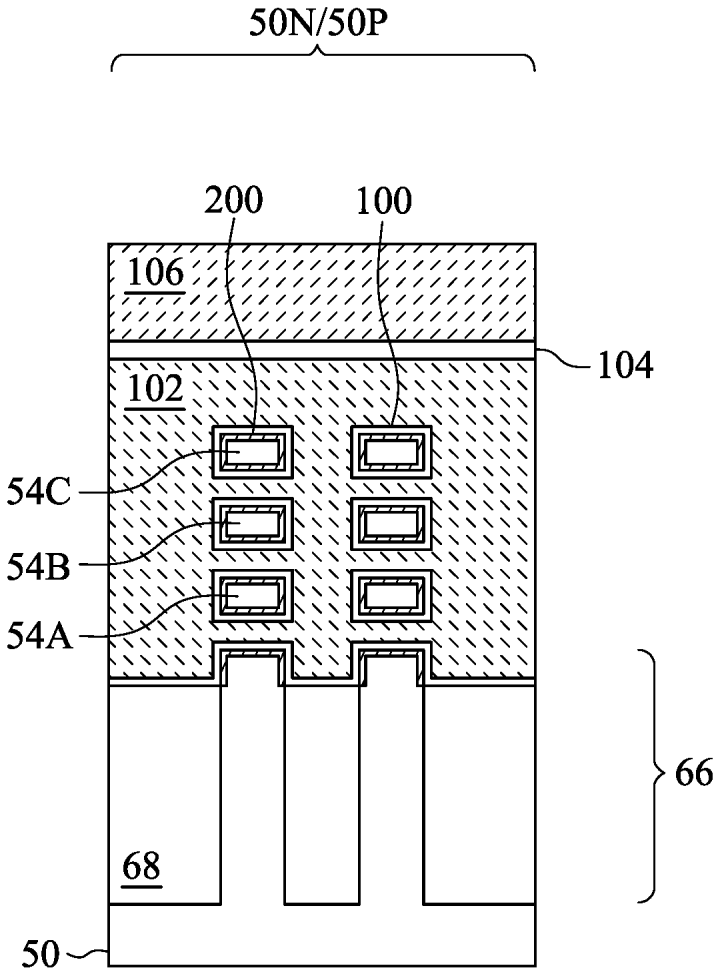
第 17D 圖



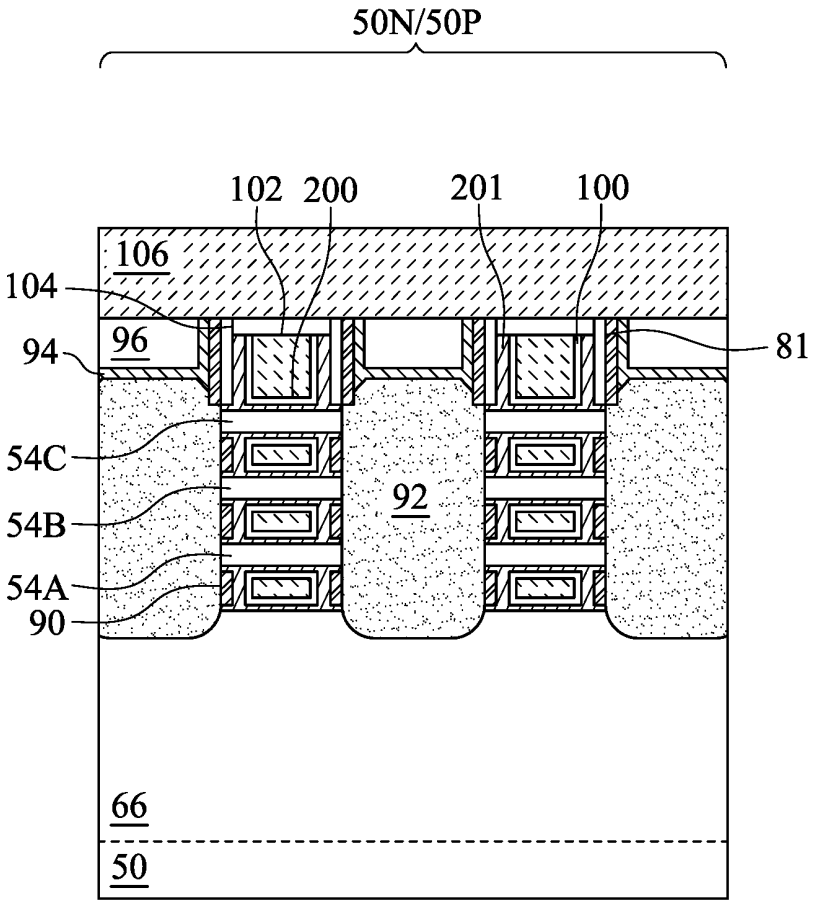
第 17E 圖



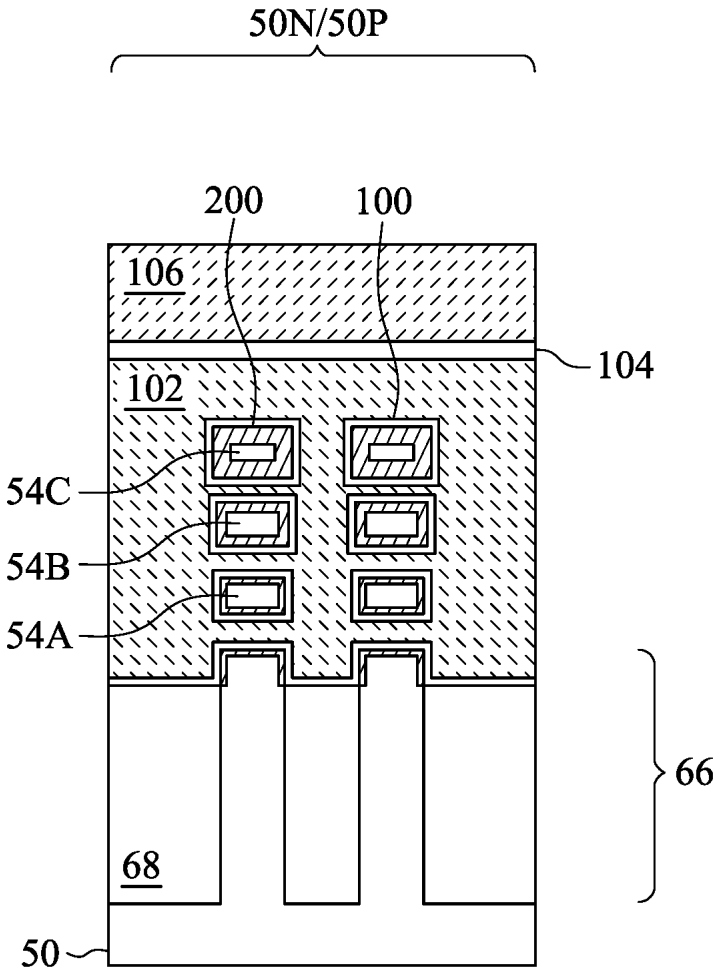
第 17F 圖



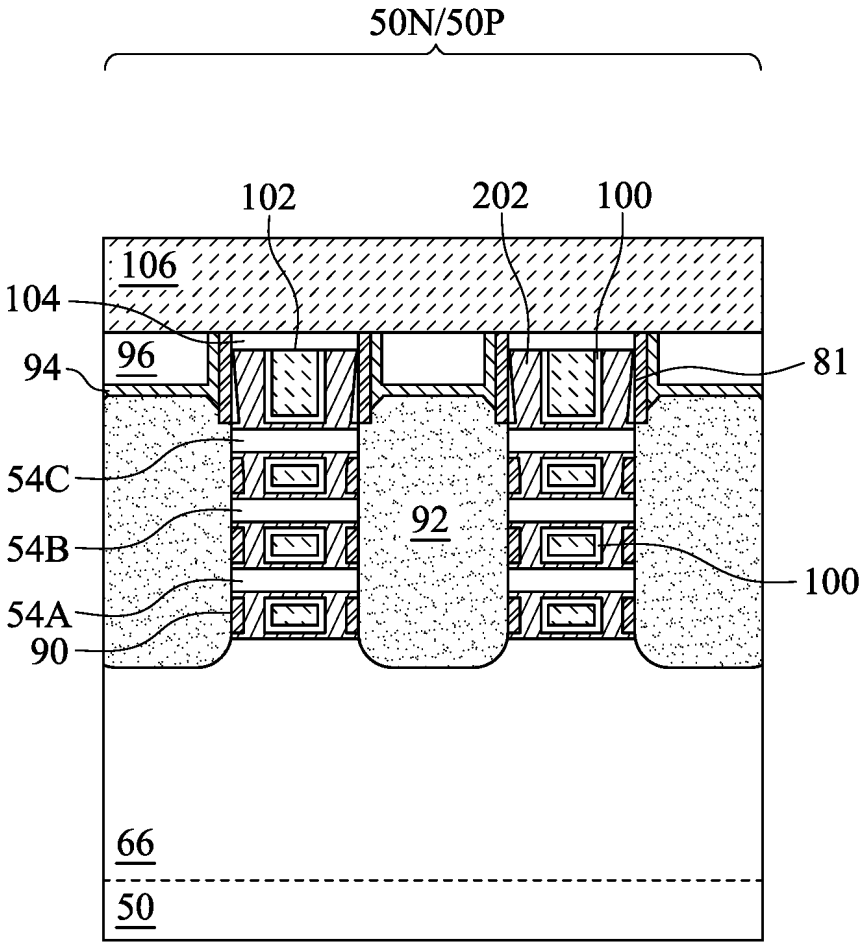
第 18A 圖



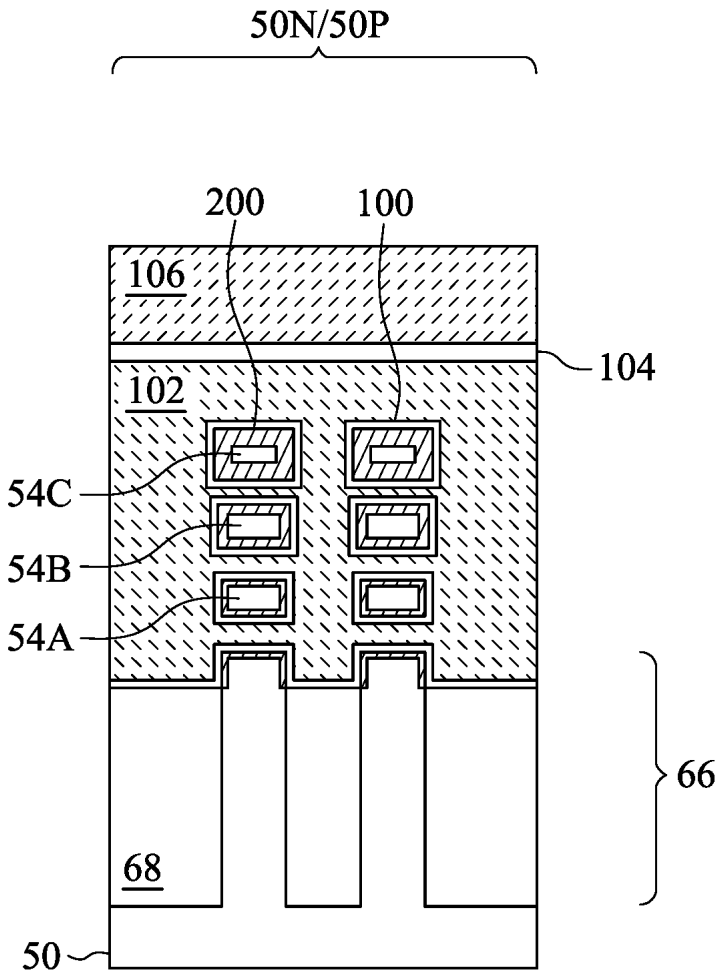
第 18B 圖



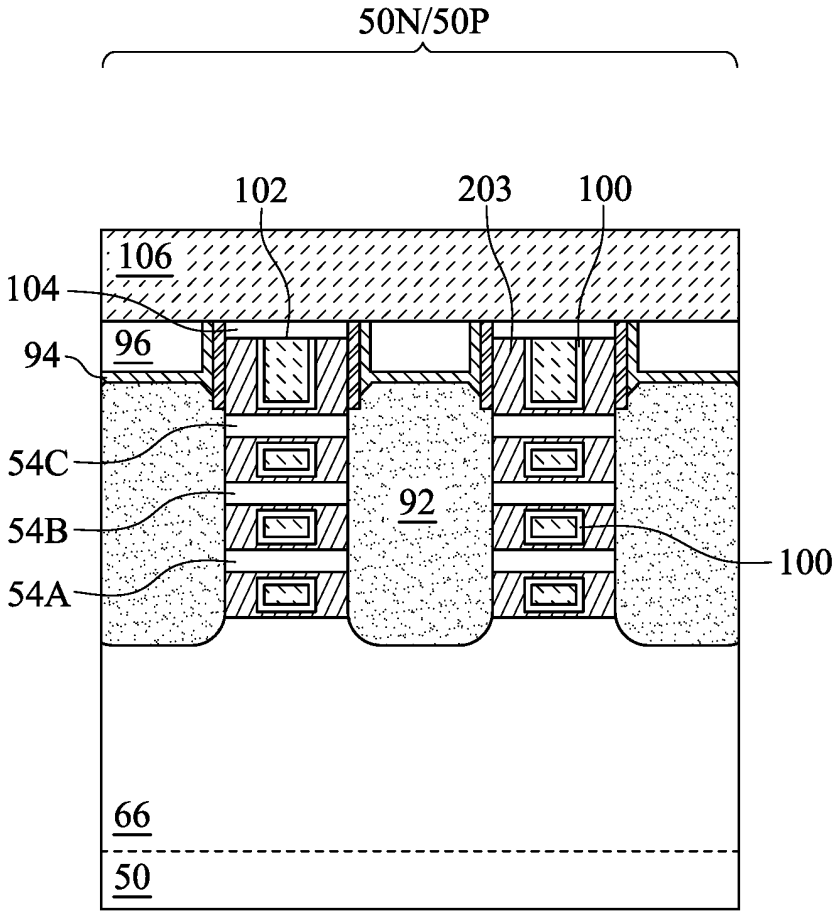
第 18C 圖



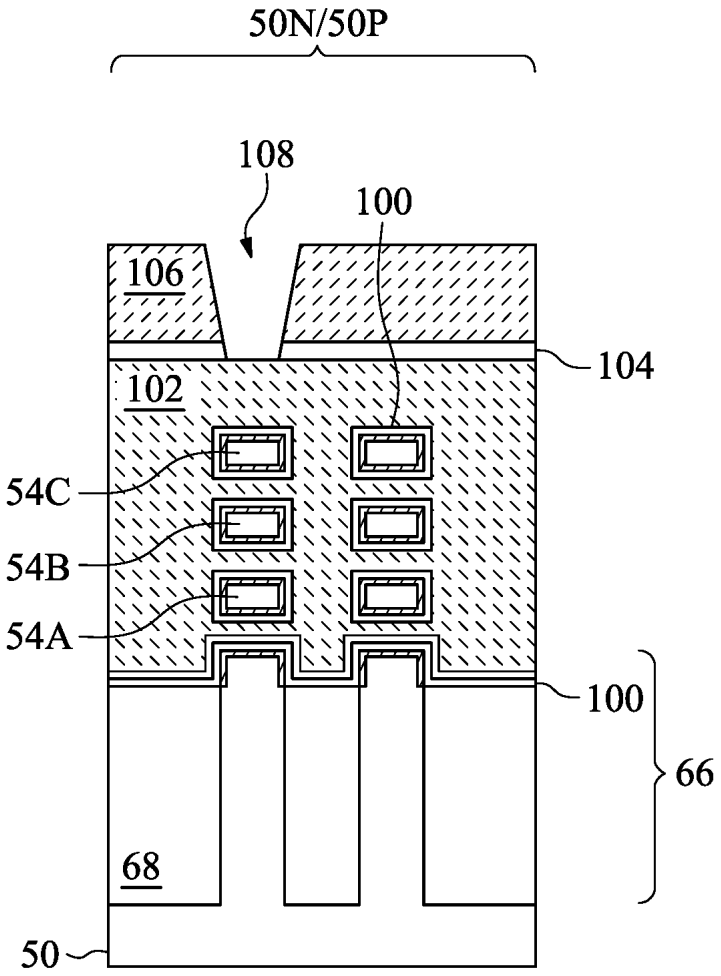
第 18D 圖



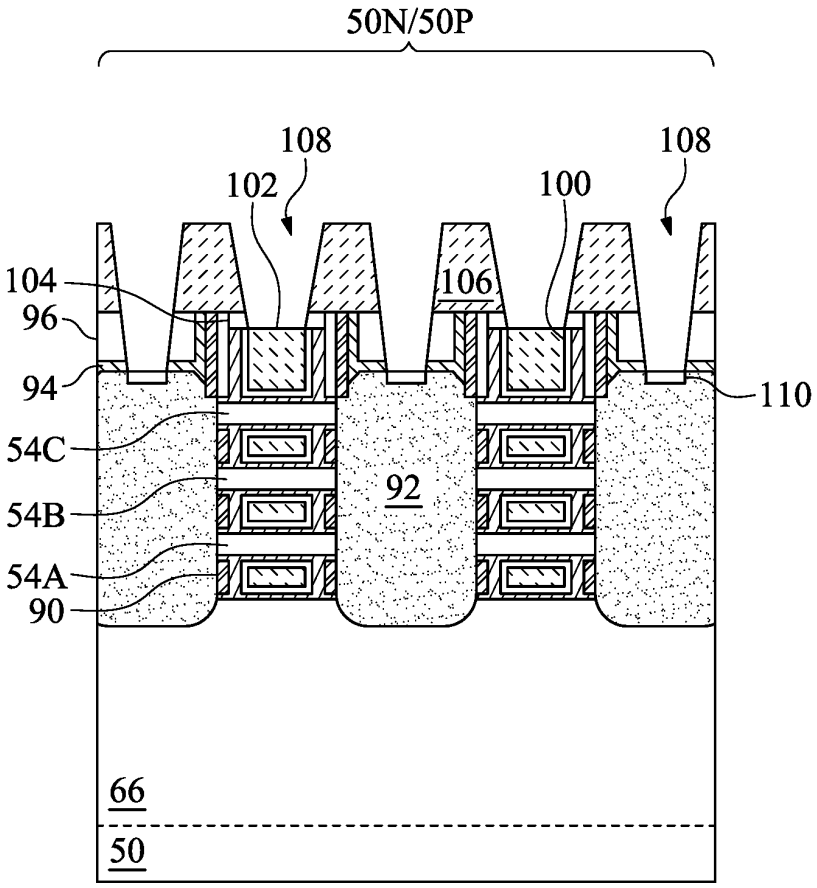
第 18E 圖



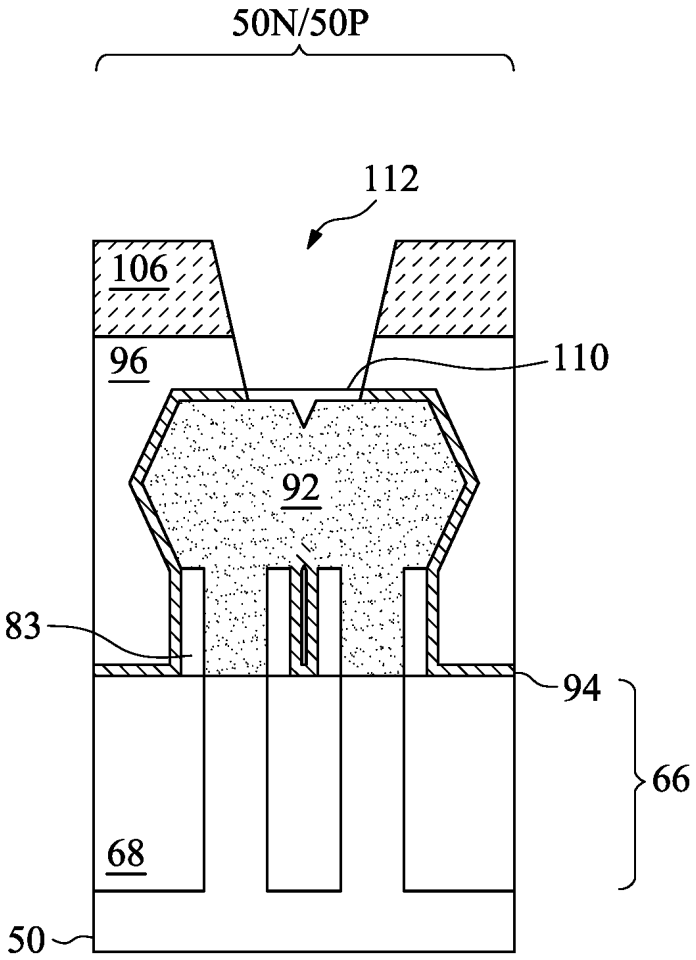
第 18F 圖



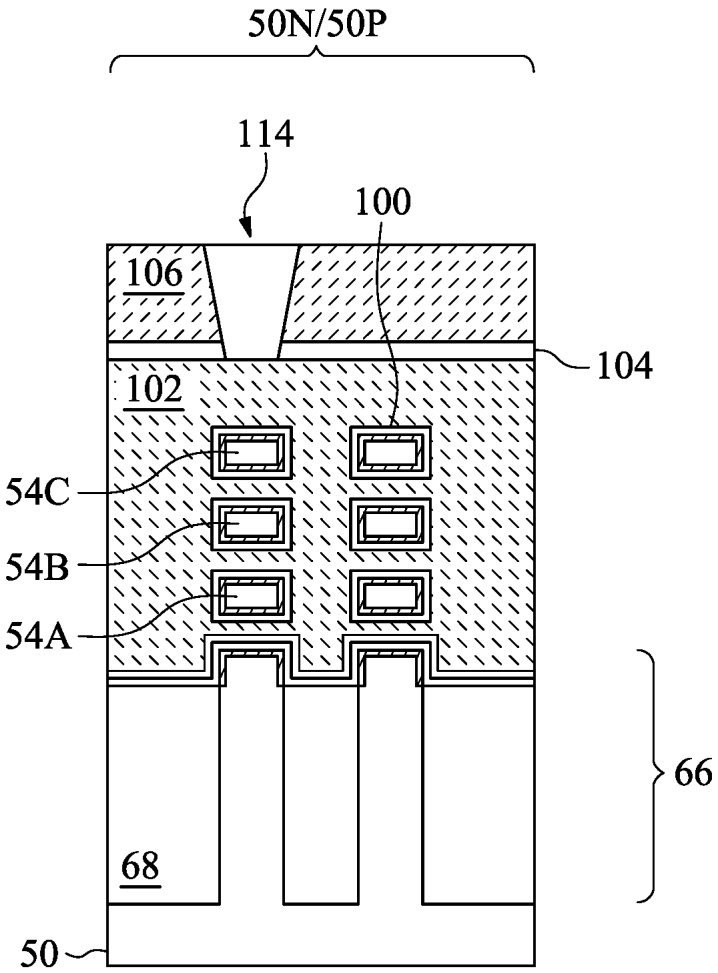
第 19A 圖



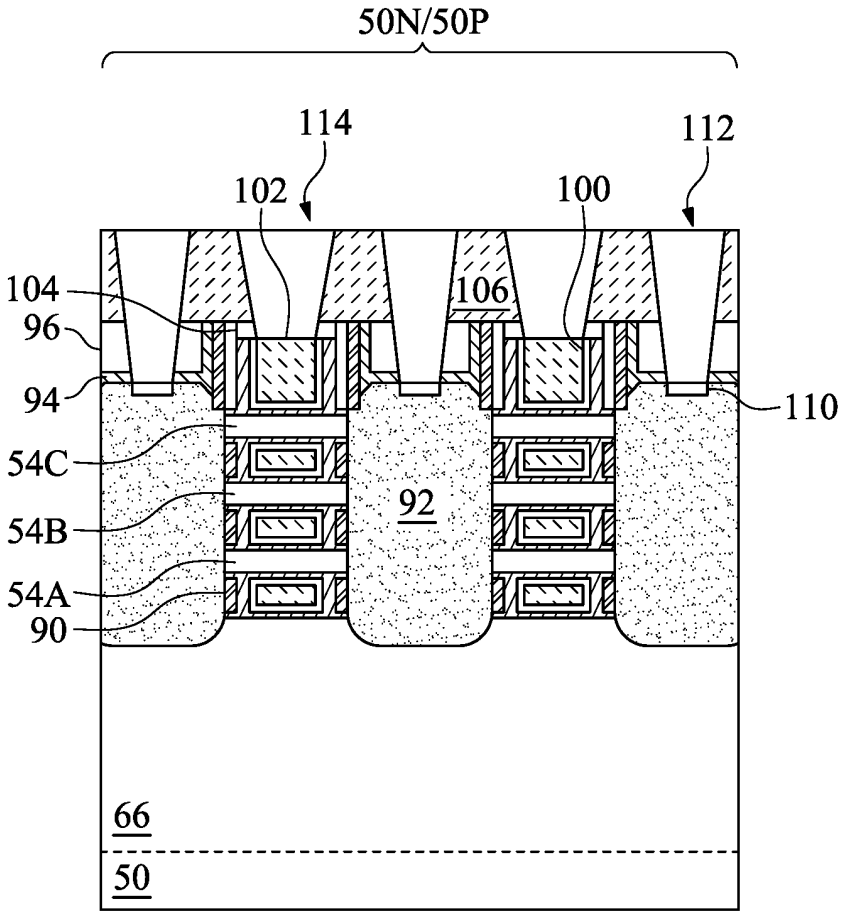
第 19B 圖



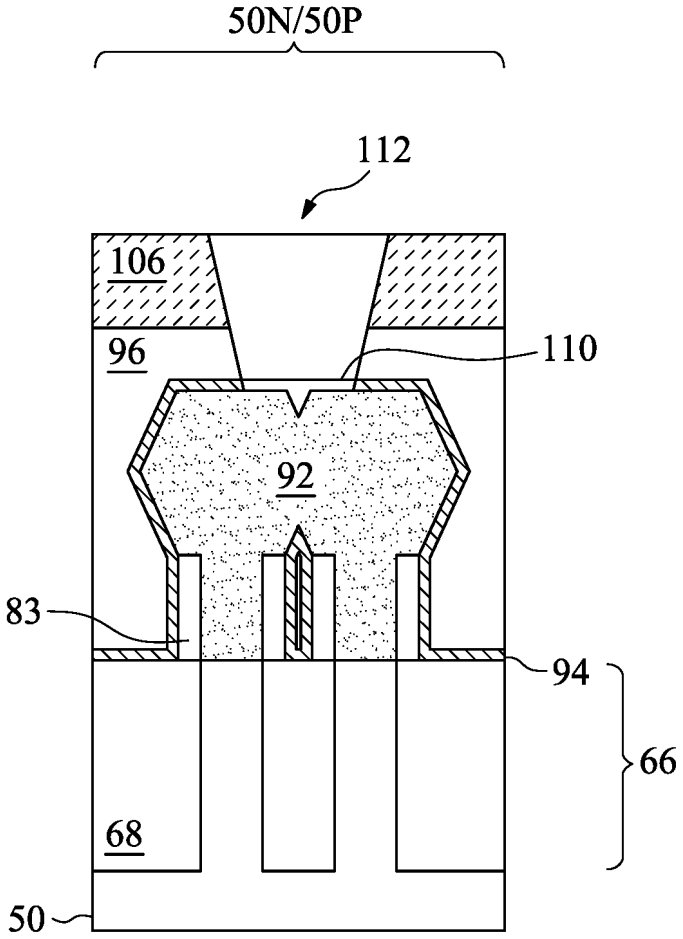
第 19C 圖



第 20A 圖



第 20B 圖



第 20C 圖