【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I941299
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*G11C7/10　(2006.01)*　*G11C8/18　(2006.01)*
G11C11/34　(2006.01)　*G11C5/06　(2006.01)*
發明　全 9 頁

【54】名　稱：半導體裝置
【21】申請案號：114125451　【22】申請日： 中華民國 104 (2015) 年 09 月 02 日
【11】公開編號：202609764　【43】公開日期： 中華民國 115 (2026) 年 03 月 01 日
【30】優 先 權： 2015/05/28　美國　62/167,703
【72】發 明 人： 奧野晋也 (JP) OKUNO, SHINYA；長坂繁輝 (JP) NAGASAKA, SHIGEKI；
小內俊之 (JP) KOUCHI, TOSHIYUKI
【71】申 請 人： 日商鎧俠股份有限公司　KIOXIA CORPORATION
日本
【74】代 理 人： 陳長文
【56】參考文獻：
US　2003/0189867A1　US　2006/0126369A1
US　2008/0031057A1　US　2014/0141543A1
審查人員：劉聖尉

【57】申請專利範圍

1. 一種半導體裝置，其包括：
記憶電路，其構成為輸出資料；
第 1 FIFO，其構成為自上述記憶電路接收資料，且與第 1 時脈信號同步地輸出資料；
第 2 FIFO，其構成為接收自上述第 1 FIFO 輸出之資料，且與上述第 1 時脈信號同步地輸出資料；
第 3 FIFO，其構成為接收自上述第 1 FIFO 輸出之資料，且與上述第 1 時脈信號同步地輸出資料；
信號電路，其構成為接收上述第 1 時脈信號；
第 1 輸入/輸出電路，其構成為輸出自上述第 2 FIFO 輸出之第 1 資料；及
第 2 輸入/輸出電路，其構成為輸出自上述第 3 FIFO 輸出之第 2 資料；
其中上述信號電路包含：焊墊，其於第 1 方向被夾於(sandwiched by)上述第 1 輸入/輸出電路與上述第 2 輸入/輸出電路之間，
自上述第 1 輸入/輸出電路及上述第 2 輸入/輸出電路輸出之資料與第 2 時脈信號同步；
該半導體裝置進而包括：分頻電路，其對上述第 2 時脈信號進行分頻，且產生上述第 1 時脈信號。
2. 如請求項 1 之半導體裝置，其中
上述第 2 FIFO 設置於上述第 1 FIFO 與上述第 1 輸入/輸出電路之間，且上述第 3 FIFO 設置於上述第 1 FIFO 與上述第 2 輸入/輸出電路之間。
3. 如請求項 1 之半導體裝置，其中
上述第 2 FIFO 位於較連接上述第 1 FIFO 與上述第 1 輸入/輸出電路之間的配線(interconnect)之中間點(middle point)更靠上述第 1 輸入/輸出電路之一側；且
上述第 3 FIFO 位於較連接上述第 1 FIFO 與上述第 2 輸入/輸出電路之間的配線之中間點更靠上述第 2 輸入/輸出電路之一側。

4. 如請求項 1 之半導體裝置，其中
上述第 2 FIFO 之資料保持容量較上述第 1 FIFO 之資料保持容量低；且
上述第 3 FIFO 之資料保持容量較上述第 1 FIFO 之上述資料保持容量低。

5. 如請求項 1 之半導體裝置，其進而包括：
多工器，其設置於上述第 2 FIFO 與上述第 1 輸入/輸出電路之間，上述多工器於上述第 2 時脈信號之上升及下降時輸出資料。

6. 如請求項 1 之半導體裝置，其進而包括：
第 1 半導體晶片，其包含上述記憶電路；及
第 2 半導體晶片，其包含上述第 1 FIFO、上述第 2 FIFO、上述第 3 FIFO、上述信號電路、上述第 1 輸入/輸出電路及上述第 2 輸入/輸出電路。

7. 如請求項 6 之半導體裝置，其中
上述第 1 半導體晶片包含：自其上表面導通至下表面之第 1 導通孔(via),
上述第 1 導通孔與上述第 2 半導體晶片藉由第 1 凸塊相互連接；且
自上述第 1 半導體晶片輸出之資料經由上述第 1 導通孔及上述第 1 凸塊輸入至上述第 2 半導體晶片之上述第 1 FIFO。

8. 如請求項 7 之半導體裝置，其進而包括：
第 3 半導體晶片，其輸出資料；
其中上述第 1 FIFO 自上述第 3 半導體晶片接收資料，且與上述第 1 時脈信號同步地輸出資料。

9. 如請求項 8 之半導體裝置，其中
上述第 3 半導體晶片設置於上述第 1 半導體晶片上，且包含自其上表面導通至下表面之第 2 導通孔；
上述第 2 導通孔與上述第 1 導通孔藉由第 2 凸塊相互連接；且
自上述第 3 半導體晶片輸出之資料經由上述第 2 導通孔、上述第 2 凸塊、上述第 1 導通孔及上述第 1 凸塊輸入至上述第 2 半導體晶片之上述第 1 FIFO。

10. 如請求項 6 之半導體裝置，其中
上述第 1 半導體晶片與上述第 1 FIFO 之間的匯流排寬度(bus width)係與上述第 1 FIFO 與上述第 2 FIFO 之間的匯流排寬度相同。

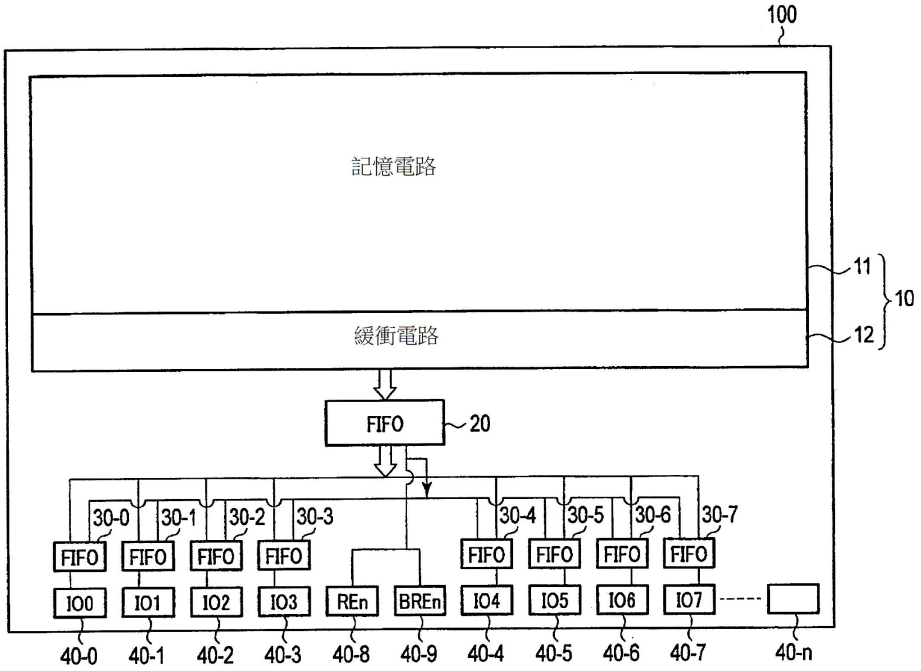
11. 如請求項 8 之半導體裝置，其中
上述第 3 半導體晶片與上述第 1 FIFO 之間的匯流排寬度係與上述第 1 FIFO 與上述第 2 FIFO 之間的匯流排寬度相同。

12. 如請求項 6 之半導體裝置，其中
上述第 2 FIFO 與上述第 3 FIFO 之各者以分割形式(divided form)接收自上述第 1 FIFO 輸出之至少一部分資料，且將自上述第 1 輸入/輸出電路及上述第 2 輸入/輸出電路之上述接收之資料與上述第 1 時脈信號同步地輸出。

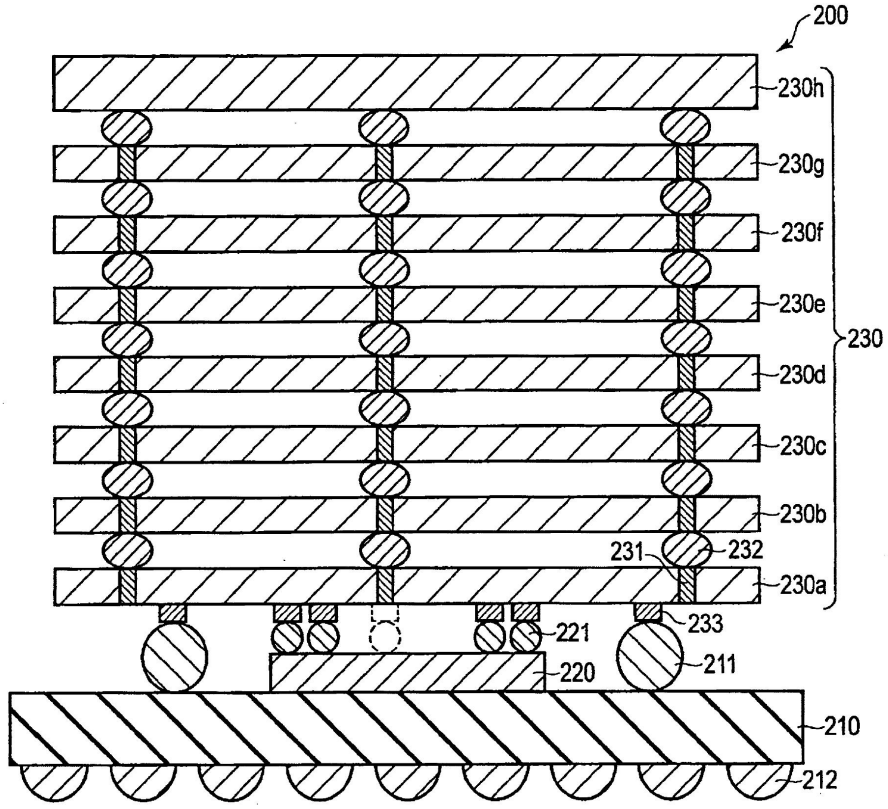
圖式簡單說明

圖 1 係表示第 1 實施形態之半導體裝置之電路構成之佈局圖。
圖 2 係表示第 1 實施形態之多晶片封裝體之剖面構造之圖。
圖 3 係表示圖 2 所示之多晶片封裝體之介面晶片之構成之佈局圖。
圖 4 係表示第 1 實施形態之半導體裝置中之核心電路至輸入輸出焊墊之構成之概略圖。
圖 5 係表示第 1 實施形態中之核心電路至輸入輸出焊墊之詳細構成之圖。
圖 6 係圖 5 所示之電路中之時脈信號與資料輸入輸出之時序圖。
圖 7 係表示符合圖 6 所示之時序圖之資料傳輸之狀態之圖。

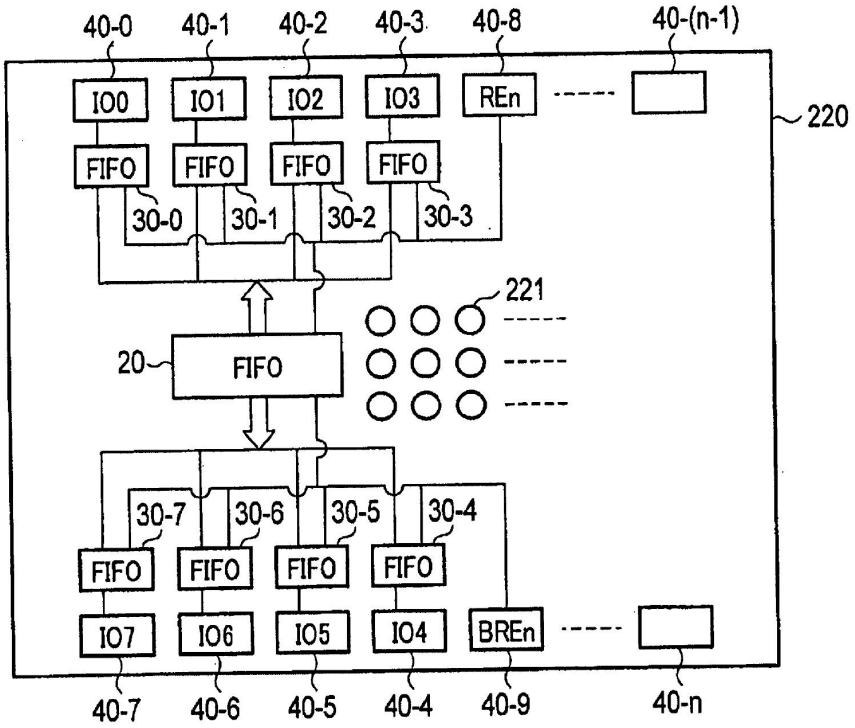
圖 8 係表示比較例之核心電路至輸入輸出焊墊之構成之圖。
圖 9 係表示第 2 實施形態中之核心電路至輸入輸出焊墊之詳細構成之圖。



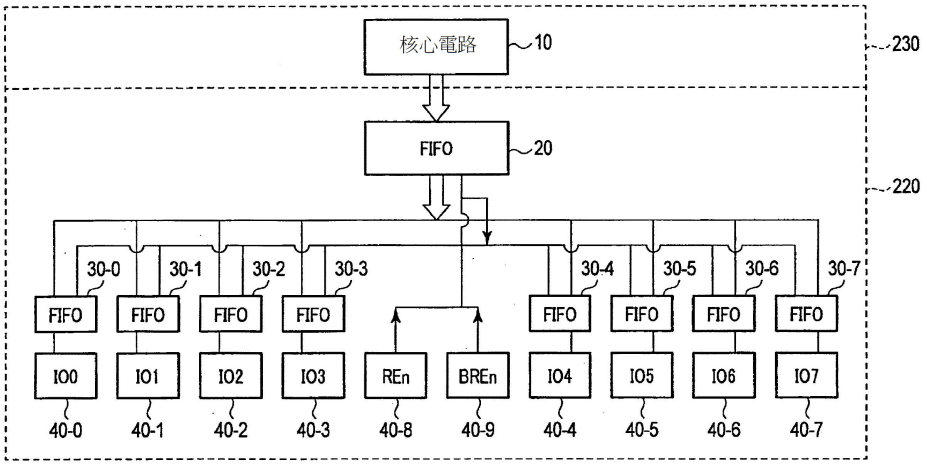
【圖1】



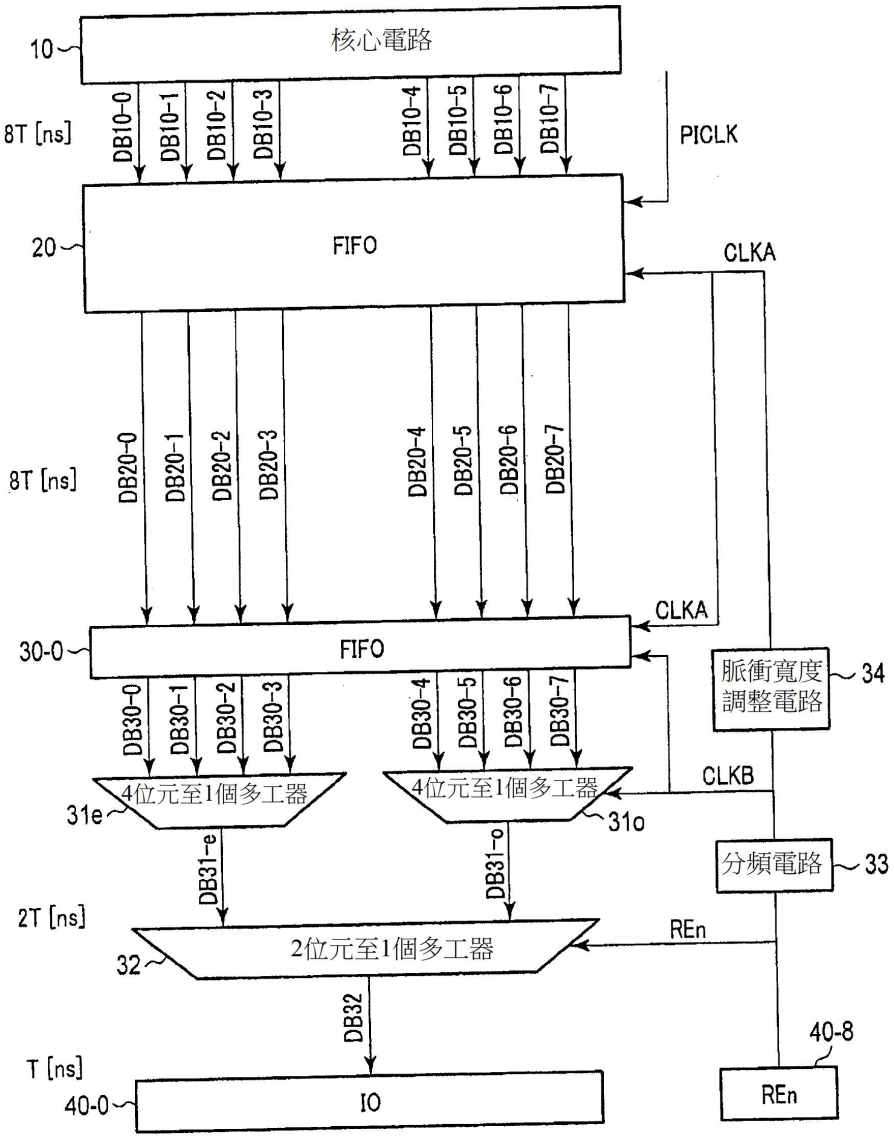
【圖2】


40-0
40-1
40-2
40-3
40-8
40-(n-1)
IO0
IO1
IO2
IO3
REn
220
FIFO
30-0
30-1
30-2
30-3
221
20
30-7
30-6
30-5
30-4
IO7
IO6
IO5
IO4
BREn
40-7
40-6
40-5
40-4
40-9
40-n

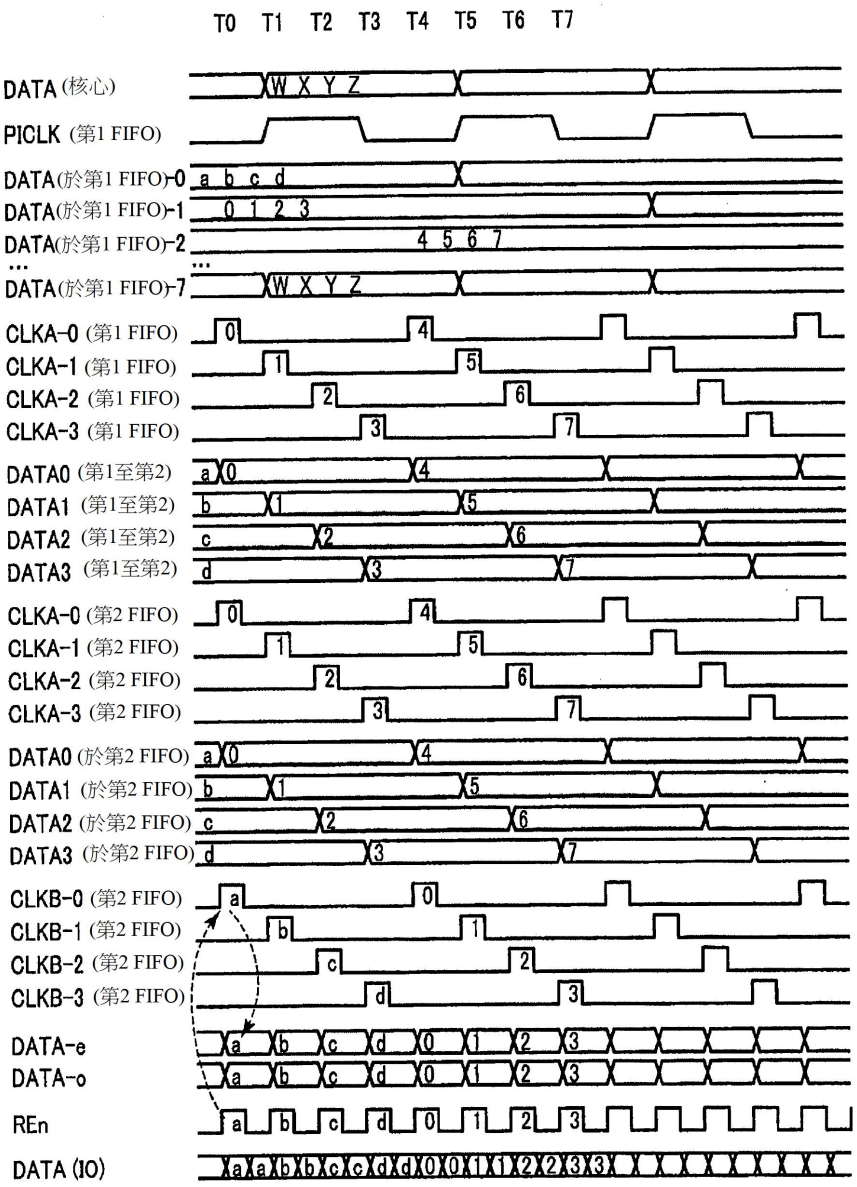
【圖3】


核心電路
10
230
FIFO
20
220
30-0
30-1
30-2
30-3
30-4
30-5
30-6
30-7
IO0
IO1
IO2
IO3
REn
BREn
IO4
IO5
IO6
IO7
40-0
40-1
40-2
40-3
40-8
40-9
40-4
40-5
40-6
40-7

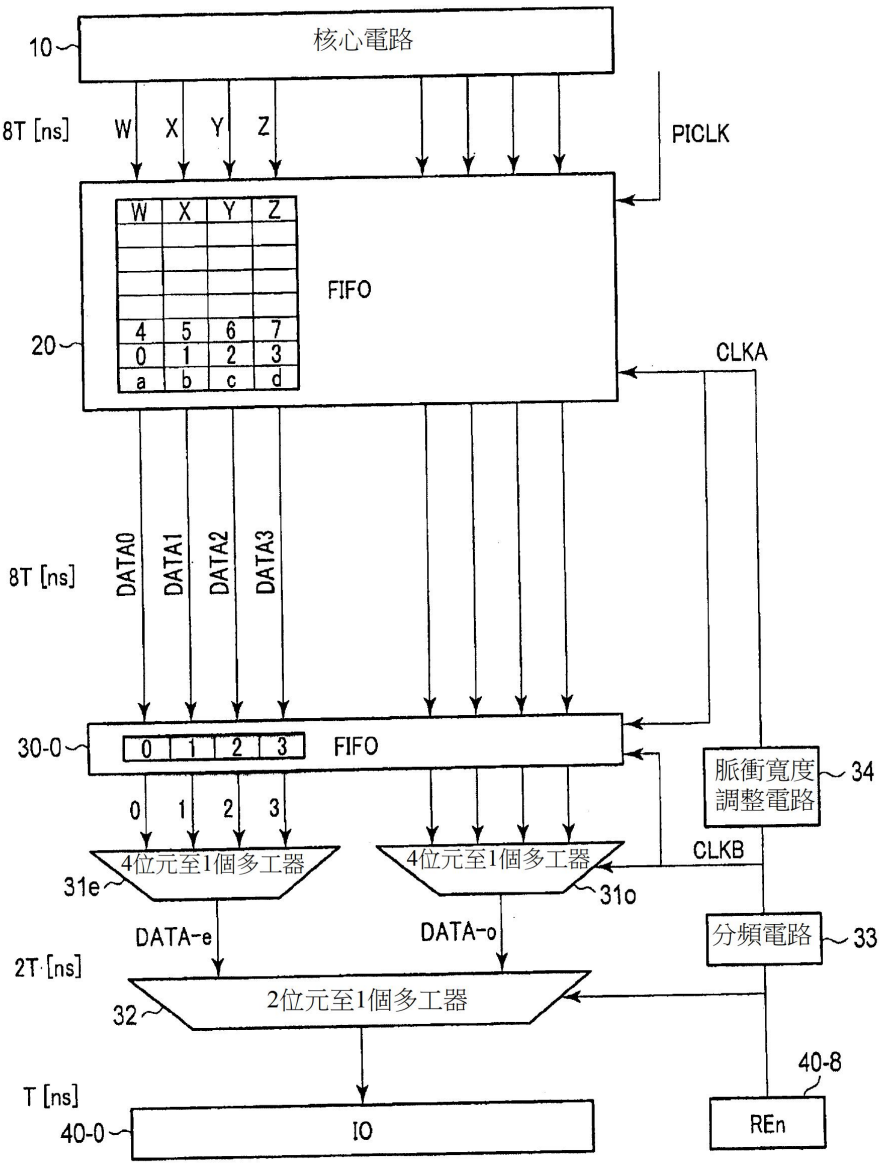
【圖4】


核心電路
10
8T [ns]
DB10-0
DB10-1
DB10-2
DB10-3
DB10-4
DB10-5
DB10-6
DB10-7
PICLK
FIFO
20
CLKA
8T [ns]
DB20-0
DB20-1
DB20-2
DB20-3
DB20-4
DB20-5
DB20-6
DB20-7
CLKA
FIFO
30-0
脈衝寬度調整電路
34
DB30-0
DB30-1
DB30-2
DB30-3
DB30-4
DB30-5
DB30-6
DB30-7
CLKB
4位元至1個多工器
31e
4位元至1個多工器
31o
分頻電路
33
DB31-e
DB31-o
2T [ns]
REn
2位元至1個多工器
32
DB32
40-8
T [ns]
REn
40-0
IO

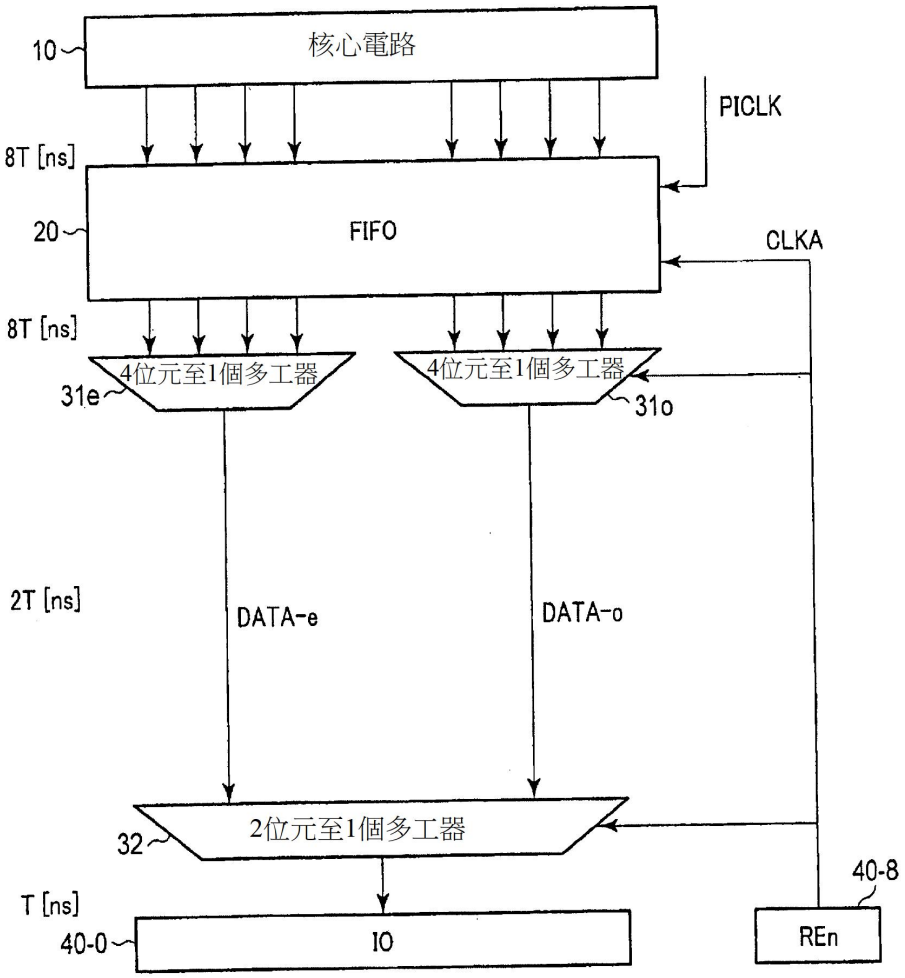
【圖5】


T0 T1 T2 T3 T4 T5 T6 T7
DATA (核心)
W X Y Z
PICLK (第1 FIFO)
DATA(於第1 FIFO)-0
a b c d
DATA(於第1 FIFO)-1
0 1 2 3
DATA(於第1 FIFO)-2
4 5 6 7
DATA(於第1 FIFO)-7
W X Y Z
CLKA-0 (第1 FIFO)
CLKA-1 (第1 FIFO)
CLKA-2 (第1 FIFO)
CLKA-3 (第1 FIFO)
DATA0 (第1至第2)
DATA1 (第1至第2)
DATA2 (第1至第2)
DATA3 (第1至第2)
CLKA-0 (第2 FIFO)
CLKA-1 (第2 FIFO)
CLKA-2 (第2 FIFO)
CLKA-3 (第2 FIFO)
DATA0 (於第2 FIFO)
DATA1 (於第2 FIFO)
DATA2 (於第2 FIFO)
DATA3 (於第2 FIFO)
CLKB-0 (第2 FIFO)
CLKB-1 (第2 FIFO)
CLKB-2 (第2 FIFO)
CLKB-3 (第2 FIFO)
DATA-e
DATA-o
REn
DATA (IO)

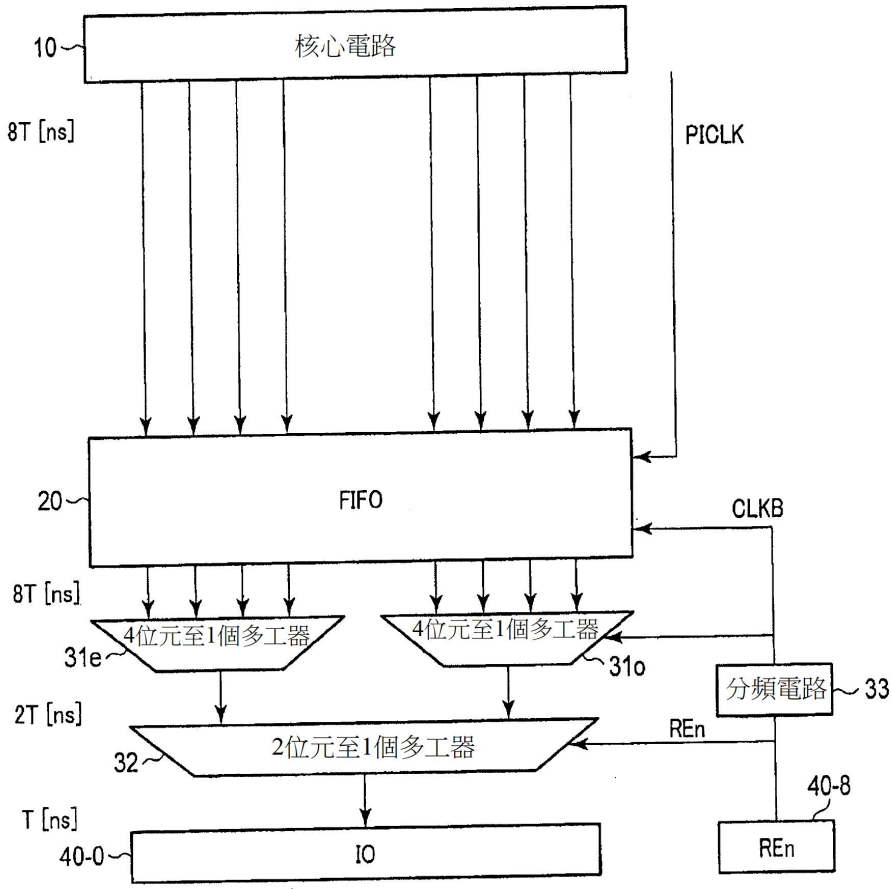
【圖6】


10
核心電路
8T [ns]
W
X
Y
Z
PICLK
FIFO
20
CLKA
DATA0
DATA1
DATA2
DATA3
8T [ns]
30-0
FIFO
脈衝寬度調整電路
34
CLKB
4位元至1個多工器
31e
4位元至1個多工器
31o
DATA-e
DATA-o
分頻電路
33
2T [ns]
2位元至1個多工器
32
T [ns]
40-0
IO
40-8
REn

【圖7】


10
核心電路
PICLK
8T [ns]
20
FIFO
CLKA
8T [ns]
4位元至1個多工器
31e
4位元至1個多工器
31o
2T [ns]
DATA-e
DATA-o
32
2位元至1個多工器
40-8
T [ns]
40-0
IO
REn

【圖8】


10
核心電路
8T [ns]
PICLK
20
FIFO
CLKB
8T [ns]
4位元至1個多工器
31e
4位元至1個多工器
31o
分頻電路
33
2T [ns]
REn
32
2位元至1個多工器
40-8
T [ns]
40-0
IO
REn

【圖9】