【19】中華民國　　【12】專利公報　（B）

【11】證書號數：I941457
【45】公告日： 中華民國 115 (2026) 年 10 月 01 日
【51】Int. Cl.：　*H10W20/00 (2026.01)*　*H10W10/00 (2026.01)*
H10W20/20 (2026.01)　*H10W72/00 (2026.01)*
H10W74/00 (2026.01)

發明　　全 4 頁

【54】名　稱：具有凸塊下緩衝層的半導體結構
【21】申請案號：114142177　　【22】申請日： 中華民國 114 (2025) 年 10 月 30 日
【72】發 明 人： 張仁憲 (TW) CHANG, JEN-HSIEN；何凱光 (TW) HO, KAI-KUANG
【71】申 請 人： 聯華電子股份有限公司　UNITED MICROELECTRONICS CORP.
新竹市新竹科學工業園區力行二路三號
【74】代 理 人： 吳豐任；戴俊彥
【56】參考文獻：
TW　201721781A　　TW　202238755A
US　2025/0300131A1
審查人員：謝懷毅

【57】申請專利範圍

1. 一種半導體結構，包括：
一互連結構層，設置在一基底上；
一金屬緩衝層，設置在該互連結構層上；
一金屬墊，設置在該金屬緩衝層上；
一金屬凸塊，設置在該金屬墊上，且與該基底的一凸塊區在垂直方向上重疊；以及
多個第一通孔，設置在該互連結構層和該金屬緩衝層之間，其中在一頂視圖中，該金屬墊與該金屬凸塊被該金屬緩衝層包圍在內，該第一通孔都位於該凸塊區之外。
2. 如申請專利範圍第 1 項所述之半導體結構，其中該互連結構層包括多個金屬層以及介於該金屬層之間的層間介電層，其中該多個金屬層中的一最頂金屬層通過該第一通孔與該金屬緩衝層電連接。
3. 如申請專利範圍第 1 項所述之半導體結構，其中該金屬緩衝層與該金屬墊包括相同材料。
4. 如申請專利範圍第 3 項所述之半導體結構，其中該金屬緩衝層與該金屬墊的材料包括鋁(Al)。
5. 如申請專利範圍第 1 項所述之半導體結構，其中該金屬緩衝層與該金屬墊包括不同材料。
6. 如申請專利範圍第 5 項所述之半導體結構，其中該金屬緩衝層的材料包括銅(Cu)，該金屬墊的材料包括鋁(Al)。
7. 如申請專利範圍第 1 項所述之半導體結構，其中在該頂視圖中，該金屬凸塊被該金屬墊包圍在內。
8. 如申請專利範圍第 1 項所述之半導體結構，其中該第一通孔設置在該凸塊區外的一側。
9. 如申請專利範圍第 1 項所述之半導體結構，其中該第一通孔設置在該凸塊區外的相對兩側。

10. 如申請專利範圍第 1 項所述之半導體結構，還包括多個第二通孔設置在該金屬緩衝層和該金屬墊之間，其中在該頂視圖中，部分該第二通孔位於該凸塊區之內。
11. 如申請專利範圍第 1 項所述之半導體結構，還包括多個第二通孔設置在該金屬緩衝層和該金屬墊之間，其中在該頂視圖中，該第二通孔均位於該凸塊區之外。
12. 如申請專利範圍第 1 項所述之半導體結構，還包括一鈍化層覆蓋在該金屬墊上，其中該金屬凸塊位於該鈍化層上並且通過該鈍化層的一開口與該金屬墊直接接觸。
13. 如申請專利範圍第 1 項所述之半導體結構，其中該金屬凸塊的材料包括金。

圖式簡單說明

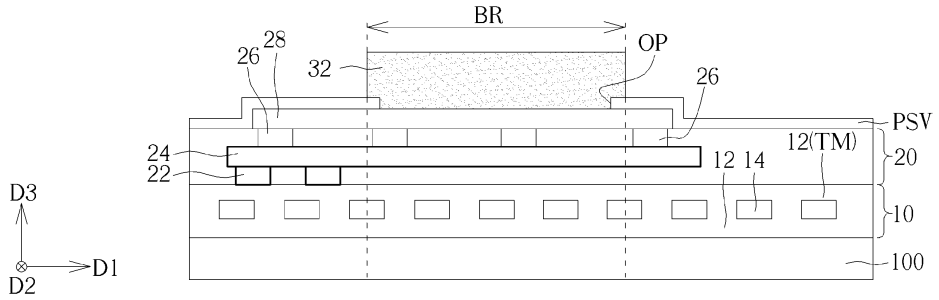
第 1 圖和第 2 圖為根據本發明第一實施例之半導體結構的示意圖，其中第 1 圖為剖面圖，第 2 圖為頂視圖。

第 3 圖和第 4 圖為根據本發明第二實施例之半導體結構的示意圖，其中第 3 圖為剖面圖，第 4 圖為頂視圖。

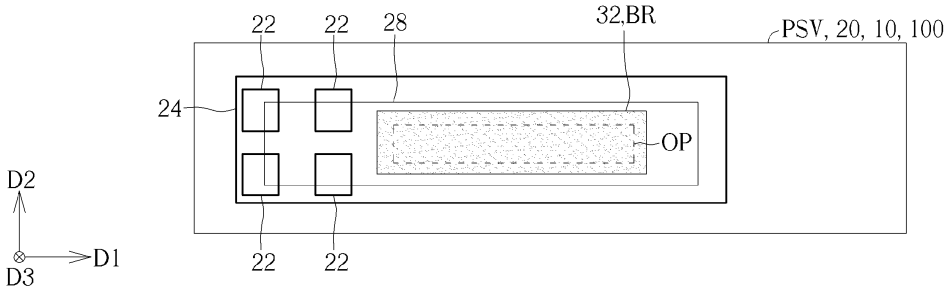
第 5 圖和第 6 圖為根據本發明第三實施例之半導體結構的示意圖，其中第 5 圖為剖面圖，第 6 圖為頂視圖。

第 7 圖和第 8 圖為根據本發明第四實施例之半導體結構的示意圖，其中第 7 圖為剖面圖，第 8 圖為頂視圖。

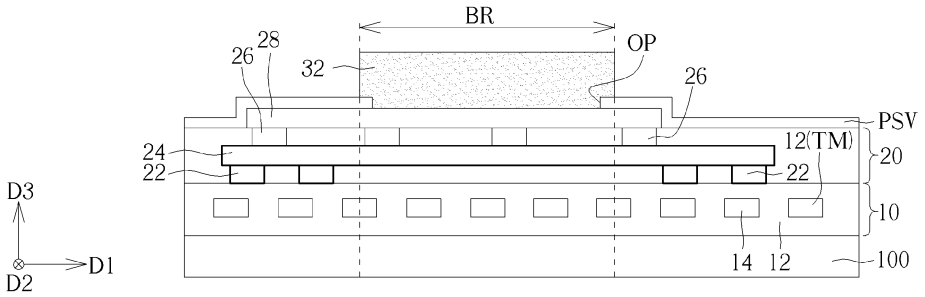
第 9 圖為根據本發明第五實施例之半導體結構的剖面示意圖。



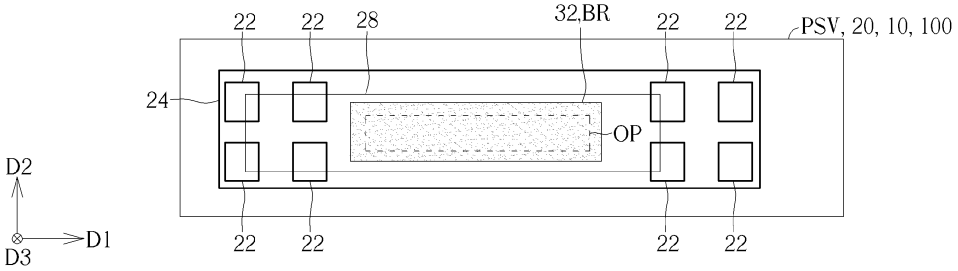
第1圖



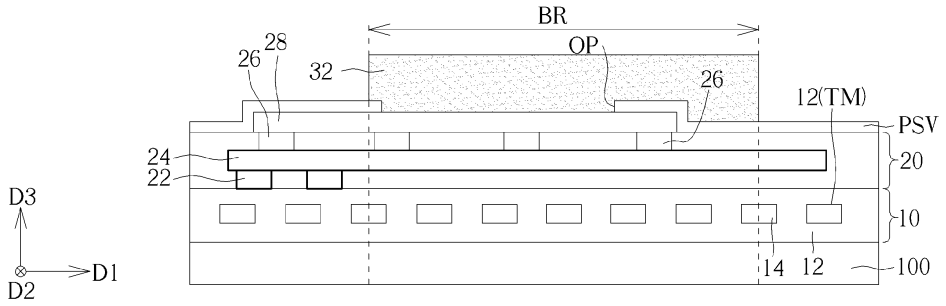
第2圖



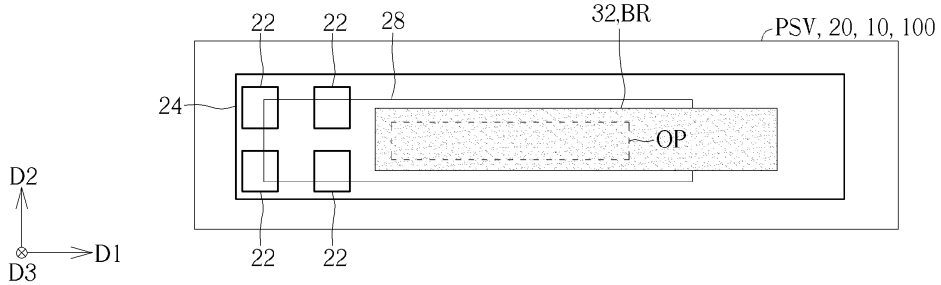
第3圖



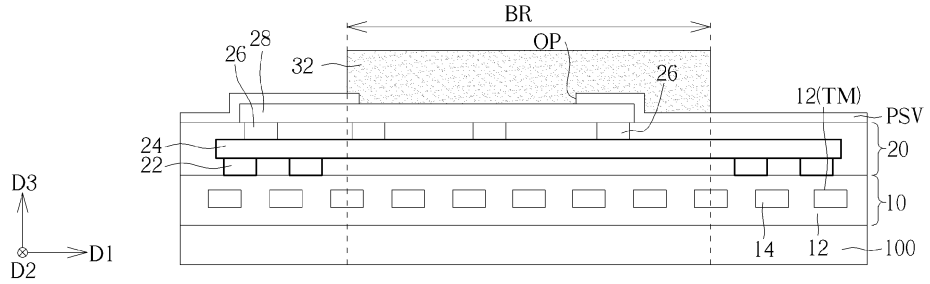
第4圖



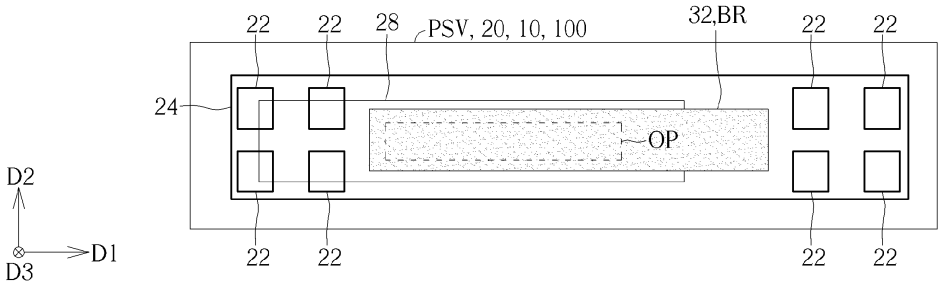
第5圖



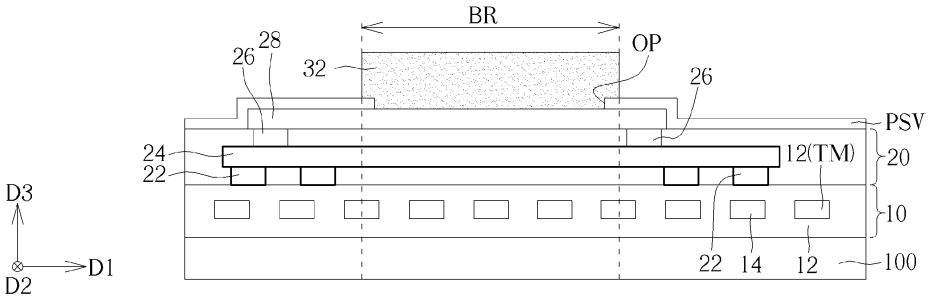
第6圖


BR
OP
26
28
32
26
12(TM)
PSV
24
22
20
10
14
12
100
D3
D1
D2

第7圖


22
22
28
PSV, 20, 10, 100
32,BR
22
22
24
OP
D2
D1
D3
22
22
22
22

第8圖


BR
OP
26
28
32
26
PSV
24
22
12(TM)
20
10
D3
D1
D2
22
14
12
100

第9圖